

République Algérienne Démocratique Populaire
Ministère de l'enseignement supérieur et de la recherche scientifique



Université Abou-Bekr Belkaïd-Tlemcen

Faculté de Technologie

Département de Génie Electrique et Electronique

MEMOIRE DE MAGISTER

EN
MICROELECTRONIQUE

Présenté par :

Mr KEBIB ABDELAZZIZ

Sur le Thème

Etude et simulations d'un transistor MOS vertical

Date de soutenance janvier 2013 devant le jury :

Mr. F.T. BENDIMERAD	Professeur à l'université de Tlemcen	Président
M^{me}. A. GUEN- BOUAZZA	Maître de conférences à l'université de Tlemcen	Directeur de mémoire
Mr. A. HAMDOUNE	Maître de conférences à l'université de Tlemcen	Examineur
Mr. B. BOUAZZA	Maître de conférences à l'université de Tlemcen	Examineur

Remerciements

Je tiens tout d'abord à remercier DIEU le tout puissant et miséricordieux, qui m'a donné la force et la patience d'accomplir ce Modeste travail.

En second lieu, je tiens à remercier mon encadreur Madame BOUAZZA née Guen Ahlam, Maitre de conférence à l'université Abou-Bekr Belkaid pour ses précieux conseils, l'orientation, la confiance et la patience qui ont constitué un apport considérable sans lesquels ce travail n'aurait pas pu être mené au bon port. Qu'il trouve dans ce travail un hommage vivant à sa haute personnalité.

Mes vifs remerciements vont également aux membres du jury pour l'intérêt qu'ils ont porté à ma recherche en acceptant d'examiner mon travail Et de l'enrichir par leurs propositions.

Je remercie également Monsieur BENDIMERAD F.T professeur à l'université AbouBekr Belkaid, pour avoir accepté de présider ce jury de thèse.

Je tiens à remercier également Monsieur GHAFFOUR Khair-Eddine professeur à l'université Abou-Bekr Belkaid, Monsieur ABDELKADER HAMDOUNE ; maitre de conférence, Monsieur BOUAZZA Benyounès ; maitre de conférence, Monsieur KERAI Salim, chargé de cours et tous les professeurs qui nous ont enseigné et qui par leurs compétences j'ai soutenu dans la poursuite de mes études.et d'avoir nous honorer par leurs présence.

Enfin, je tiens également à remercier toutes les personnes qui ont participé de près ou de loin à la réalisation de ce travail.

Dédicace

*Je dédie ce modeste travail à ceux qui m'ont donné la vie,
Le symbole de tendresse, qui ont sacrifié pour mon bonheur et ma réussite, À
mes chers parents.*

Que Dieu les garde et les protège.

*A la mémoire du Défient mon cher ami LEGGAT FETHI que Dieu l'accueille
dans son vaste paradis.*

*A ma sœur, mes frères, mes neveux et nièces A
mes amis.*

A tous ceux qui me sont chères.

Je dédie ce travail.

Abdelazziz KEBIB.

Résumé

L'évolution de la technologie CMOS actuelle a pour but de concevoir des Transistors et par conséquent des circuits intégrés dans les échelles submicronique

Cette réduction d'échelle a concerné évidemment les dimensions de la zone active du Transistor MOSFET. La miniaturisation s'accompagne indéniablement d'effets indésirables appelés effets canaux courts (SCE) qui viennent s'ajouter à la difficulté de la réalisation de ces dispositifs de petites dimensions.

L'apparition des nouveaux procédés de fabrication notamment la photolithographie a donné naissance à de nouvelles architectures pour les transistors MOSFETs avec une orientation verticale du canal. Ce procédé a permis entre autre, un meilleur contrôle des effets canaux courts.

Le travail effectué dans ce mémoire nous a permis une étude théorique et de simulation un transistor MOSFET à canal vertical. Ce travail fut réalisé par le biais du simulateur SILVACO- TCAD et nous a permis d'examiner les caractéristiques électriques d'une telle structure pour laquelle nous avons pu examiner les effets de la variation de certains de ses paramètres sur ses caractéristiques électriques

Mots clés : Transistor MOSFET, n-MOSFET à canal vertical, SILVACO-TCAD, ATLAS.

Abstract

The evolution of actual CMOS technology aims to design transistors and therefore integrated circuits in submicron scales. This reduction of scale has concerned the size of the active region of the MOSFET. Miniaturization comes undeniably with short channel effects (SCE) in addition to the difficulty of achieving these small-scale devices. The emergence of new manufacturing processes including photolithography has given rise to new architectures for MOSFETs with a vertical orientation of the channel. This process has, among other things, a better control of these short channel effects. Our work has allowed us to study theoretical and to simulate a vertical channel MOSFET. This work has been performed using ATLAS SILVACO-TCAD software, and allowed us to examine the electrical characteristics of a such structure for which we were able to examine some parameters variation effects on these electrical characteristics.

Key words: MOSFET, vertical n channel MOSFET, SILVACO TCAD-ATLAS

ملخص

ان تكنولوجيا CMOS الحديثة تهدف الى تطوير الترانزستور وبالتالي الدارات المندمجة في مقاييس لا تتعدى 1 ميكرومتر.

هذا التقليل في حجم المركبات الالكترونية يخص بالدرجة الأولى طول القناة وسمك عازل البويبة في الترانزستور MOSFET الا انه كثيرا ما يرافقه عدة مشاكل تعرف بتأثيرات القنوات القصيرة بالإضافة الى صعوبة صناعة هذه المركبات في مثل هذا الحجم.

ان ظهور التكنولوجيا الحديثة في ميدان الصناعة الالكترونية وخاصة ما يعرف بتقنية الفوطوليثوغرافيا سمح بظهور جيل جديد من الترانزستور ذو قناة عمودية وذلك ان التقنية تمكن من التحكم الكامل لمثل هذه الابعاد.

في خضم هذا العمل قمنا بدراسة شاملة للترانزستور MOSFET بقناة عمودية تم تطرقنا الى انجاز المركب VMOSFET (ترانزستور موسفت بقناة عمودية) باستعمال برنامج المحاكات SILVACO -TCAD بالأخص برنامج ATLAS ثم تطرقنا الى تغيير بعض الخصائص التكنولوجية للمركب كطول البويبة L_g وسمك العازل t_{ox} وقيمة تركيز كل من N_A و N_D ومدى تأثيرها على تيار المصرف I_D وتوتر العتبة V_{TH} .

الكلمات المفتاحية الترانزستور احادي الوصلة MOSFET، الترانزستور احادي الوصلة بقناة عمودية n

n-MOSFET برنامج المحاكاة SILVACO -TCAD, ATLAS.

INTRODUCTION GENERALE

Depuis plus de 30 ans, l'industrie des semi-conducteurs s'est toujours distinguée par sa rapidité à produire de nouvelles générations de composants toujours de plus en plus performants. Cette évolution est décrite depuis 1970 par la loi de Gordon Moore [1] qui prévoit un doublement du nombre de composants par circuit, tous les dix-huit mois.

L'augmentation de la densité d'intégration et la rapidité des circuits sans cesse croissante a abouti à la réalisation de dispositifs sub-microniques et à l'apparition de limites physiques intrinsèques. C'est pourquoi, les grands laboratoires de recherche du monde entier se sont regroupés au sein de l'International Technology Roadmap for Semiconductors (ITRS) [2] afin de déterminer les principaux challenges technologiques.

Le transistor MOSFET est considéré jusqu'à présent comme étant le plus important dispositif de l'industrie des circuits intégrés (CI). Sa taille n'a cessé de décroître d'un facteur de 2 tous les deux ans respectant ainsi la loi de Gordon Moore. Sa consommation est elle aussi en continuelle décroissance pour chaque nouvelle génération de transistors conçus.

Avec cette demande de plus en plus importante de dispositifs à plus grande vitesse, plus faible consommation et plus forte densité d'intégration, la taille du transistor n'a cessé de décroître passant ainsi de quelques micromètres à quelques nanomètres. C'est ainsi que le transistor MOSFET conventionnel a atteint ses limites physiques conduisant à la recherche de technologies alternatives, car avec la réduction considérable de sa géométrie, des effets indésirables connus sous le nom d'effets canaux courts apparaissent altérant son bon fonctionnement le rendant inopérable telle qu'il fut conçu au départ et conduisant alors à trouver des solutions alternatives incluant l'utilisation de nouveaux matériaux pour remplacer le silicium largement utilisé jusque-là et de nouvelles architectures tels que le MOSFET vertical, les SOI MOSFETs, les DGFETs etc.....

Il est cependant important de rappeler que pour des applications à hautes puissances, le transistor MOSFET vertical est celui qui s'adapte le mieux.

C'est ainsi que le travail que nous avons effectué dans ce mémoire a consisté à concevoir sous environnement SILVACO un transistor MOSFET à canal vertical et de déterminer ses caractéristiques électriques.

Ce travail a fait l'objet de 3 chapitres :

Le premier chapitre destiné à l'étude théorique du transistor MOSFET conventionnels dit sur substrat massif ou bulk,

Au second chapitre, nous avons tout d'abord présenté les effets indésirables des MOSFETs conventionnels et avons pu présenter brièvement de nouvelles architectures de transistors MOSFETs, et qui peuvent être considérés comme les éventuels candidats permettant de remplacer le MOSFET conventionnel à conduction planaire. Nous nous sommes particulièrement intéressés dans ce chapitre au transistor MOSFET à conduction vertical à grille unique et qui a fait l'objet de notre étude.

Le troisième et dernier chapitre a été consacré à la présentation des résultats de simulation que nous avons obtenus par le biais du logiciel SILVACO-TCAD [3] avec lequel nous avons tout d'abord conçu notre transistor vertical et par la suite simuler ses caractéristiques électriques . Nous avons par la suite pu examiner les effets de la variation de certains paramètres de cette structure verticale telle que : la variation de l'épaisseur de l'oxyde, de la longueur de la grille, de la concentration N_D des dopants de la source et du drain, de la concentration des dopants du canal sur les caractéristiques électriques du dispositif, soit sur son courant de drain, sa tension de seuil. Pour finir nous avons pu mettre en évidence l'effet DIBL qui est un des effets canaux courts et qui se manifeste dans les MOSFETs de petites dimensions.

CHAPITRE -I-

LES TRANSISTORS MOSFETS

I – INTRODUCTION

Ce premier chapitre sera consacré à l'explication du fonctionnement du dispositif de base de la micro-électronique actuelle : le transistor MOS. La grande majorité des circuits intégrés logiques et analogiques sont fabriqués en combinant des transistors de type MOS et des composants passifs (principalement des résistances et des condensateurs). Cette étude nous permettra d'obtenir des expressions analytiques de différentes grandeurs caractéristiques. Nous introduirons ensuite la notion du transport des porteurs dans le canal de conduction avant d'aborder les enjeux associés à la progression des performances du transistor MOS.

L'idée initiale amenant à la conception de ce composant, fut de contrôler le passage de courant dans un matériau par une commande. Cependant, un matériau isolant ne pouvait convenir car le courant traversant un isolant est nul, un conducteur semblait peu utilisable car le champ ne pénètre pas dans un conducteur. Le semi-conducteur apparut alors comme le bon matériau puisqu'il offrait les deux propriétés de base : possibilité de laisser passer un courant et pénétration du champ à l'intérieur. Le premier dispositif a été imaginé et breveté par **Julius Lilienfeld** en 1933 [4]. Ces brevets illustrent le principe général du contrôle de la conduction d'un semi-conducteur. Le matériau semi-conducteur choisi était le sulfure de cuivre présentant un comportement de type p. Il n'a pas connu un grand avenir par la suite mais le principe était posé. Ces dispositifs étaient du type MOS à appauvrissement. Le principe du MOS à appauvrissement est de rejeter les porteurs hors du canal de conduction en appliquant une tension. Ce n'est qu'en 1948 que Bardeen eut l'idée de reprendre ce principe mais en créant une couche d'inversion, c'est-à-dire formée par les porteurs minoritaires et cette fois c'est en augmentant la densité de porteurs par application d'une tension sur la grille du transistor.

II - LA STRUCTURE METAL-OXYDE-SEMICONDUCTEUR

II.1 - Description Phénoménologique

Pour un dispositif dans lequel un courant peut être commandé par une tension appliquée non pas directement sur le matériau mais à travers une mince couche d'oxyde. Rappelons les choix de ce matériau. Si le dispositif était isolant, le courant ne pourrait circuler. Si le matériau était un métal, le champ électrique ne pourrait pénétrer à l'intérieur et dans ce cas l'action de commande par la tension serait impossible. Le choix se porte alors naturellement vers les semi-conducteurs.

La première étape est de comprendre comment une tension appliquée à travers un oxyde peut contrôler la charge stockée. C'est l'objectif de cette partie qui montrera comment ce modèle évolue quand deux réservoirs de charge qu'on nommera source et drain sont placés de part et d'autre de ce dispositif et comment un courant peut circuler de l'un à l'autre.

Le dispositif de base est donc un empilement de trois matériaux : un semi-conducteur dopé de type p ou n , un isolant de faible épaisseur (quelques nanomètres pour les technologies les plus avancées) et une couche conductrice appelée grille. La technologie des circuits intégrés a conduit pendant de longues années à choisir du silicium fortement dopé à la place du métal pour des raisons de fabrication mais le comportement est équivalent à celui d'un métal. Il faut ajouter à cela une couche métallique en face arrière pour prendre le contact électrique, en général de l'aluminium. Le silicium peut être indifféremment de type p ou n .

II.2 - Les Transistors MOS

II.2.1- Description Technologique

On s'intéresse dans ce qui suit à la conception de transistors MOSFETs à canal de type n à enrichissement.

Sur un substrat (*Bulk*) de silicium de type p , sont aménagées de part et d'autre deux diffusions distinctes de type N^{++} formant le drain et la source du dispositif. Ces deux diffusions N^{++} sont séparées par une zone P de surface (W.L) qui représentera aussi la surface du canal du dispositif MOS. Ce canal est recouvert d'une mince couche d'oxyde de silicium T_{ox} superposée d'une couche de métal ou actuellement de poly silicium appelée grille. L'ensemble grille-

oxyde-canal forme alors une capacité C_{OX} par unité de surface. L'effet de champ dans le MOSFET est dû à l'application d'une différence de potentiel V_{GB} entre la grille et le substrat. Un champ électrique est donc créé ayant pour effet de repousser les porteurs majoritaires loin de l'interface oxyde-semi-conducteur et d'y laisser diffuser des porteurs minoritaires venus de deux îlots source et le drain de type complémentaire au substrat. Les porteurs forment une couche pelliculaire de charges mobiles appelée canal. Ces charges sont susceptibles de transiter entre le drain et la source située aux extrémités du canal figure (I.1).

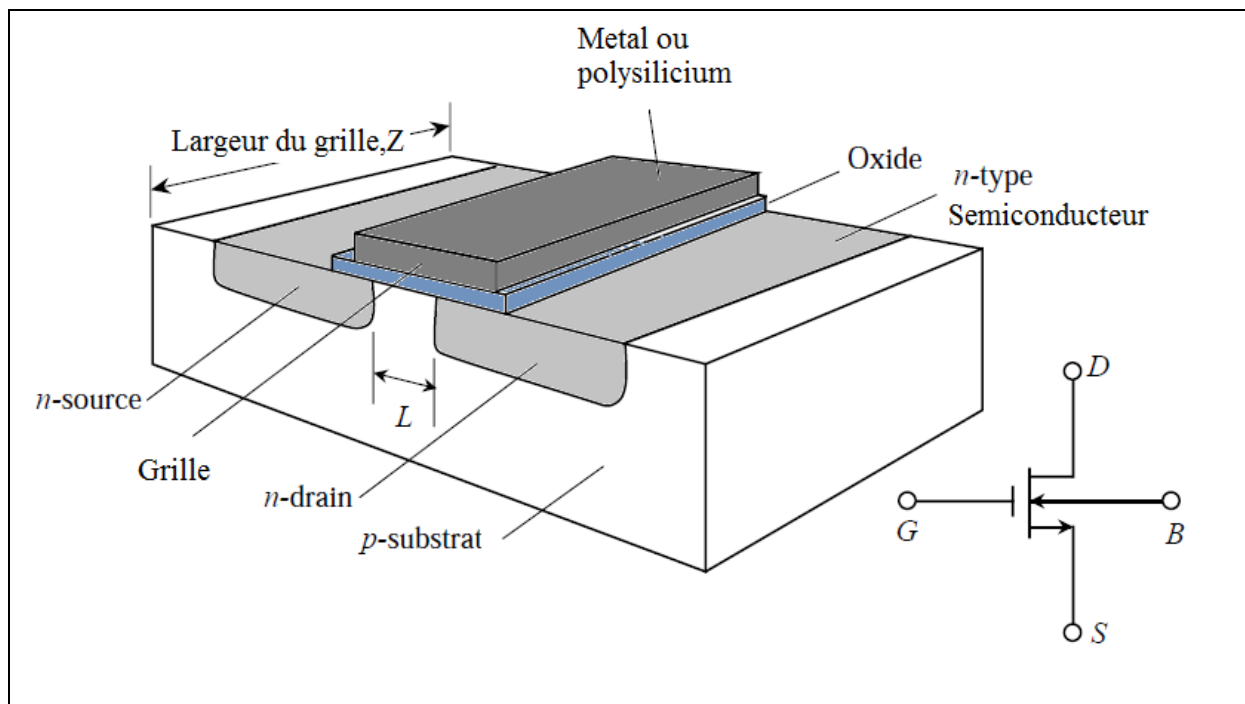


Figure (I.1) : Transistor MOSFET Planaire (structure et symbole)

II.2.2 – Différents Types de Transistors

Selon le type de semi-conducteur constituant le Substrat, on peut distinguer deux types de transistors ; les transistors NMOS ou transistor à canal N conçu un substrat de type p dits NMOSFET et transistor PMOS ou transistor MOS à canal P conçu un substrat de type n dits PMOSFET.

II.2.2.1-MOS à canal N

Dans le cas des NMOS la grille est polarisée par une V_{GB} positive, afin de créer une zone de déplétion peuplée d'électrons à l'interface SC/Isolant. La source et le drain sont reliés par un canal formé d'électrons. la différence

de potentiel entre le drain le source qu'on l'appelle V_{DS} et positive, le sens du courant se fait la source vers le drain .

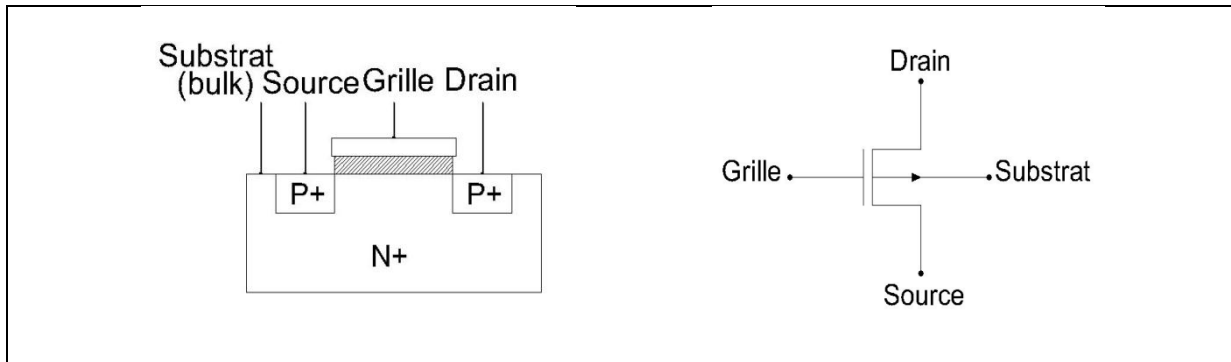


Figure (I.2): Transistor MOS à canal N

II.2.2.2-MOS à canal P

pour les transistors à canal P la grille est négativement polarisé, la zone de déplétion à l'interface SC/Isolant est peuplée par des trous, le canal de conduction est formé de trous et la tension V_{DS} doit être négative pour drainer ces trous. Le courant circule dans le même sens du déplacement des trous soit alors de la source vers le drain.

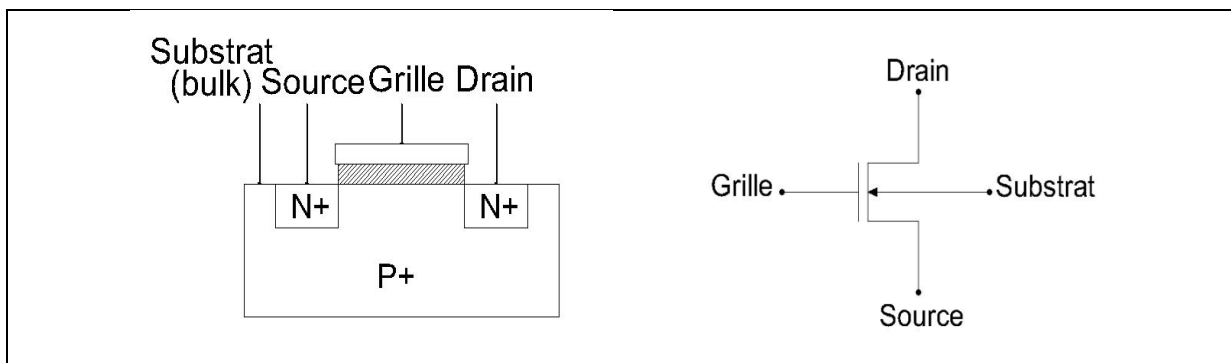


Figure (I.3): Transistor MOS à canal P

II.2.3 - La Technologie CMOS

II.2.3.1 – Définition

CMOS est une abréviation anglaise de : *Complementary Metal Oxide Semiconductor*. Cette technologie qui utilise deux types de transistors nMOS et pMOS sur la même plaque de silicium. Des caissons de type p sont élaborés et considérés comme substrat commun pour tous les transistors à canal n du circuit qu'on veut réaliser, un autre caisson de type P est utilisé pour les transistors pMOS. Cette technologie fut utilisée depuis 1968. Elle s'est perfectionnée et représente aujourd'hui 90% des circuits intégrés

fabriqués. Deux technologies peuvent être utilisées lors le dépôt de la grille ; métallique ou en poly silicium.

Dans la technologie à grilles métalliques, on utilise le même métal (généralement de l'aluminium) que celui qui permet d'interconnecter les différentes électrodes du circuit pour réaliser les grilles. Dans la technologie à grilles poly silicium, c'est une couche de silicium poly cristallin, sur l'oxyde mince, qui constitue les grilles. Lors de la diffusion des sources et des drains, cette couche masque le canal et permet de réaliser ainsi un auto-alignement des sources et des drains avec les grilles. Après l'opération de diffusion, les trois électrodes sont dopées de la même façon.

II.2.3.2 - Exemple ; Inverseur à MOS Complémentaire:

Pour de plus amples explication on se propose de présenter un inverseur a technologie CMOS qui est un circuit électronique très simple et qui comporte deux transistors de types différents un nMOS et un pMOS. La technologie CMOS réunit les deux types de semi-conducteur n et p sur la même plaque de silicium. ceci est réalisable en implantant un caisson de type n qui sera le substrat des transistors pMOS si la plaque est de type p et un caisson de type p pour transistors nMOS si la plaque est de type n.

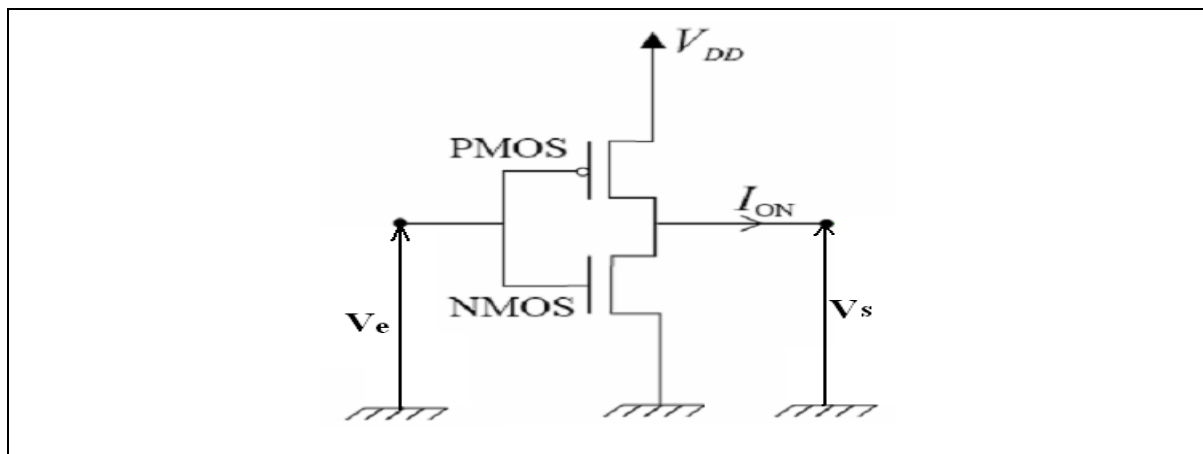


Figure (I.4.a) : Schéma électrique d'un Inverseur

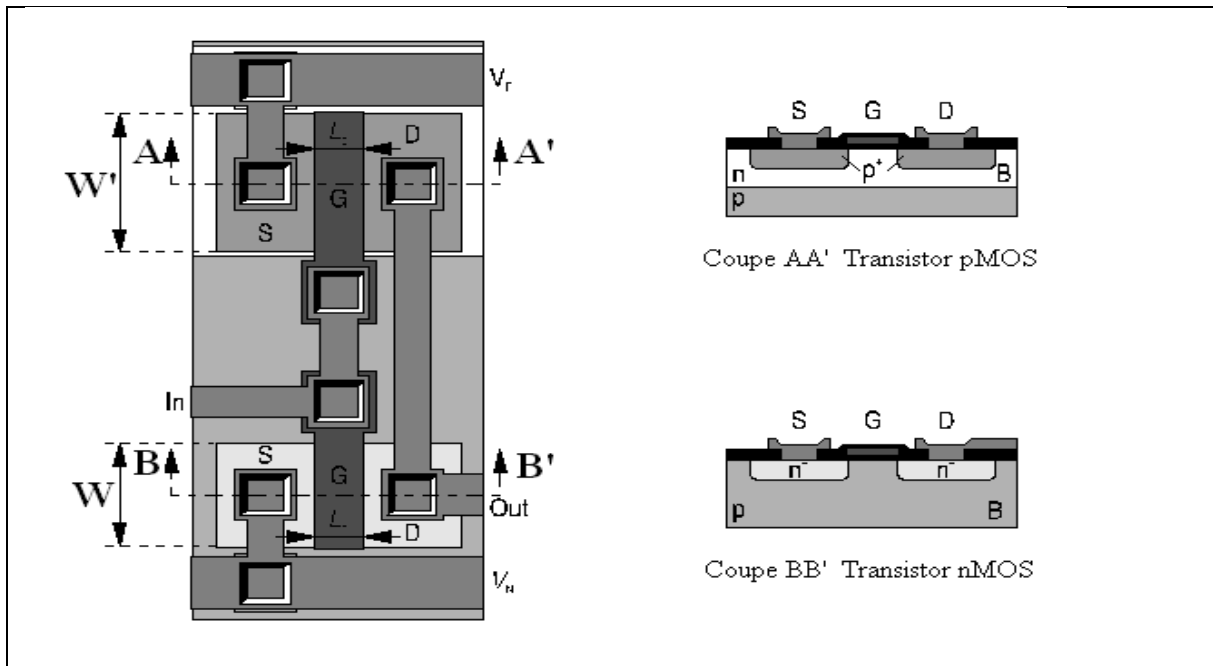


Figure (I.4.b): Inverseur à MOS Complémentaire.

II.2.3.3 - Le Problème de LATCHUP dans la Technologie CMOS

Un phénomène Latchup est dû à la mise en conduction d'un thyristor (structure PNP) parasite présent dans tous les circuits intégrés CMOS comme représenté sur la Figure (I.5). Ce problème peut être confronté quand deux transistors bipolaires npn et pnp sont proches.

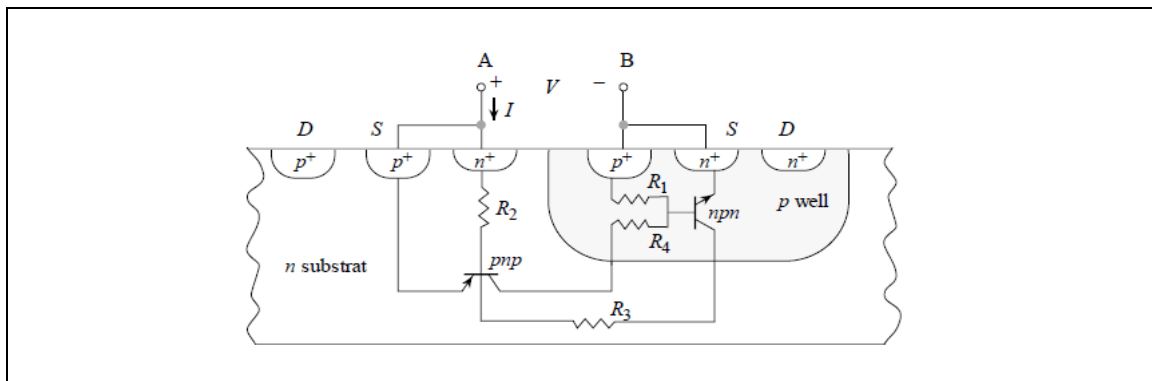


Figure (I.5) : Problème de LATCHUP dans la Technologie CMOS

Une impulsion transitoire de courant peut amorcer la mise en conduction d'un tel thyristor parasite, qui en condition normale est inactif. Le latch-up crée un chemin de conduction parasite direct entre la masse et l'alimentation et, par conséquent, cause un échauffement supplémentaire important dans le circuit et entraîne une forte augmentation de la consommation. Le court-circuit engendré peut conduire à la destruction du circuit si le courant de l'alimentation n'est pas

contrôlé. Le désamorçage de cet effet passe généralement par une coupure de l'alimentation et entraîne donc une réinitialisation du circuit.

Le phénomène de latch-up joue un rôle très important surtout pour les systèmes spatiaux. L'évolution technologique augmente la sensibilité au latchup des futurs circuits intégrés, et le phénomène s'avère de plus en plus gênant dans les circuits à faible tension d'alimentation et à faible consommation. Parfois, le phénomène de latchup peut entraîner de faible changement de consommation de courant dans les circuits. Alors, les tests logiques ou les tests I_{DDQ} ne peuvent pas les détecter parce que le circuit ne présente pas d'erreur ni de fautes détectables dans un test de courant.

II.2.4 - Evolution de la Technologie CMOS et la loi de Moore

Le développement de la microélectronique depuis ces 30 dernières années est véritablement spectaculaire. Ce succès résulte en grande partie d'un savoir-faire et une maîtrise technologique et de plus en plus poussés de l'élément fondamental de la microélectronique : le silicium, le transistor mos est à la fois le principal acteur et le vecteur de cette évolution technologique. Il est à la base de conception des circuits intégrés a très large et ultra large échelle d'intégration (VLSI et ULSI), et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie des semi-conducteurs. Au fil des années la complexité des circuits intégrés a augmenté de façon continué grâce aux performances accrues de nouvelles générations de transistors MOSFETs. La réduction constante des dimensions de ces composant est le moteur de cette course à la performance ; en fait c'est cette volonté de toujours réduire la taille des transistors qui a entraîné l'industrie du semi-conducteur à se surpasser et à se projeter en permanence dans le futur.

En 1973 *GORDON MOORE* , l'un des co-fondateurs d' INTEL. avait remarquer que le nombre de transistors intégrés sur la même puce doublait tous les 18 mois . cette observation l'avait alors conduit a prédire que cette cadence d'intégration durera jusqu'à les limites physique soient atteintes. La véracité de sa prédiction durant ces 30 dernières années a été telle que l' on s'y réfère maintenant en tant que « **Loi de Moore** » la figure qui suit, illustre la validité de cette prévision. aujourd'hui des circuits intégrés comprenant plus de 40 millions de Transistors sont produit de façon industrielle « microprocesseur » la longueur de la grille dans ces composants est moins

de $0.1 \mu\text{m}$. Tandis que la surface de la puce varie entre 80 et 150 mm^2 . En fait la diminution de la longueur de grille des dispositifs a deux avantages pour les fabricants a puissances égales, elle permet de réduire la surface de silicium de la puce ce qui est terme de cout est bénéfique, d'autre part elle permet d'augmenter la fréquence des circuits cette dernière est inversement proportionnelle a la longueur de la grille du transistor.

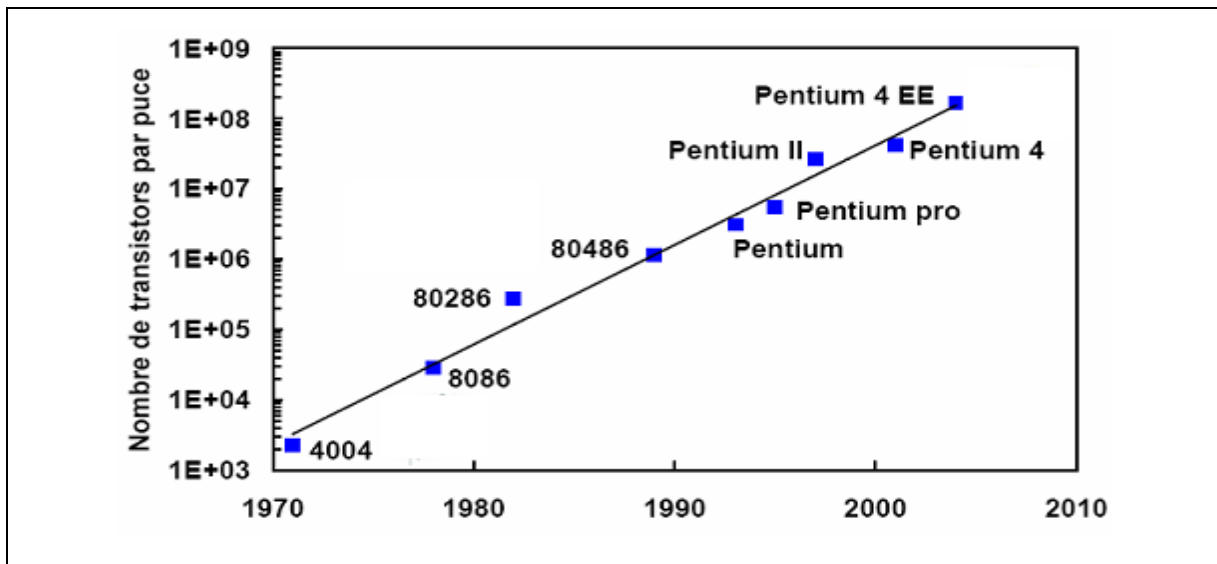


Figure (I.6) : Illustration de la loi de MOORE, l'Evolution du Nombre de Transistors Intégrés sur la même puce.

II.2.5 - Contraintes pour les générations futures

A chaque nouvelle génération de transistor, la réalisation du défis lancé par la loi de Moore apparait comme une casse-tête de plus en plus difficile à réaliser, un compromis complexe entre la physique, la technologie et la rentabilité concentre ainsi toute l'attention des ingénieurs et des chercheurs. Des paramètres et des contraintes souvent contradictoires telle que la performance la consommation et la fiabilité sont à prendre en compte. pour résumer, disant que le jeu consiste à augmenter les performances en diminuant les dimension sans trop augmenter la puissance dissipée à l'état du transistor.

Parier sur une croissance du rythme de la loi de Moore pour la décennie à venir relève d'un défi ambitieux, de plus les architectures devenant très complexes. La conception, la fabrication et la vérification voient leurs couts croitre exponentiellement. Il est actuellement admis que la loi de Moore sera encore valide d'ici 10 ou 12 ans c'est à dire 3 ou 4 génération de microprocesseur. En effet les projection industrielles pour le développement

de la technologie MOS suggèrent que cette dernière est proche des limites fondamentale physique.

III – PRINCIPE DE FONCTIONNEMENT DES TRANSISTORS MOSFETS

III.1 - Effet de champ et la capacité MOS

L'effet de champ est le principe sur lequel repose le fonctionnement d'un transistor MOSFET. Une densité de charge est modulé de façon électrostatique et se mobilise le long du canal, ce mouvement est provoqué par un champ électrique perpendiculaire dû à l'application d'une tension entre la grille et le substrat qui sont séparés par un isolant. Le système est une capacité surfacique de l'oxyde par unité de surface C_{ox} du condensateur plan ($[C_{ox}] = F/m^2$), dont le diélectrique est constitué par l'oxyde et les armatures sont la grille et le semi-conducteur. À l'interface entre le semi-conducteur et l'oxyde, apparaît une fine couche de charges inhérente au processus de fabrication. Ces charges sont soit des impuretés soit des atomes de silicium ayant des liaisons manquantes. Le semi-conducteur de base est formé d'un grand nombre d'atomes de silicium neutres. Un faible nombre de dopants (des atomes de Bore pour le silicium p) sont ajoutés pendant la fabrication du dispositif. Ces atomes sont fixes, chargés négativement et associés chacun à un trou mobile.

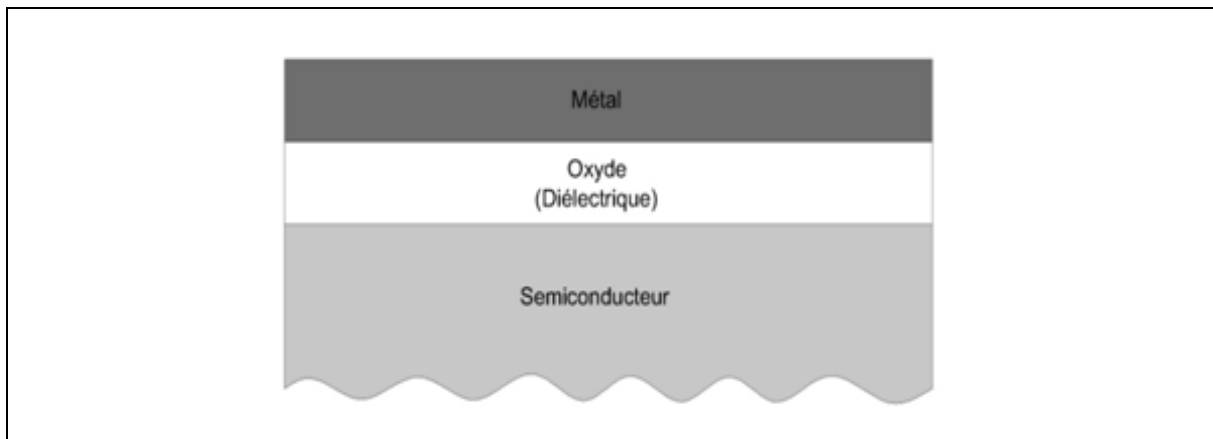


Figure (I.7) : Capacité MOS

De manière idéale, le principe est comparable à celui d'un interrupteur qui contrôle le passage d'un courant à travers. En effet le fonctionnement est basé sur la modulation du transport d'une densité de charge dans une couche semi conductrice (canal) par le biais du champ électrique qui est lui appliqué perpendiculairement. La création des porteurs de charges (les électrons pour les

nMOSFET, les trous pour les pMOSFET) par effet de champ est régi par la polarisation V_G de l'électrode de commande (la grille) à travers une couche isolante (le diélectrique).

III.2- Différents Types de Transistors MOSFETs

III.2.1- Transistors MOSFETs à Appauvrissement

Pour un MOSFET à appauvrissement. Les deux régions créées sont fortement dopées de type n et jouent le rôle de réservoirs d'électrons. Ce sont la source et le drain. Dans le MOS à appauvrissement une zone supplémentaire de type n est créée entre la source et le drain lors des processus de fabrication ces transistors sont appelés aussi transistor mos à canal enterré. Ces transistors sont passants sans l'application de la tension de commande V_G (*normally on*), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour se bloquer finalement au delà d'une tension appelée V_{GSoff} .

III.2.2- Transistors MOSFETs à Enrichissement

Les Transistors à enrichissement ne comporte pas ce canal lors sa fabrication ils sont bloqués sans l'application de tension de commande (*normally off*), ils deviennent passant à partir une tension de commande bien déterminée appelée tension de seuil V_{TH} (*Threshold Voltage*). Cette tension entraîne l'inversion de la nature du substrat sous la grille.

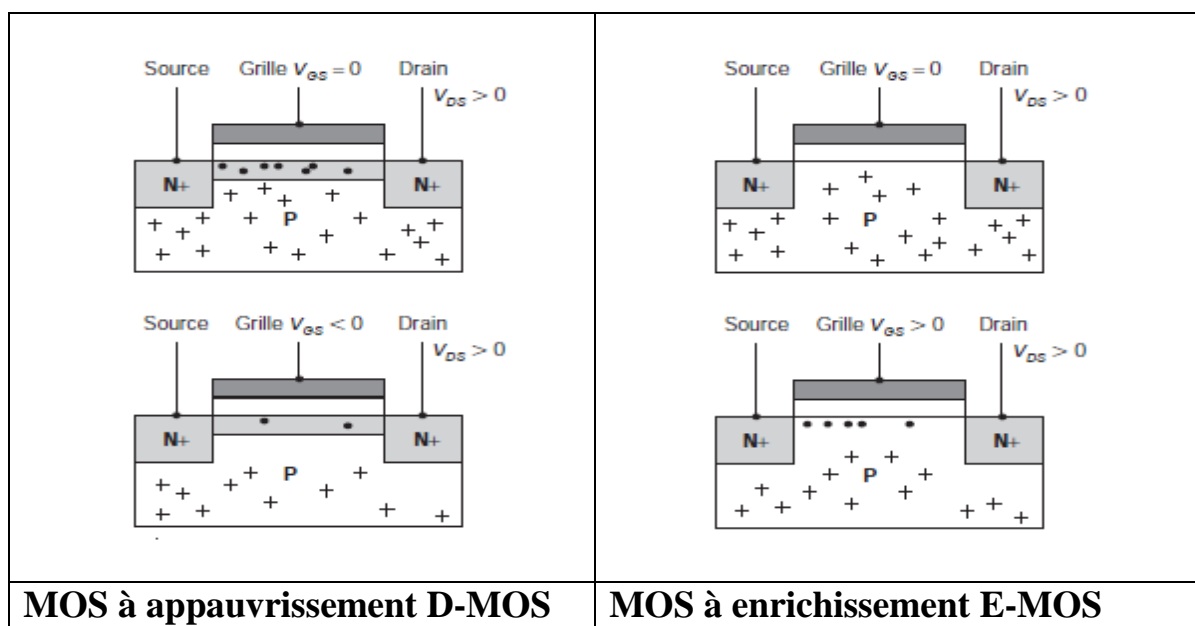


Figure (I.8) : MOS à appauvrissement et MOS à enrichissement

On constate que les jonctions du dispositif sont soit polarisées en inverse (jonction bulk-drain) soit non polarisées (jonction source-bulk). Les courants qui traversent ces jonctions sont très faibles. Le courant de drain est uniquement dû à la conduction dans le canal. Il est contrôlé par la tension de grille. Dans le MOS à enrichissement, il n'y a plus de zone dopée servant de canal de conduction. Les trous du matériau de base ne peuvent donner lieu à un courant puisque les deux jonctions source-bulk et bulk-drain sont respectivement non polarisée et polarisée en inverse. Seuls, les électrons peuvent créer un courant dans ce type de dispositif. Quand une tension nulle est appliquée sur la grille, les électrons ne sont pas injectés dans le semi-conducteur et aucun courant ne circule de la source vers le drain. Quand une tension positive est appliquée sur la grille, elle attire des électrons fournis par la source et le drain et un courant peut alors s'établir.

Les transistors MOS à appauvrissement ont été progressivement abandonnés laissant la place aux transistors à enrichissement qui se sont imposés dans l'industrie micro-électronique. La fabrication est en effet plus simple. De plus, ce genre de transistors constitue des circuits consommant très peu ce qui a donné lieu à la technologie CMOS avec laquelle on réalise aujourd'hui la majorité des circuits intégrés. Les dispositifs à canal n ne sont pas les seuls à être fabriqués. Des dispositifs équivalents peuvent être réalisés en jouant sur la conduction des trous. Le canal est alors de type p . Une tension négative de grille est dans ce cas appliquée pour enrichir le canal. Ces deux types de transistors à enrichissement, MOS canal n et MOS canal p , sont les deux briques de base de la technologie CMOS.

III.3 – Régimes de Fonctionnement des Transistors MOSFETs

Étudions maintenant le fonctionnement du transistor à enrichissement du canal. La Figure qui suit reprend le fonctionnement du MOSFET à enrichissement et explique comment la conduction varie avec les tensions appliquées.

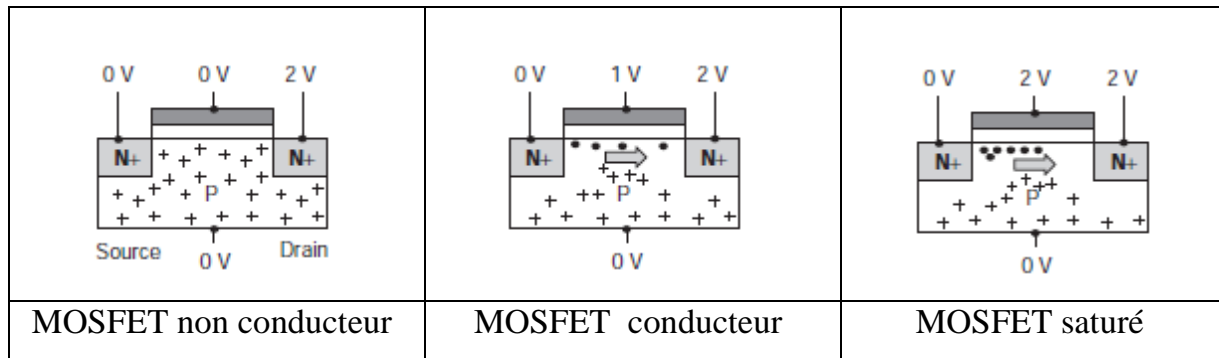


Figure (I.9) : Modes de Fonctionnement du MOS à enrichissement.

Au départ, une tension nulle est appliquée sur la grille et le drain est polarisé positivement. Aucun électron n'est confiné à l'interface entre le semi-conducteur et l'isolant. De ce fait. Le MOSFET est non conducteur. Il n'y a donc aucun courant qui circule dans le transistor. Quand une tension positive est appliquée sur la grille, une couche d'inversion se forme et on passe du régime de faible inversion au régime de forte inversion en augmentant la tension appliquée sur la grille. Ce phénomène apparaît quand la tension de grille est supérieure à une tension dite de seuil de l'ordre de 0,4V. Les électrons sont fournis par la source et un courant peut circuler du drain vers la source sous l'effet du champ électrique présent dans le dispositif, Le MOSFET est conducteur. Si maintenant, la tension de grille restant constante, on augmente la tension du drain, la différence de potentiel entre la grille et la zone du canal proche du drain peut devenir inférieure à la tension de seuil. La couche d'inversion est alors nulle en bout de canal. Ce dernier régime est appelé régime de saturation.

III.3.1 - Rappel sur la notion de bandes d'énergie

Un semi-conducteur est un matériau électriquement intermédiaire entre isolant et conducteur. En effet, les valeurs usuelles de la conductivité (σ) des isolants sont comprises entre $1.e-11$ et $1.e-19$ ($\Omega.cm$)⁻¹ et celles des conducteurs entre $6.e7$ et $1.e4$ ($\Omega.cm$)⁻¹. Il existe pourtant des corps qui ont une résistivité intermédiaire comprise entre $1.e3$ et $1.e-6$ S/cm, on les appelle des semi-conducteurs. On sait qu'au sein des structures cristallines de la matière, les électrons ont des énergies distinctes qui appartiennent à certains ensembles de valeurs appelées bandes d'énergies. Les bandes de faible énergie correspondent à des électrons participant au maintien de la structure cristalline, ce sont les électrons dits de Valence. Les bandes de hautes énergies correspondent à des électrons quasi "libres" de se détacher de la structure et qui par conséquent peuvent participer à une conduction électrique. On distingue isolants et

conducteurs par la différence d'énergie qu'il existe entre ces bandes, appelée le "gap" (le fossé).

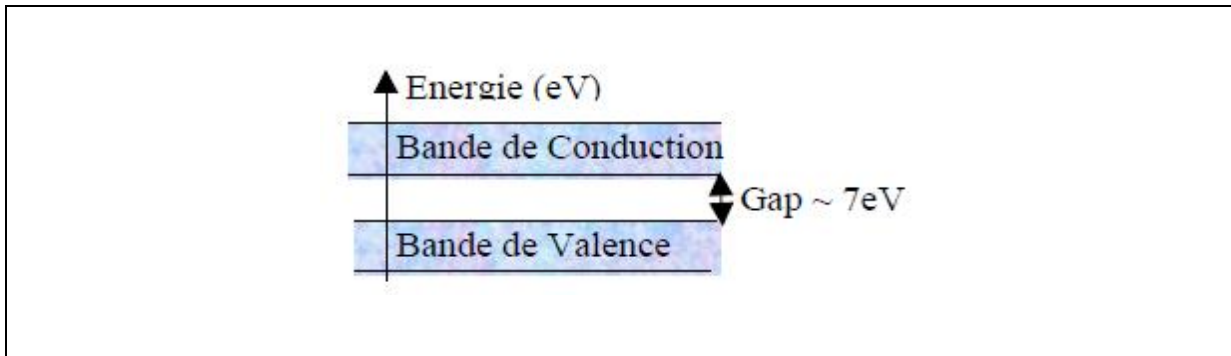


Figure (I.10) Bandes d'énergies pour un isolant $1.e-19 < \rho < 1.e-11 \Omega.cm$

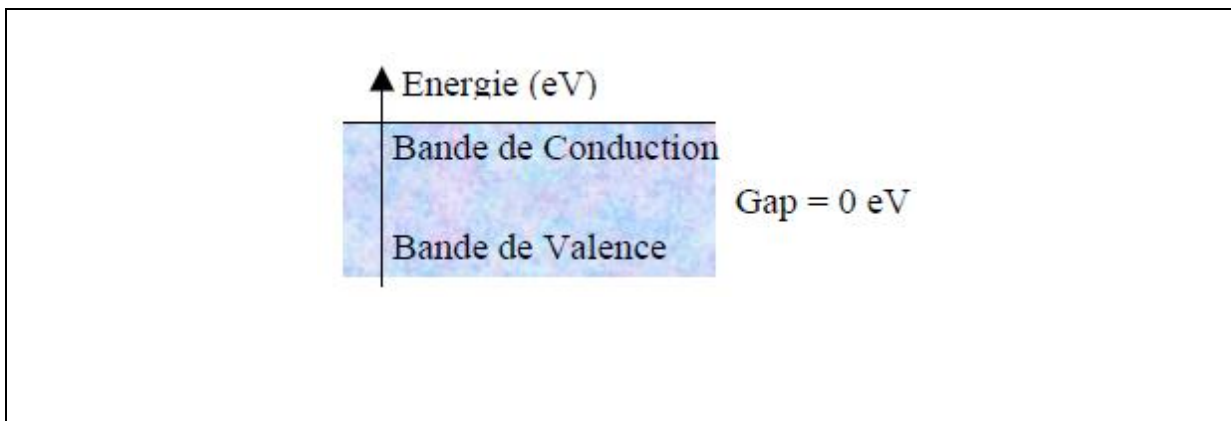


Figure (I.11) Bandes d'énergies pour un conducteur $1.e4 < \rho < 6.e7 \Omega.cm$

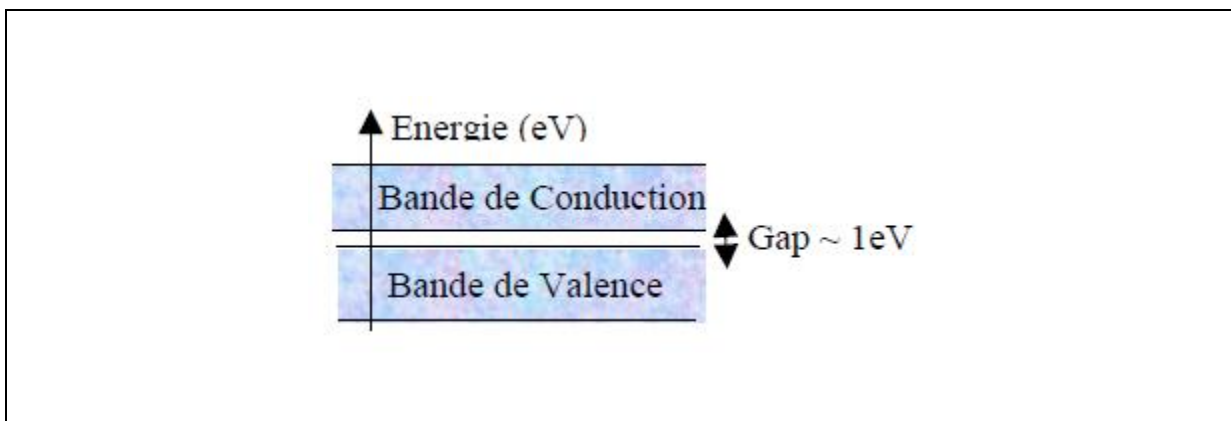


Figure (I.12) Bandes d'énergies pour un semi-conducteur $1.e-6 < \rho < 1.e3 \Omega.cm$

- Dans les isolants, la bande de conduction est habituellement vide, le fait d'apporter assez d'énergie pour y faire passer des porteurs en masse s'appelle le "claquage" et c'est un phénomène généralement destructif.

- Dans les conducteurs, la conductivité diminue avec la température puisque l'agitation thermique pénalise le mouvement organisé des porteurs libres.

• Dans les semi-conducteurs, le gap assez faible permet à des porteurs de passer dans la bande de conduction simplement grâce à leur énergie d'agitation thermique, ainsi le semi-conducteur "intrinsèque" en tant que mauvais conducteur ou mauvais isolant a lui une conductivité qui augmente avec la température...

Les matériaux semi-conducteurs naturels sont : le Silicium (Si) et le Germanium (Ge).

III.3.2- Régime de Bandes Plates

Le diagramme de bandes du transistor MOS idéal en condition de bandes plates est donné sur la Figure (I.13) pour un substrat dopé p. Il reprend l'ensemble des notations qui seront utilisées pour caractériser l'empilement grille/canal. Le potentiel Φ_f définissant le niveau de Fermi [5] et tel que $E_f = E_i - q\Phi_f$ dans le volume du semi-conducteur est obtenu de manière rigoureuse en résolvant l'équation d'électroneutralité. Le résultat d'un tel calcul dans l'approximation de Boltzmann [5] valable pour des dopages modérés en impuretés accepteurs N_A (nMOS) est :

$$\Phi_f = \frac{kT}{q} \ln \left(\frac{N_A}{n_i} \right) \quad \dots eq(I.1).$$

La tension de bandes plates $V_{FB} = \Phi_M - \Phi_{sc}$ est la tension de grille qu'il faut appliquer pour que le potentiel ψ_s à l'interface semi-conducteur/isolant soit nul (c.-à-d. la courbure de bande entre la surface et le volume du semi-conducteur) soit nul.

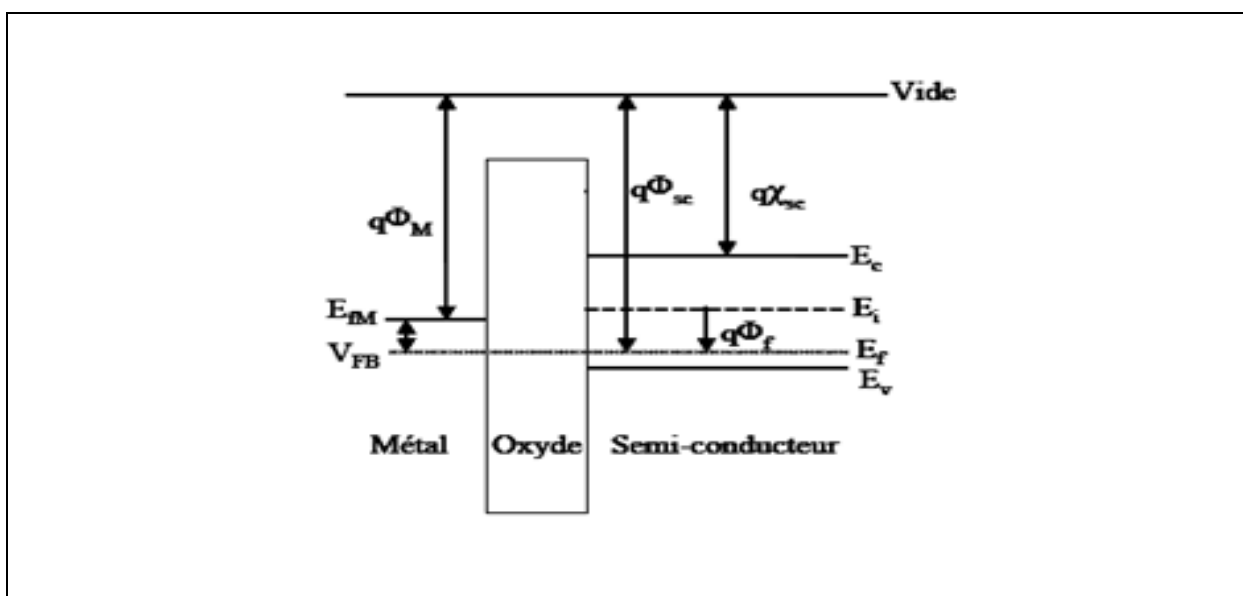


Figure (I.13): Diagramme de Bandes en condition de bandes plates

A cause de la nature différente des dopants du transistor, une barrière d'énergie potentielle, de hauteur Φ_D , apparaît entre le canal et les régions source et drain (correspondant à la barrière de potentiel d'une jonction N+P). Cette barrière empêche le passage des porteurs entre la source et le drain si aucune polarisation n'est appliquée sur le dispositif. Les différents régimes de fonctionnement du transistor nMOS sont ensuite définis selon les valeurs de ψ_s .

III.3.3- Régime d'Accumulation

- $\psi_s < 0$ soit $V_G < V_{FB}$: régime d'accumulation.

Les porteurs majoritaires du substrat sont attirés à l'interface du semi-conducteur, la capacité est en accumulation. La barrière côté source pour les électrons vaut alors $\Phi_D - \psi_s$ à la surface du semi-conducteur, le transistor est à l'état bloqué.

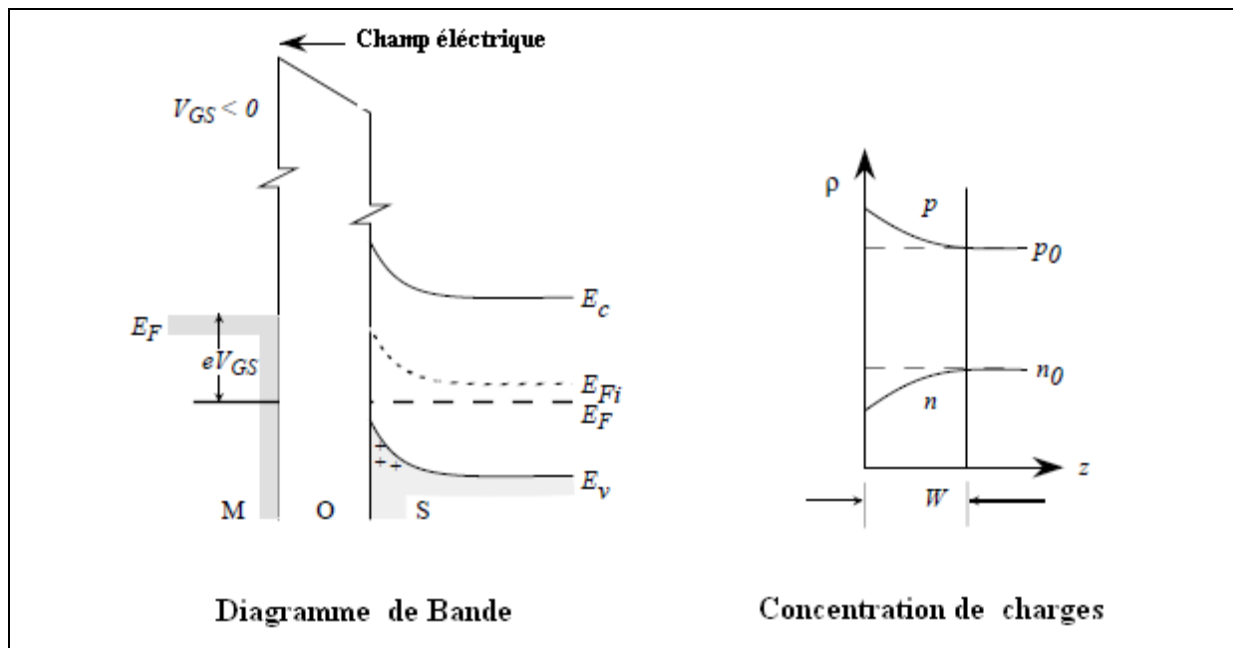


Figure (I.14) : Régime d'accumulation

III.3.4- Régime de déplétion (ou de désertion)

- $0 < \psi_s < \Phi_f$, $V_G > V_{FB}$: régime de déplétion ou de désertion

Les porteurs majoritaires sont repoussés de la surface du semi-conducteur et une zone désertée en porteurs se crée. Le transistor ne conduit pas.

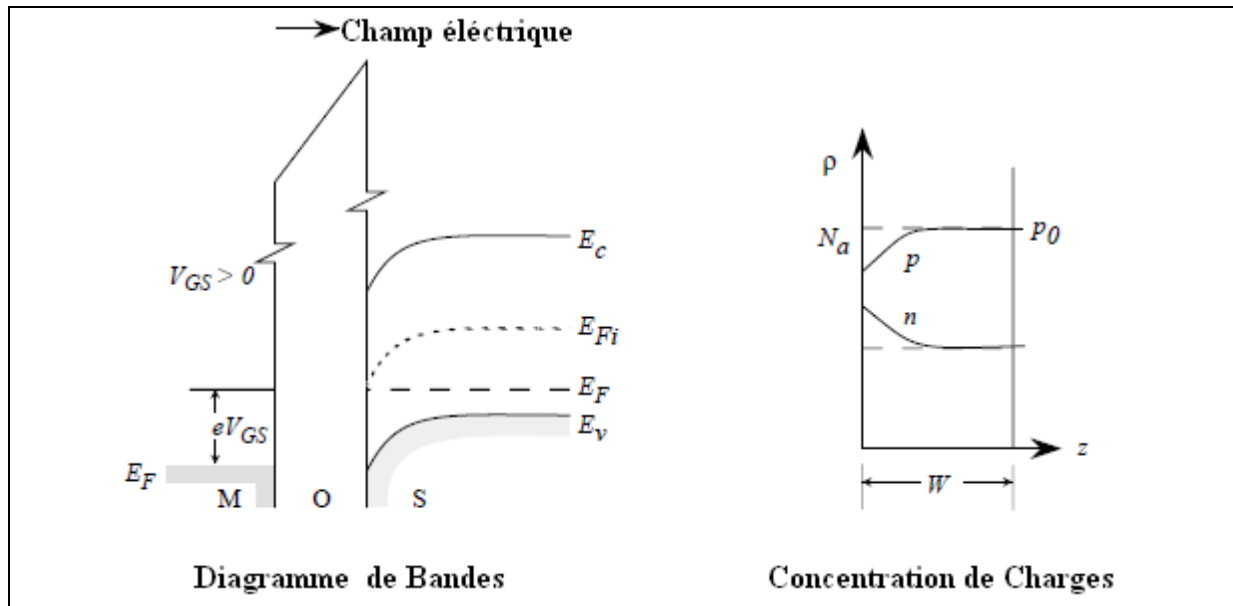


Figure (I.15) : Régime de déplétion

III.3.5 - Régime d'Inversion

- $\Phi_f < \psi_s < 2\Phi_f$: régime d'inversion faible

La condition $\psi_s = \Phi_f$ correspond au seuil de l'inversion faible : en surface les concentrations de porteurs majoritaires et minoritaires sont égales à n_i , la concentration intrinsèque de porteurs.

- $2\Phi_f < \psi_s$ soit $V_G > V_T$: régime d'inversion forte

La concentration des porteurs minoritaires en surface devient supérieure à la concentration des majoritaires dans le volume. De nombreux porteurs libres sont présents dans le canal, la barrière $\Phi_D - \psi_s$ côté source pour les électrons à la surface du semi-conducteur devient faible et le transistor conduit. La tension de seuil V_{th} d'une capacité MOS est définie comme la tension de grille V_G telle que la condition $\psi_s = 2\Phi_f$ soit remplie. On obtient ainsi :

$$V_T = V_{FB} - (Q_{DEP}/C_{OX}) + 2\Phi_f \quad \dots eq(I.2).$$

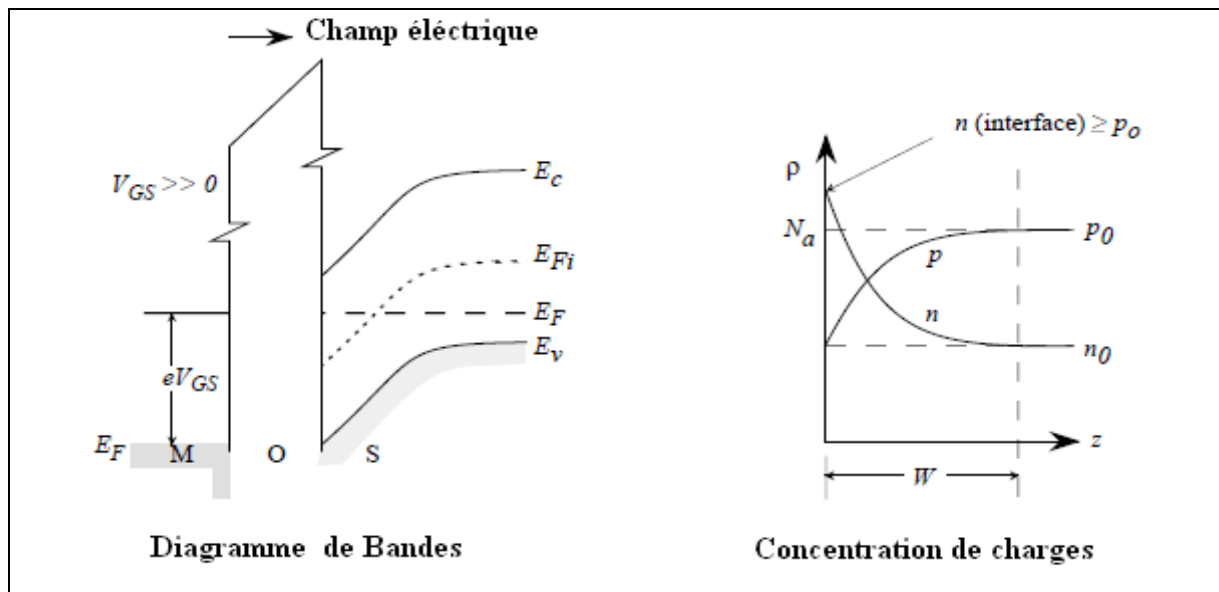


Figure (I.16): Régime d'inversion

Q_{DEP} étant la charge de déplétion dans le substrat, et C_{OX} la capacité correspondant à l'épaisseur physique de l'oxyde de grille SiO_2 ($C_{OX} = \epsilon_{ox} / T_{SiO_2}$)². La zone de déplétion augmente jusqu'au régime de forte inversion où un accroissement de la tension de grille induit alors une augmentation des porteurs minoritaires plutôt qu'une plus forte déplétion. La profondeur de la zone de déplétion atteint donc une valeur maximale T_{DEP} égale à :

$$T_{DEP} = 2 \sqrt{\frac{\epsilon_{Si} \cdot \Phi_f}{q \cdot N_A}} \quad \dots eq(1.3).$$

La charge d'inversion Q_{INV} dans le canal est donnée par la relation :

$$Q_{INV} = C_{OX,eff} \cdot (V_G - V_T) \quad \dots eq(1.4).$$

$C_{OX,eff}$ étant la capacité d'oxyde en inversion forte.

III.4 - La structure MOS Idéale

Pour comprendre le model réel du transistor MOSFET, on doit étudier une structure idéale qu'on peut la définir par les condition suivantes :

- Les travaux de sortie du SC et du métal sont considérés comme étant égaux.
- L'oxyde est un isolant parfait.
- Il n'existe pas un état d'interface entre le SC et l'oxyde.

- La hauteur de la barrière entre le métal et le semi-conducteur est toujours donnée par la différences des travaux de sortie du métal et du SC.

En admettant ces déterminations la structure MOS deviendra structure MIS selon la deuxième condition.

Pour un SC de type p les diagramme énergétiques a l'équilibre et sous une tension positive du métal par rapport au SC sont représenté sur la figure Ei représente le niveau de fermi intrinsèque. Ei est une fonction des densités d'états relatives de la bande de conduction et la bande de valence.

Lorsque le niveau de fermi est au-dessus de Ei le SC est de type n, il est au-dessous quand le SC est de type p.

On peut remarquer que le niveau de fermi reste constant dans tous le SC même sous polarisation. Ceci traduit de l'absence de courant résultant de la présence de l'isolant.

III.4.1- La Charge d'Espace :

Dans la région neutre du Sc les densités des électrons et des trous sont données par :

$$n_0 = n_i \exp [-(e\Phi_{Fi} / KT)] \quad \dots eq(I.5).$$

$$p_0 = p_i \exp [(e\Phi_{Fi} / KT)] \quad \dots eq(I.6).$$

$$Tq : e\Phi_{Fi} = l E_F - E_{Fi} l.$$

Les densité de porteurs de charges en un point x sont données par :

$$n(x) = n_0 \exp[eV(x)/KT] \quad \dots eq(I.7).$$

$$p(x) = p_0 \exp[eV(x)/KT] \quad \dots eq(I.8).$$

$V(x)$ étant le potentiel en un point x.

Pour obtenir la densité totale des charges développées dans le SC , il faut intégrer l'équation de poisson :

$$d^2 V(x) / dx^2 = -\rho(x) / \epsilon_s \quad \dots eq(I.9).$$

Ou ϵ_s représente la constante diélectrique. $\rho(x)$ est la densité de charges en un point x du SC qui est donnée par :

$$\rho(x) = exo[Nd(x) - Na(x) + p(x) - n(x)] \quad \dots eq(I.10).$$

$$Nd(x) - Na(x) = Nd - Na = n_0 - p_0 \quad \dots eq(I.11).$$

De sorte que l'équation de poisson s'écrit :

$$E(x) \frac{dE(x)}{dx} = - \frac{e}{\epsilon_s} [p_0 (\exp(-eV(x)/KT) - 1) - n_0 (\exp(eV(x)/KT) - 1)] \quad \dots eq(I.12).$$

(car : le champ électrique $E = - \text{grad } V$).

On intègre cette équation à variables séparés depuis la région neutre du SC vers la région de charges d'espace. Le champ électrique $E(x)$ varie de $E = 0$ dans la région neutre à une valeur $E(x)$ non nulle dans la zone de charge d'espace. Le potentiel $V(x)$ varie de $V = 0$ dans la région neutre à une valeur $V(x)$ non nulle dans la zone de charge d'espace.

A partir du champ en surface on peut calculer la densité totale de charge développées dans le SC. Il suffit d'utiliser le Théorème de Gauss en prenant comme surface fermée un cylindre de section $s = 1$, d'axe x et dont une base est à la surface du SC et l'autre dans la région neutre :

$$\int E \cdot ds = Q_{sc} / \epsilon_s \quad \dots eq(I.13)$$

Ainsi la charge totale développés dans un SC est donné par :

$$Q_{sc} = - \text{sign } V(s) [\epsilon_s KT / e L_D] F(Vs) \quad \dots eq(I.14).$$

III.4.2 - Potentiel et champ électrique

L'équation de poisson peut s'écrire aussi de la manière suivante :

$$\left[\frac{d^2 V(x)}{dx^2} \right] = \left[- \rho(x) / \epsilon_s \right] = \left[e Na / \epsilon_s \right] \quad \dots eq(I.15).$$

En intégrant avec la condition $E = 0$ quand $x = w$ ou w représente la limite de la zone de charge d'espace, Puis une deuxième intégration pour $v = 0$ en $x = w$. on obtient :

$$V(x) = \left[e Na / 2\epsilon_s \right] \cdot [x - w]^2 \quad \dots eq(I.16).$$

Sachant que le champ électrique $E(x) = -d(V)/dx$ alors :

$$E(x) = - [e Na / \epsilon_s] \cdot [x - w] \quad \dots eq(I.17).$$

En $x = 0$, $V = V_s$ soit :

$$V(x) = [e Na w^2 / 2\epsilon_s] \quad \dots eq(I.18).$$

III.4.3 - La tension de seuil

On définit la tension de seuil comme tension de polarisation de l'électrode métallique nécessaire à l'établissement du régime de forte inversion c'est donc la valeur de la tension entraînant $V_s = 2\Phi_F$.

Compte tenu de la relation :

$$V_G - V_s = \Delta V_{ox} = - Q_s / C_{ox}. \quad \dots eq(I.19).$$

Ce qui donne :

$$V_G = V_s - Q_s / C_{ox}. \quad \dots eq(I.20).$$

Dans la mesure où le seuil de forte inversion correspond au régime pour lequel les charges d'inversion deviennent prépondérantes, on peut écrire qu'au deca de seuil les charges dans le SC sont essentiellement des charges de déplétion. De sorte que :

$V_s < 2\Phi_F$. On écrira ainsi :

$$V_G = V_s + (4q \epsilon_s N_A \Phi_F)^{1/2} / C_{ox} \quad \dots eq(I.21).$$

La tension de seuil V_T de la structure est donnée par la valeur de V_G pour laquelle $V_s = 2\Phi_B$. Soit :

$$V_T = (q N_A W_{max}) / C_{ox} + \Psi_{s(inv)} \approx [2q \epsilon_s N_A (2\Phi_f)]^{1/2} / C_{ox} + 2\Phi_f \quad \dots eq(I.22).$$

Ainsi on définit la tension de seuil correspond à la valeur de la tension V_G à partir de laquelle on ne peut plus négliger les charges d'inversion devant les charges de déplétion.

$$V_T = 2\Phi_f + [2q \epsilon_s N_A (2\Phi_f)]^{1/2} / C_{ox} \quad \dots eq(I.23).$$

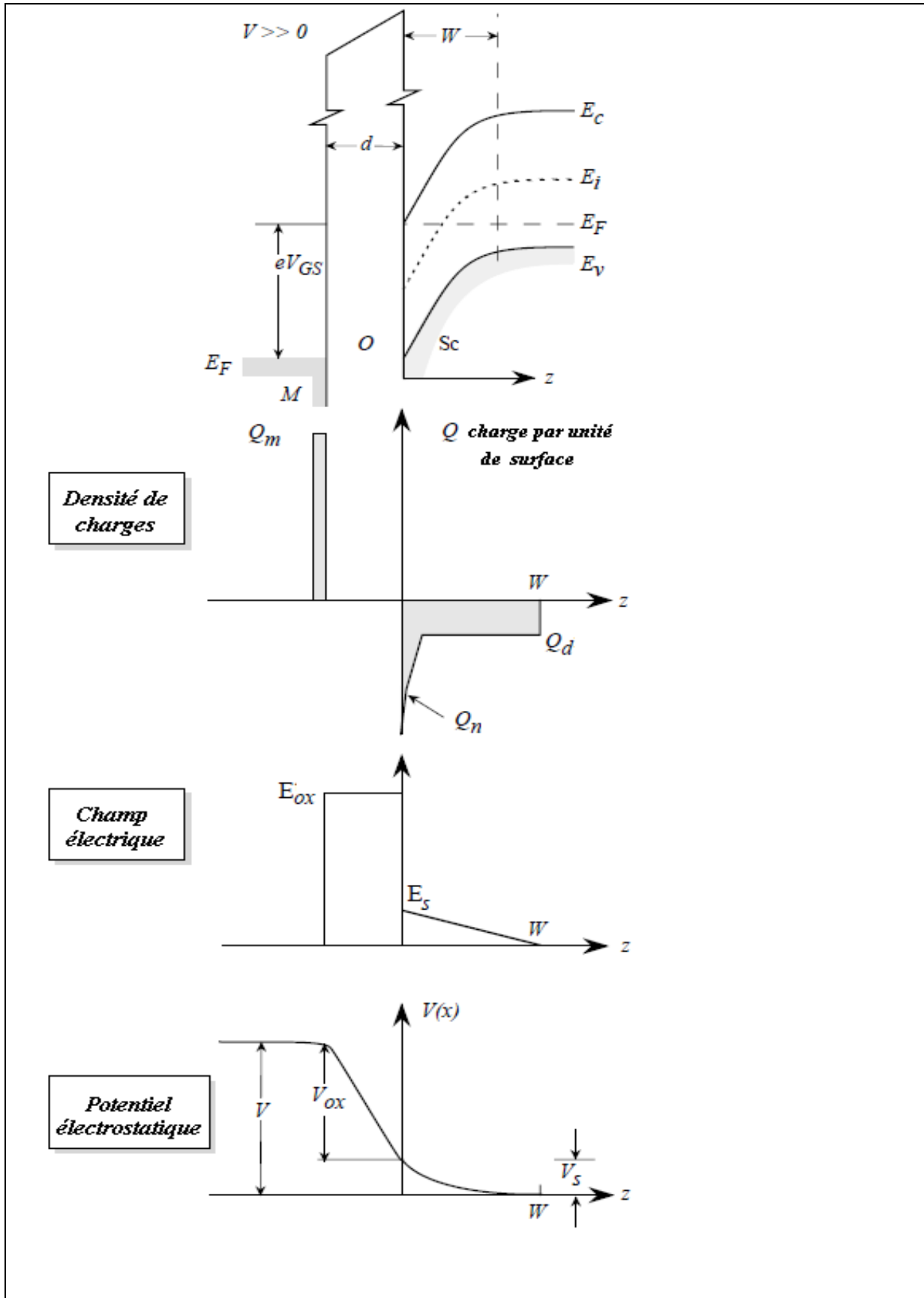


Figure (I.17) : Structure MIS idéale, Diagramme de bandes, Densité de charges, Champ électrique et Potentiel électrostatique.

III.5 - La structure MOS Réelle

La structure MOS la plus étudiée c'est la structure Al-SiO₂-Si (aluminium – Oxyde de silicium - silicium) car elle présente des caractéristiques performantes. Cependant la barrière de potentiel Φ_{ms} n'est pas nulle et il y a de diverses charges à l'intérieur de l'Oxyde qui affectent les caractéristiques du MOS réel.

III.5.1 - La Barrière de potentiel

Le travail de sortie d'un SC $q\Phi_s$ est la différence d'énergie entre le niveau de Fermi et le niveau vide. Dans un semi-conducteur il varie en fonction du dopage alors que dans un métal $q\Phi_m$ reste constant. Ce qui fait que la quantité $q\Phi_m - q\Phi_s$ varie en fonction du dopage du SC. Pour l'Aluminium le travail de sortie $q\Phi_m = 4.1 \text{ eV}$ et le Poly Silicium (Silicium Poly-cristallin) possède un travail $q\Phi_s = 4.05 \text{ eV}$ pour le n⁺ et 5.05 eV pour le p⁺ la figure montre la variation de la barrière de potentiel en fonction du dopage.

Pour les diagrammes de bande on constate deux cas, considérons tout d'abord que le système est isolé (régime de bandes plates). Après équilibre thermique (échange d'énergie) le niveau de Fermi reste constant et le niveau du vide doit être continué, donc il y a courbure vers le bas des bandes à la surface oxyde-SC due à la différence des travaux de sortie entre le métal et le SC. Ainsi, le métal sera chargé positivement et le SC négativement.

Pour vérifier la condition de bandes plates on applique une tension égale à la différence des travaux de sortie ; cette tension est appelée tension de bandes plates.

III.5.2 - Pièges d'interface et Charge d'oxyde

En plus de la barrière de potentiel, les caractéristiques de la structure MOS sont aussi affectées par la présence de charges dans l'oxyde et d'un niveau piège à l'interface SiO₂-Si.

Nous considérons à présent la modification de la position énergétique d'un piège situé à la profondeur Y_t dans l'isolant de grille vue de l'interface en fonction du potentiel de grille. Le piège est situé au niveau énergétique E_{t0}

lorsque la structure est en régime de bandes plates. Dans ce cas, la différence entre le niveau de Fermi et le piège est égale à $E_F - E_{t_0}$.

Si une tension est appliquée aux bornes de la structure, la barrière de potentiel correspondant à l'isolant se déforme comme l'illustre la figure (I.13). Il existe alors une tension aux bornes de l'isolant, V_{ox} , et le niveau d'énergie apparent du piège suit la relation suivante :

$$E_t = E_{t_0} - (q \cdot Y_t \cdot V_{ox}) / t_{ox} \dots \dots \dots eq(I.24)$$

III.6 - Calcul du Courant du Drain du Transistor

III.6.1 - I_D En régime faible inversion

En régime faible inversion, le transistor est bloqué, la barrière de potentiel entre le canal et la source est importante ce qui empêche le passage des porteurs minoritaires, seuls quelques porteurs arrivent à la franchir par activation thermique. Il en résulte l'apparition d'un courant faible de diffusion dans le transistor. Ce courant varie exponentiellement par rapport à la tension de grille V_{GS} , suivant l'expression:

$$I_D = \mu_0 \cdot C_{DEP} \cdot (W/L) \cdot (kT/q)^2 \cdot (1 - \exp(-qV_{DS}/kT)) \cdot (\exp(q \cdot (V_{GS} - V_{Th})/nkT)) \dots \dots \dots eq (I.25)$$

Où q désigne la charge élémentaire, k la constante de Boltzmann et T la température. μ_0 représente la mobilité des porteurs avec C_{DEP} , la capacité de la couche déplétée. W étant la largeur du transistor. n , appelé facteur de substrat, traduit l'effet de la couche de déplétion sur la caractéristique de courant ; il est défini par :

$$n = (1 + C_{DEP}/C_{OX,eff}) \dots \dots \dots eq (I.26)$$

En régime sous le seuil, le courant progresse de manière exponentielle avec la tension V_{GS} . Ainsi en considérant la caractéristique $I_D - V_G$ représentée en échelle logarithmique, nous définissons un paramètre électrique clé en faible inversion, à savoir, la pente sous le seuil SS (SS pour "Subthreshold Swing"), qui correspond à l'inverse de la pente de la caractéristique. SS s'exprime alors : appelé S donnée par :

$$SS = (1 + C_{DEP}/C_{OX,eff}) \cdot (kT/q) \cdot \ln 10 \dots \dots \dots eq (I.27)$$

Dans le cas idéal où C_{DEP} est négligeable devant $C_{OX,eff}$, la valeur de SS approche de la valeur théorique minimale de 60mV/dec. à 300K. Le contrôle de la valeur de la pente sous le seuil est primordial pour la définition d'un paramètre essentiel du MOSFET, le courant de fuite du transistor, ou I_{OFF} . Du fait de cette limite à 60mV/dec., le courant I_{OFF} va être également fortement dépendant de la valeur de la tension de seuil V_T .

III.6.2 - I_D En régime forte inversion

Au-dessus de la tension de seuil, le transistor devient passant. Selon l'amplitude de la polarisation de drain V_{DS} , on distingue deux régimes de fonctionnement. A faible V_{DS} , l'inversion forte est réalisée tout le long de la grille et le canal se comporte comme une résistance, c'est le régime linéaire ou régime ohmique :

$$I_D = \mu_{eff} C_{OX,eff} (W/L) \cdot (V_{GS} - V_{Th} - V_{DS}/2) \cdot V_{DS} \quad \dots eq (I.28)$$

Pour des valeurs de $V_D \leq 100mv$;

$$I_D = \mu_{eff} C_{OX,eff} (W/L) \cdot (V_{GS} - V_{Th}) \cdot V_{DS} \quad \dots eq(I.29)$$

μ_{eff} étant la mobilité effective des porteurs.

Lorsque V_{DS} augmente au-delà de la valeur $V_{GS} - V_{Th}$, le potentiel de surface côté drain devient inférieur à $2\Phi_f$. La densité de porteurs devient donc nulle côté drain créant un point de pincement qui va se déplacer côté source lorsque $V_D \gg V_{GS} - V_{Th}$. Rien ne change entre l'extrémité source et le point de pincement que ce soit en terme de densité de charges ou en terme de tension appliquée, le courant reste donc constant à la valeur I_{Dsat} :

$$I_{Dsat} = \frac{1}{2} \mu_{eff} C_{OX,eff} (W/L) \cdot (V_{Dsat})^2 \quad \dots eq(I.30)$$

Tel que : $V_{Dsat} = (V_{GS} - V_{Th})$.

Le courant de saturation I_{Dsat} , ou I_{ON} , sera donc défini comme le courant débité par le dispositif lorsque $V_{GS} = V_{DS} = V_{DD}$, V_{DD} est appelé tension d'alimentation.

III.6.3- Modulation de la longueur du canal

Nous avons précédemment assumé que si $V_D > V_{Dsat}$ le courant I_D est constant. Quand $V_D \gg V_{Dsat}$ la région de déplétion diminue du côté du Drain ceci introduit la longueur effective du canal $L_{eff} = L - \Delta L$. Il en résulte une augmentation du courant dans le drain I_D .

$$\text{avec } V_{Dsat} = (V_{GS} - V_{Th})$$

$$I_{Dsat} = \frac{1}{2} \mu_{eff} \cdot C_{OX,eff} \cdot (W/L) \cdot (V_{Dsat})^2 (1 + \lambda_n V_{DS}) \dots \dots \text{eq(I.31)}$$

λ_n est le paramètre de la modulation

III.7 - Caractéristiques Statiques d'un Transistor MOS

Un transistor peut être représenté comme un quadripôle, dont les terminaux d'entrée sont la grille et la source, les terminaux de sortie sont la source et le drain comme c'est montré dans la figure (I.18). Ainsi, à l'entrée nous avons la tension grille-source V_{GS} et le courant I_G , en sortie, la tension drain-source V_{DS} et le courant de drain I_D [8].

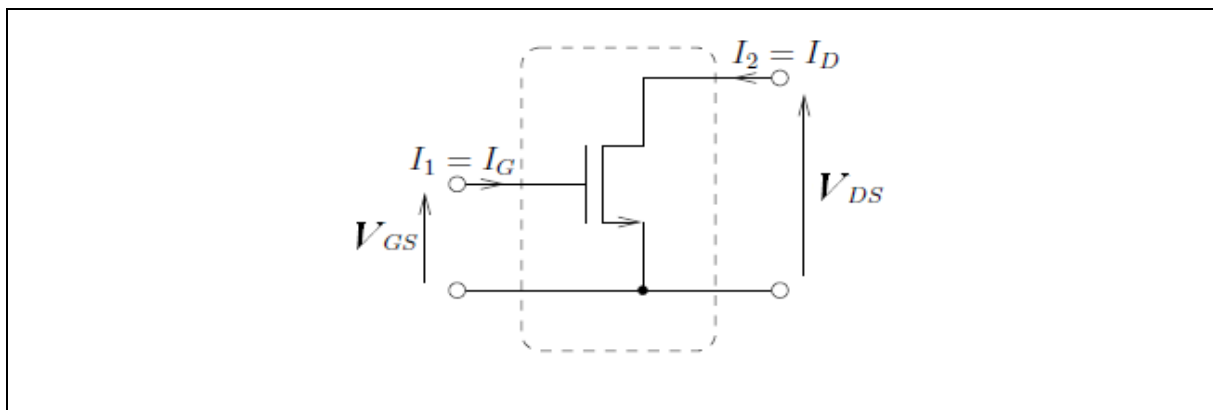


Figure (I.18) : Transistor MOS en Tant qu'un quadripôle.

En régime statique le courant de grille est nul, car la grille est électriquement isolée du canal : $I_G = 0$

Ainsi, la première grandeur d'entrée du transistor est naturellement la tension grille-source V_{GS} . Dans la mesure où en régime statique le courant de la grille est nul, l'entrée du transistor représente une charge idéale pour une source générant la tension d'entrée. C'est un très grand avantage pour une entrée en tension, car quelle que soit la résistance interne de la source

d'entrée, la tension à l'entrée du transistor est toujours égale à la tension Maximale que cette source est capable de fournir, i.e. à sa tension de circuit ouvert .

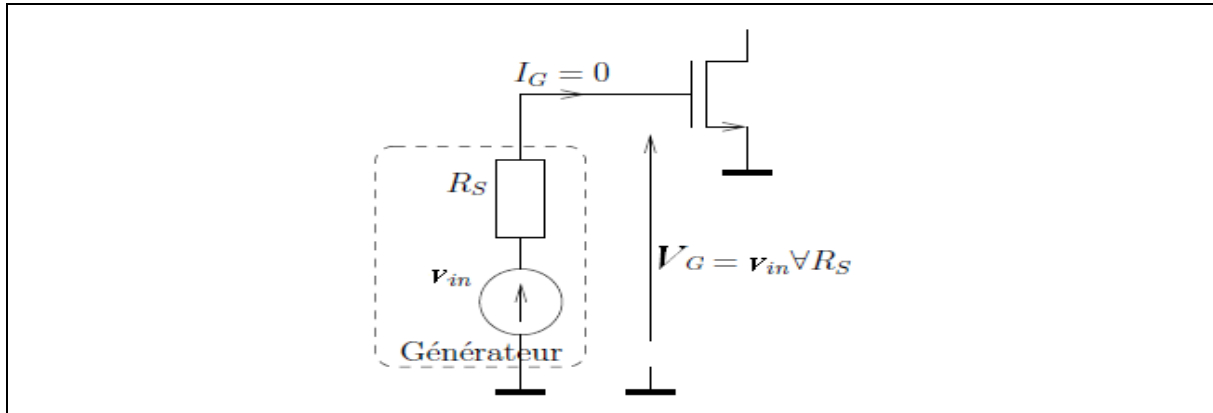


Figure (I.19) : Circuit d'entrée du Transistor MOS quelle que soit R_S .

On considère que la grandeur de sortie du transistor est le courant de drain. D'après la formule (I.30), le courant de drain dépend des tensions V_{GS} et V_{DS} . Ainsi on peut dire que la tension drain-source est une deuxième grandeur d'entrée du transistor, i.e. un deuxième argument qui définit la grandeur de sortie [8].

Pourquoi on ne choisirait pas la tension drain-source comme la grandeur de sortie et le courant I_D comme la deuxième grandeur d'entrée ? Une des raisons à cela est l'absence d'unicité entre le courant de drain I_D et la tension V_{DS} : en régime de saturation, les caractéristiques courant-tension ($I_D(V_{DS})$) idéales sont des droites parallèles à l'axe des tensions, ainsi, il est impossible de définir V_{DS} sachant I_D . Ainsi, en prenant le courant I_D et la tension V_{GS} comme les grandeurs d'entrée, il ne serait pas possible de définir la grandeur de sortie V_{DS} pour un transistor en régime de saturation. En utilisant les valeurs numériques ci-dessous :

$$\mu_n = 580 \text{ cm}^2/\text{V s}, \quad C_{ox} = 1.75 \text{ fF/m}^2, \quad W/L = 10, \quad V_{th} = 1 \text{ V},$$

Dans la figure (I.20) nous affichons un graphique tridimensionnel représentant la valeur du courant de drain en fonction des deux tensions du transistor. Tous les graphiques et les applications numériques qui seront présentes dans ce document sont faits pour un transistor nMOS avec ces paramètres.

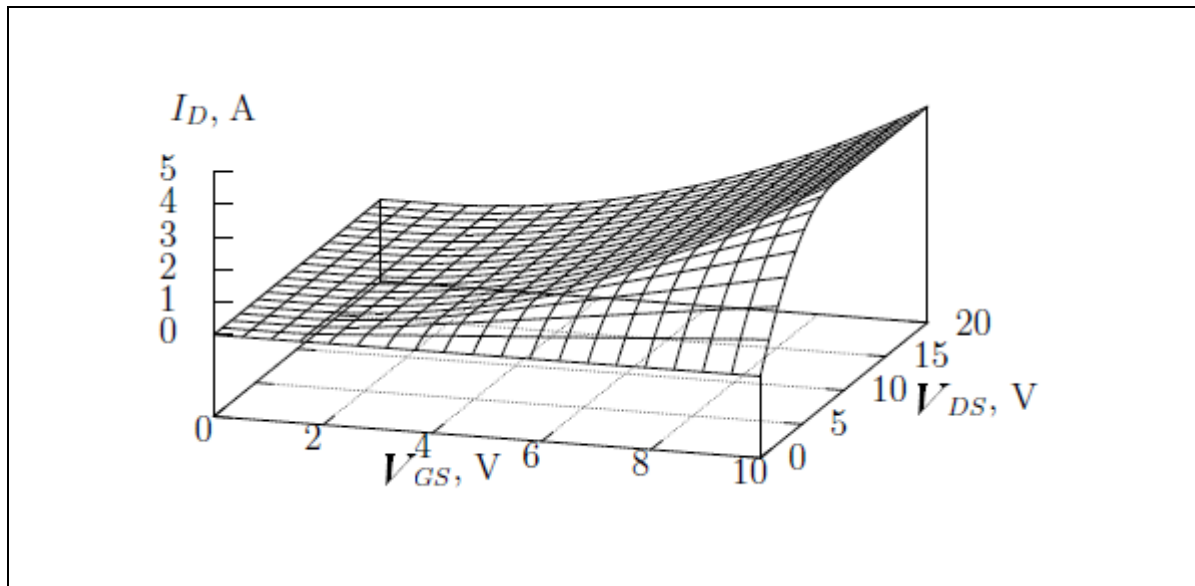


Figure (I.20) : Courant du Drain en fonction des tensions V_{GS} , V_{DS} . [8]

D'habitude, on caractérise un transistor MOS par deux représentations graphiques bidimensionnelles, qui sont les coupes orthogonales de la surface présentée sur la figure (I.20). Le premier graphique représente la relation entre le courant du drain et la tension grille-source à tension drain-source constante telle que $V_{DS} > V_{GS} - V_{th}$, i.e en régime de saturation. Visualisant la relation entre la grandeur de sortie et la grandeur d'entrée, ce graphique est la caractéristique de transfert statique du transistor soit :

$$I_{DS} = f_1(V_{GS}) \text{ à } V_{DS} \text{ constant}$$

Alors que la caractéristique de sortie est :

$$I_{DS} = f(V_{DS}) \text{ à } V_{GS} \text{ constant}$$

$$\text{et, } V_{DS} > V_{GS} - V_{th}$$

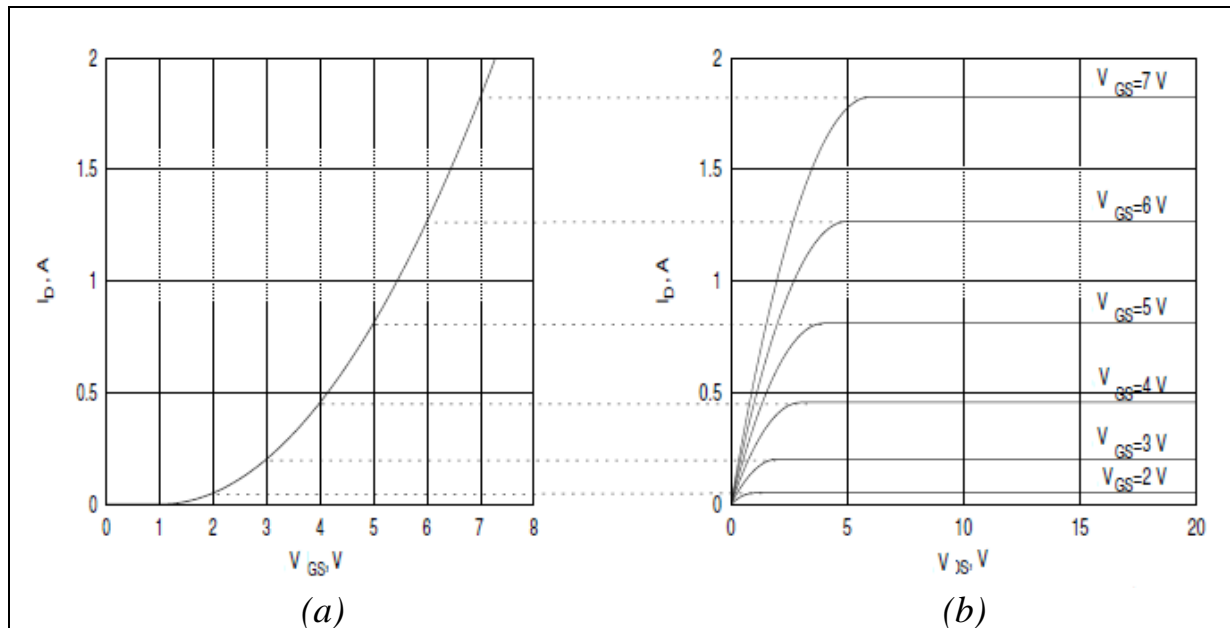


Figure (I.21) : Caractéristique de transfert et caractéristique de sortie d'un Transistor nMOS [8].

On pourrait également représenter la caractéristique de transfert du Transistor en régime linéaire, mais en pratique on s'intéresse le plus souvent à la relation entre le courant de saturation et la tension grille-source correspondante. Le deuxième graphique représente la relation entre le courant de drain et la tension drain-source pour une tension grille-source constante c'est la caractéristique de sortie du transistor :

$$I_D = f_2(V_{DS}), \quad (V_{GS} \text{ constant})$$

On peut ainsi dire que le Transistor MOSFET peut être considéré comme un dipôle non-linéaire dont la caractéristique courant-tension est commandée par une tension. Le dipôle est formé par le canal, et c'est la tension grille-source qui fixe sa caractéristique courant-tension. Ainsi, la caractéristique de sortie du transistor est la caractéristique courant-tension du dipôle que le transistor représente en sortie, (entre le drain et la source).

IV - Comportement fréquentiel du transistor MOS

IV.1 - Transistor MOS en régime petit signal

Dans le régime petit signal un élément non-linéaire fonctionne en permanence en un seul régime en exploitant des zones de ses caractéristiques assimilable à des droites. Nous étudions le comportement petit signal d'un transistor en deux régimes : régime ohmique et régime saturé. Avant, nous

présentons quelques généralités sur l'analyse des quadripôles non-linéaires en régime petit signal.

Les bases théoriques de l'analyse petit signal d'un transistor MOS représenté par un quadripôle non-linéaire. Lorsqu'une grandeur dépend de plusieurs arguments d'une manière non linéaire, l'analyse petit signal s'effectue dans l'hypothèse que les arguments et la grandeur de sortie s'écartent peu du point de fonctionnement. On s'intéresse aux variations de la grandeur de sortie (I_D , V_{DS}). Pour cela on cherche son différentiel. Le différentiel d'une fonction de trois variables s'exprime comme :

$$df(x,y,z) = \frac{\partial f(x,y,z)}{\partial x} dx + \frac{\partial f(x,y,z)}{\partial y} dy + \frac{\partial f(x,y,z)}{\partial z} dz \dots \dots eq(I.32)$$

IV.1.1 - La Transconductance

On appelle le paramètre g_m *Transconductance petit signal*. Lorsque la tension drain-source est constante [14], la composante petit signal de cette tension est nul, *i.e.* $V_{DS} = 0$, la transconductance petit signal est égale au rapport entre la composante petit signal du courant de sortie I_D et celle de la tension d'entrée V_{GS} , lorsque la tension de sortie est constante[9].

Prenons en considération la modulation de la longueur du canal

$$I_{Dsat} = \mu_{eff} \cdot C_{OX,eff} \cdot (W/2L) \cdot (V_{Dsat})^2 (1 + \lambda_n V_{DS})$$

$$g_m = d I_{DS} / d V_{GS} \quad (\text{à } V_{DS} \text{ constant}) \quad \dots eq(I.33)$$

soit alors :

$$g_m = \mu_{eff} \cdot C_{OX,eff} \cdot (W/L) \cdot (V_{Dsat}) \cdot (1 + \lambda_n V_{DS}). \quad \dots eq(I.34)$$

IV.1.2 – La Conductance

De même, le paramètre g_{DS} s'appelle *Conductance de sortie en régime de petit signal*. Lorsque la Tension grille-source est constante, sa composante petit signal est nulle, *i.e.* $V_{GS} = 0$: ainsi, que la conductance de sortie en régime de petit signal est égale au rapport entre la composante petit signal du courant de sortie I_D et celle de la tension drain-source V_{DS} , lorsque la tension grille -source est constante.

$$g_{DS} = d I_{DS} / d V_{DS} \quad (\text{à } V_{GS} \text{ constant}) \quad \dots eq(I.35)$$

$$g_{DS} = \mu_{eff} C_{OX,eff} (W/2L) \cdot (V_{GS} - V_{Th})^2 \cdot \lambda_n \quad \dots \text{eq(I.36)}$$

$$g_{DS} \approx \lambda_n I_D \quad \dots \text{eq (I.37)}$$

On parle plus souvent de la résistance de sortie en régime de petit signal, qui est l'inverse de la conductance :

$$R_{DS} = g_{DS}^{-1} = 1 / \lambda_n I_D \quad \dots \text{eq(I.38)}.$$

IV.2 - Modèle petit signal d'un transistor MOS en régime de saturation

Nous commençons par étudier le régime de saturation, car c'est le régime utilisé par la plupart des circuits linéaires. Et sachant que :

$$I_{Dsat} = \mu_{eff} C_{OX,eff} (W/2L) \cdot (V_{Dsat})^2 \quad \dots \text{eq(I.39)}$$

Tel que : $V_{Dsat} = (V_{GS} - V_{Th})$.

Pour V_{DS} Constant :

$$g_m = dI_{DS} / dV_{GS} = \mu_{eff} C_{OX,eff} (W/L) \cdot (V_{Dsat}) \quad \dots \text{eq(I.40)}$$

$$g_m = \mu_{eff} C_{OX,eff} (W/L) \cdot (V_{GS} - V_{Th}) \quad \dots \text{eq(I.41)}$$

$$g_m = ((2W \cdot \mu_{eff} C_{OX,eff} I_D) / L)^{1/2} \quad \dots \text{eq(I.42)}$$

$$I_{DS} = \frac{\partial I_{DS}}{\partial V_{GS}} dV_{GS} + \frac{\partial I_{DS}}{\partial V_{DS}} dV_{DS} + \frac{\partial I_{DS}}{\partial V_{gmb}} dV_{gmb} \quad \dots \text{eq(I.43)}$$

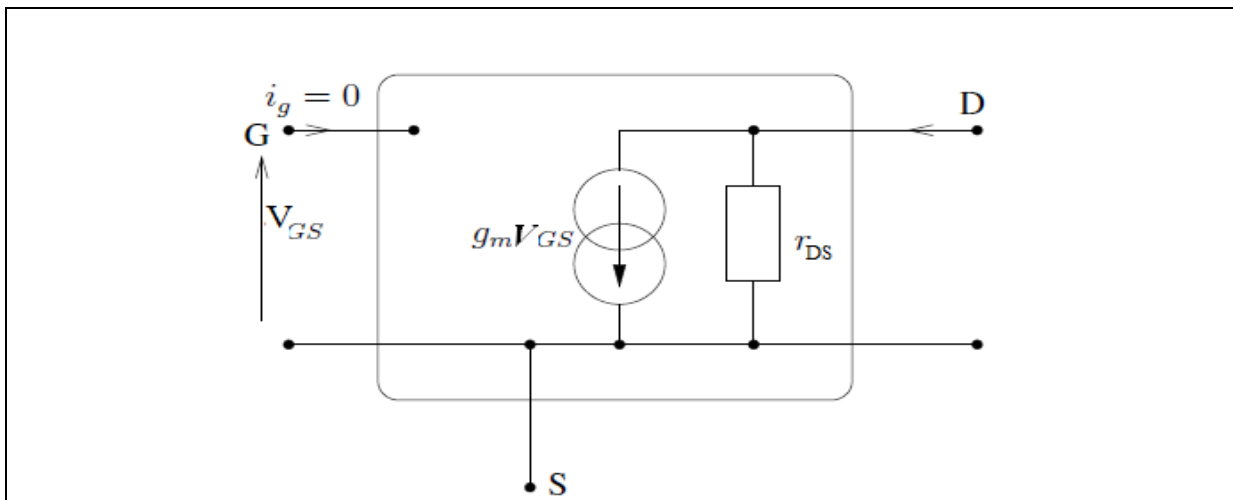


Figure (I.22) Modèle petit signal d'un transistor MOS en régime de saturation

Ainsi, la transconductance petit signal augmente lorsque la tension grille-source augmente. Ceci peut se voir sur le graphique de la caractéristique de Transmission figure (I.23) : la pente de la caractéristique augmente avec V_{GS} . D'après l'expression de I_{Dsat} la conductance de sortie du transistor est nulle, car le courant I_D ne dépend pas de la tension V_{DS} . Ainsi, la résistance de sortie est infinie. En réalité, les droites $I_D(V_{DS})$ en régime de saturation affichent une faible pente: puisque la longueur du canal est légèrement modulée par la variation de la tension V_{DS} , le courant de drain présente un léger accroissement lorsque la tension V_{DS} augmente. Ce phénomène s'appelle *effet d'Early* : afin de le prendre en compte, l'expression pour le courant I_D est complétée par le facteur : $1 - ((V_{DS} - V_{GS} + V_{Th})/V_x)$

$$I_D = (W/L) \cdot (\mu_{eff} \cdot C_{OX,eff} / 2) \cdot (V_{GS} - V_{Th})^2 \cdot (1 - (V_{DS} - V_{GS} + V_{Th})/V_x) \dots eq(I.44)$$

Où V_x est la tension d'Early (paramètre intrinsèque du transistor). Puisque la pente due à l'effet d'Early est positive, cette tension est négative et est de l'ordre de plusieurs dizaines de volt.

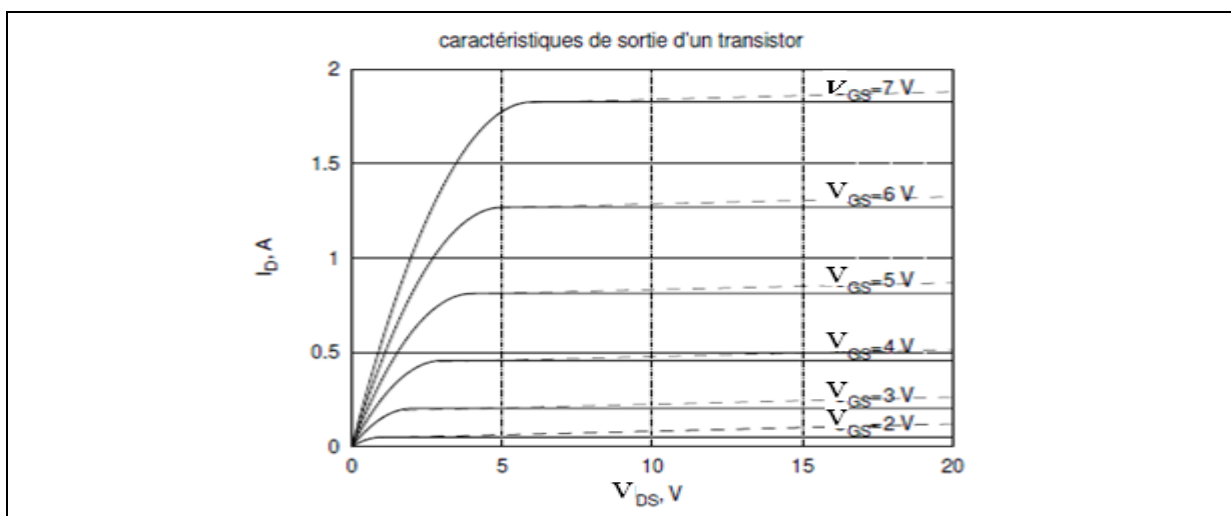


Figure (I.23) : Caractéristiques I_D - V_{DS} tenant en compte de l'effet d'Early [9]

La caractéristique de sortie du transistor affiche une légère pente en régime de saturation. La valeur du courant au début de la zone de saturation.

IV.3- Modèle petit signal d'un transistor MOS en régime Linéaire

Le transistor se trouve en régime linéaire sous les conditions suivantes :

$$V_{DS} < V_{GS} - V_{th} \quad \text{et} \quad V_{GS} > V_{th}$$

On reprend la relation (Eq1.30), En régime linéaire cette relation entre les tensions du transistor et le courant de drain se simplifient :

$$I_D = f(V_{DS}, V_{GS}) = (W/L) \cdot \mu_{eff} \cdot C_{ox,eff} \cdot (V_{GS} - V_{th} - (V_{DS}/2)) V_{DS} \quad \dots eq(I.45)$$

Dans ce régime, c'est la résistance de sortie qui est le paramètre le plus important :

$$\text{Pour } V_{GS} \text{ constant : } r_{sortie} = (dI_D/dV_{DS})^{-1}$$

$$r_{sortie} = (L/W \cdot \mu_{eff} \cdot C_{ox,eff}) \cdot (1/V_{GS} - V_{th} - V_{DS}) \quad \dots eq(I.46)$$

En régime linéaire, la pente de la caractéristique de sortie, dépend des deux tensions de contrôle du transistor. Cependant, c'est lorsque la tension V_{DS} est faible devant $V_{GS} - V_{th}$ que le comportement du transistor est particulièrement intéressant. On remarque que dans cette zone les caractéristiques de sortie diffèrent peu des droites traversant l'origine à pente positive. Elles décrivent donc une résistance linéaire. En effet, dans ce cas, l'équation (I.46) se transforme en :

$$r_{sortie} = r_{DSon} = (L/(W \cdot \mu_{eff} \cdot C_{ox,eff})) \cdot (1/V_{GS} - V_{th}) \quad \dots eq(I.47).$$

Ainsi, le rapport entre la tension et le courant de sortie ne dépend que de la tension V_{GS} : il s'agit d'une résistance contrôlée par la tension grille-source. Dans ce contexte, la résistance de sortie du transistor s'appelle r_{DSon} , pour souligner le fait que c'est la résistance «ON» du commutateur réalisé à partir de ce transistor.

IV.4 - Modèle petit signal complet

Prenons en considération les capacités intrinsèques [19] le schéma équivalent du model petit signaux est illustré sur la figure qui suit.

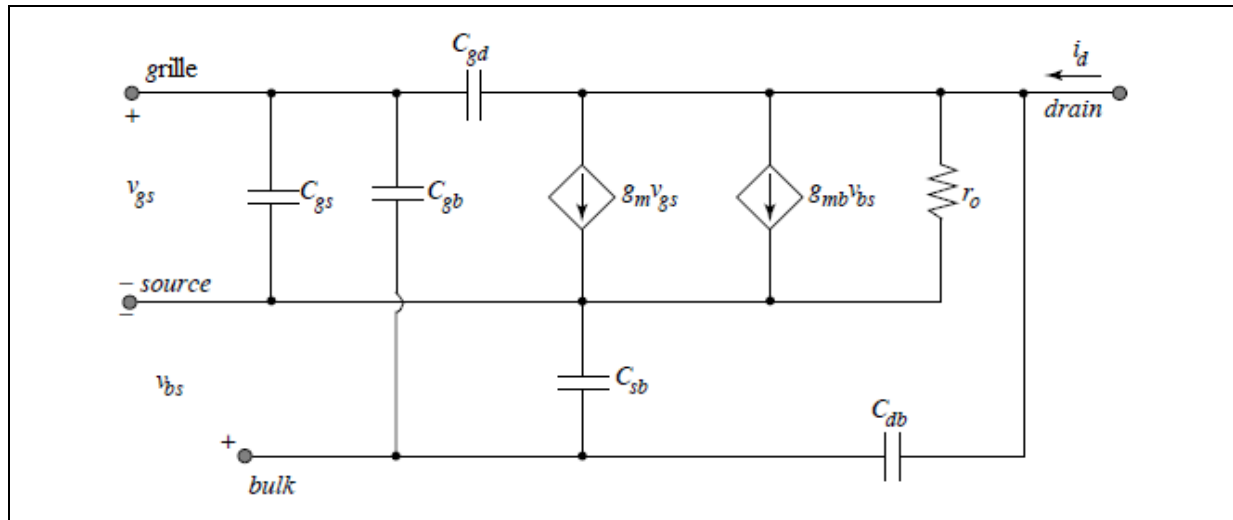


Figure (I.24) Modèle petit signal complet [8] [9].

IV.5 - Transistor MOS en Model Haut Fréquence

Les performances de rapidité des transistors MOS sont fortement dégradées par la présence des éléments parasites du dispositif. Le but de cette partie est d'analyser le comportement du transistor MOS en haute fréquence. La première étape est de développer un outil permettant d'extraire et de modéliser les éléments parasites, Cette étape permettra de quantifier les contributions relatives intrinsèque/extrinsèque au fil des technologies, de 0.35 nm à 90nm, et d'analyser l'influence des éléments extrinsèques sur les performances de rapidité.

Actuellement, les dispositifs CMOS RF présentent une fréquence maximum d'oscillation jusqu'à 280 GHz. Or, les performances de rapidité d'un dispositif sont fortement dégradées par la présence d'éléments parasites, qui sont de plus en plus déterminants. Dans le but de classer ces éléments, on peut décomposer le MOS en trois parties :

- une partie intrinsèque qui joue le rôle actif et utile du transistor ;
- une partie extrinsèque "intermédiaire" constituée d'éléments provenant de l'environnement lié à l'architecture du MOSFET (par exemple, les capacités de recouvrement ou de jonction, les résistances des diffusions source/drain) ;

Le symbole du MOSFET représente la partie intrinsèque ; la partie du schéma entourée en pointillés limite la partie intermédiaire, liée à l'architecture MOSFET ; ce qui est en dehors appartient à la partie extrinsèque, liée au masque.

On se base sur les paramètres d'un schéma équivalent (dont on peut calculer les expressions analytiques) d'une part, et sur les paramètres mesurés d'un dispositif d'autre part. Mais il est impossible, expérimentalement, de ne mesurer que l'une ou l'autre des parties intrinsèque et extrinsèque.

Ainsi, pour extraire l'extrinsèque, on se place dans des conditions de polarisation et de fréquence où la partie intrinsèque est connue.

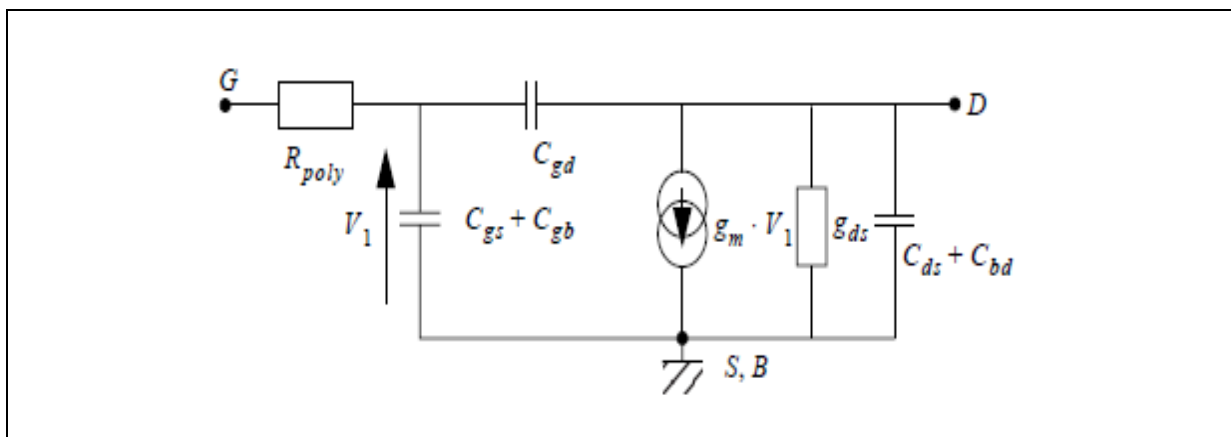


Figure (I.26) : Schéma équivalent du MOS utilisé pour l'extraction des éléments parasites.

Le schéma en dessus permet de déterminer l'ordre dans lequel on va extraire les parasites, en "épluchant" les différentes couches de parasites autour de la partie intrinsèque.

V.1 - Capacité grille-drain extrinsèque C_{GDext} :

Cette capacité regroupe :

- la capacité métallique entre les contacts et les vias de drain et de grille,
- la capacité métallique entre les contacts et les vias de drain d'une part, et le polysilicium de grille d'autre part (dépendante de la longueur de grille),
- la capacité de recouvrement du polysilicium de grille sur l'extension LDD de drain (dépendante de la polarisation).

L'extraction est faite pour $V_{GS} = 0$ dans ce cas $C_{gdint} = 0$. On se place de plus en basse fréquence, ce qui permet de s'affranchir d'une part des effets dus à la nature distribuée du MOS, et d'autre part d'un effet de couplage par le substrat

qui introduit en haute fréquence une augmentation apparente de la capacité observée.

Le modèle utilisé tient compte de la dépendance en longueur de grille, et d'une dépendance en V_{GD} , ce qui est suffisant pour le fonctionnement d'un nMOS à $V_{GS} > 0$ [11].

V.2 - Capacité grille-source extrinsèque C_{GSext}

En pratique, il est impossible d'isoler la capacité, puisque la structure est en source commune. Mais le MOS étant symétrique, on considère que C_{GSext} se comporte de la même manière que C_{GDext} . Si cette hypothèse est réaliste la composante liée au recouvrement, la structure du dispositif n'est pas symétrique, et en toute rigueur, les capacités de bord grille-drain et grille-source ne sont pas les mêmes ; on peut cependant estimer que les composantes dépendantes de L de C_{GSext} et C_{GDext} sont peu importantes et que cette dissymétrie a une influence limitée. Le modèle utilisé est donc le même, les paramètres également. La seule différence réside dans le fait que C_{GDext} dépend de V_{GD} , alors que C_{GSext} dépend de V_{GS} [11].

V.3 - Résistance de grille R_{Poly}

Cette résistance regroupe :

- la résistance de contact entre le métal et le siliciure de la grille ;
- la résistance due au siliciure ;
- la résistance d'interface entre le siliciure et le polysilicium de grille.

La grandeur extraite ici est :

$$R_{GG} = R_e \cdot (1/Y_{II}) \quad \dots eq(I.48).$$

Il s'agit de la résistance totale vue de la grille, lorsque le transistor est en régime d'inversion forte. Or, cette grandeur inclut la résistance du canal, qui est distribuée par rapport aux capacités d'inversion et de déplétion. Il est alors nécessaire, de manière à n'extraire que la résistance de la grille, de modéliser ces effets distribués afin de s'affranchir de la composante résistive qu'ils apportent et qui appartient à l'intrinsèque.

En se ramenant à l'ordre 2 de Y_{GG} voir et en supposant que $C_{INV} \gg C_{DEP}$ on peut écrire que, vue de la grille, la partie intrinsèque du MOS est un

circuit (RC) série composé de la capacité d'oxyde C_{OX} et de $R_{ch}/12$. En rajoutant les éléments extrinsèques, on obtient le circuit de la figure suivante :

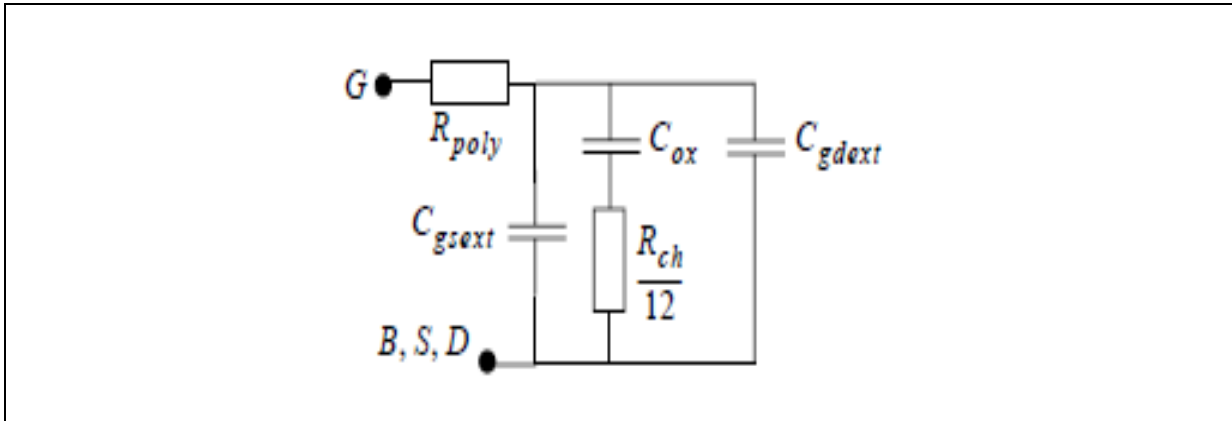


Figure (I.27) schéma équivalent du MOS tenant compte des effets distribués dans la partie intrinsèque du MOS.

Par ailleurs, en inversion forte, à $V_{DS}=0$ on peut écrire :

$$C_{GSext}=C_{GDext} \quad \dots eq(I.49).$$

$$C_{GGint}= C_{OX} \quad \dots eq(I.50).$$

$$\Rightarrow C_{GG}= C_{OX}+2. C_{GDext} \quad \dots eq(I.51).$$

Ainsi, pour obtenir R_{Poly} on doit enlever à R_{GG} la valeur $:(R_{ch}/12).(C_{GGint}/ C_{GG})^2$ qui est égale à :

$$(R_{ch}/12).((C_{GG}-2. C_{GDext})/ C_{GG})^2 \quad \dots Eq (I.52)$$

Pour déterminer R_{ch} une astuce de calcul supplémentaire est nécessaire. En effet, $R_{ch} =1/g_{ds}$ mais en basse fréquence seulement ; à fréquence plus élevée, les effets distribués dans la partie intrinsèque sont à l'origine d'une augmentation apparente de g_{ds} . Le développement à l'ordre 4 de Y_{DD} et Y_{GD} fait apparaître des termes similaires ; une combinaison linéaire de Y_{DD} et Y_{GD} permet de faire disparaître cette dépendance en fréquence.

$$R_{GG}-[12.Re (Y_{22}+2Y_{12}/3)]^{-1}. ((C_{GG}-2. C_{GDext})/ C_{GG})^2 \dots eq(I.53).$$

Cette formule donne une bonne approximation de la résistance due au polysilicium, la valeur 2/3 étant empirique. Le modèle utilisé tient compte des dépendances respectives des différentes contributions.

V.4 - Capacité drain-substrat extrinsèque C_{DSext}

Cette capacité regroupe :

- la capacité métallique entre les contacts et les vias de drain et de substrat ;
- la capacité métallique entre les contacts et les vias de drain et de source (la structure est en source commune), qui présente une dépendance en longueur de grille ;
- la capacité de jonction drain-substrat, qui présente une dépendance en polarisation. De même que pour C_{GDext} l'extraction est faite pour $V_{GS} = 0$ ou l'on a : $C_{BDint} = C_{DSint} = 0$ et à basse fréquence, Le modèle utilisé tient compte de la dépendance en L et en V_D .

Des résultats expérimentaux ont montré que la f_T mesurée est bien plus faible que la f_T corrigée des effets parasites. le rapport de ces deux grandeurs varie comme l'inverse du rapport des capacités de grille mesurée et corrigée. Le rapport des f_T est maximal en inversion modérée, là où le MOS est le plus fréquemment utilisé dans les applications RF, notamment en amplification. Cette étude montre que la prise en compte des éléments parasites est un aspect primordial de la modélisation RF du transistor MOS. Les résultats mettent notamment en évidence que la part relative de ces éléments parasites augmente au fil des générations technologiques.

VI - ETUDE D'UN ETAGES SOURCE COMMUNE

On parle d'un étage à source commune lorsque la source du transistor est raccordée au potentiel de référence. De même, il existe des montages avec drain commun et avec grille commune. Un tel étage est généralement composé d'un transistor et d'une charge. La charge est raccordée entre le drain et la borne positive de la source d'alimentation (si le transistor est à canal de type p, c'est la borne négative). La charge est généralement un dipôle non-linéaire, mais elle peut être une simple résistance. Dans ce paragraphe nous présentons une approche pour analyser qualitativement un étage à source commune [7] [11].

VI.1 – Etage à source commune avec une charge résistive caractéristique de transmission statique

Soit un étage à source commune présente sur la figure. On considère que la grandeur de sortie est la tension de drain V_D (dans ce cas, la tension V_D est égale à la tension V_{DS} vu que la source est raccordée à la masse). On cherche alors à établir une relation entre la tension de sortie V_D et la tension d'entrée V_{GS} . Exprimons la loi des mailles pour la maille de sortie (source d'alimentation V_{DD} , la résistance R , le canal du transistor) :

$$V_{DD} = I_D(V_D, V_G) \cdot R + V_D \quad \dots eq(I.54).$$

On peut résoudre cette équation analytiquement sur intervalles (de régime linéaire et de saturation), puisque les équations décrivant le transistor sont relativement simples. Néanmoins, il est plus simple et plus instructif de résoudre cette équation graphiquement.

On utilise la méthode graphique Traçons les caractéristiques courant-tension des deux dipôles figure (I.28), avec les conventions pour les courants et les tensions telles que :

$$I_1 = I_2, V_1 = V_2.$$

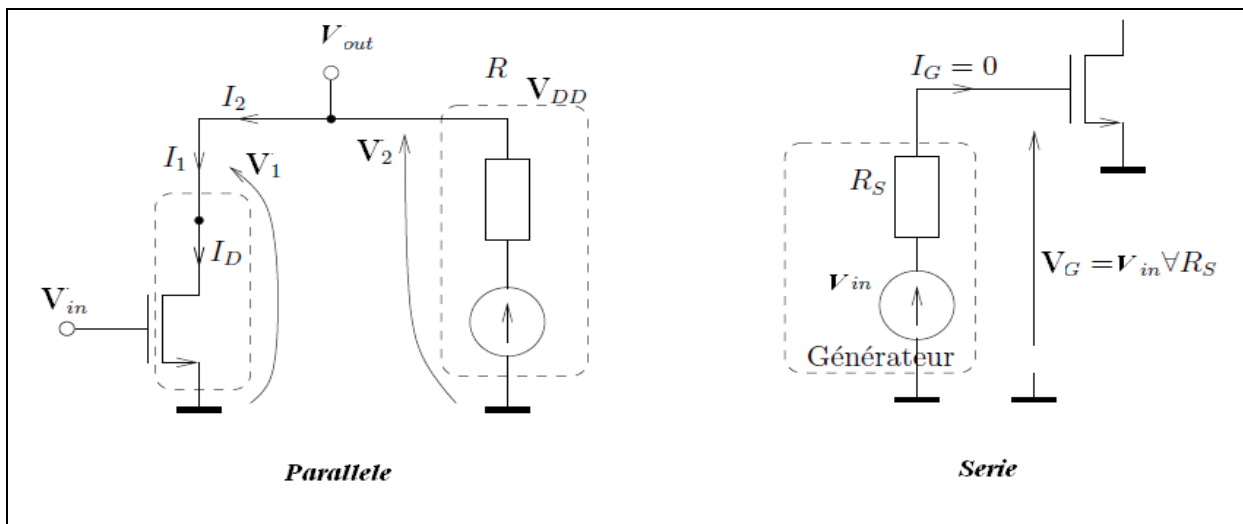


Figure (I.28) : Représentation de la sortie de l'étage par deux dipôles raccordés en parallèle et en série [7] [11].

La caractéristique courant-tension du dipôle de sortie du transistor varie selon la tension V_{GS} , ainsi, il convient de tracer une famille de caractéristiques figure (I.28).

La caractéristique courant-tension du dipôle (charge R -source d'alimentation V_{DD}) est une droite à pente négative, qui croise les axes aux points correspondant au régime de court-circuit ($V_2 = 0, I_2 = I_{2max} = V_{DD}/R$) et de circuit ouvert ($V_2 = V_{2max} = V_{DD}, I_2 = 0$). Dans la mesure où les tensions et les courants des deux dipôles sont les mêmes, cette droite définit le lieu des points correspondant aux états possibles du transistor. On l'appelle < droite de charge >. Pour un V_{GS} donnée, l'état du transistor est donné par le point d'intersection entre la caractéristique correspondant du transistor et la droite de charge.

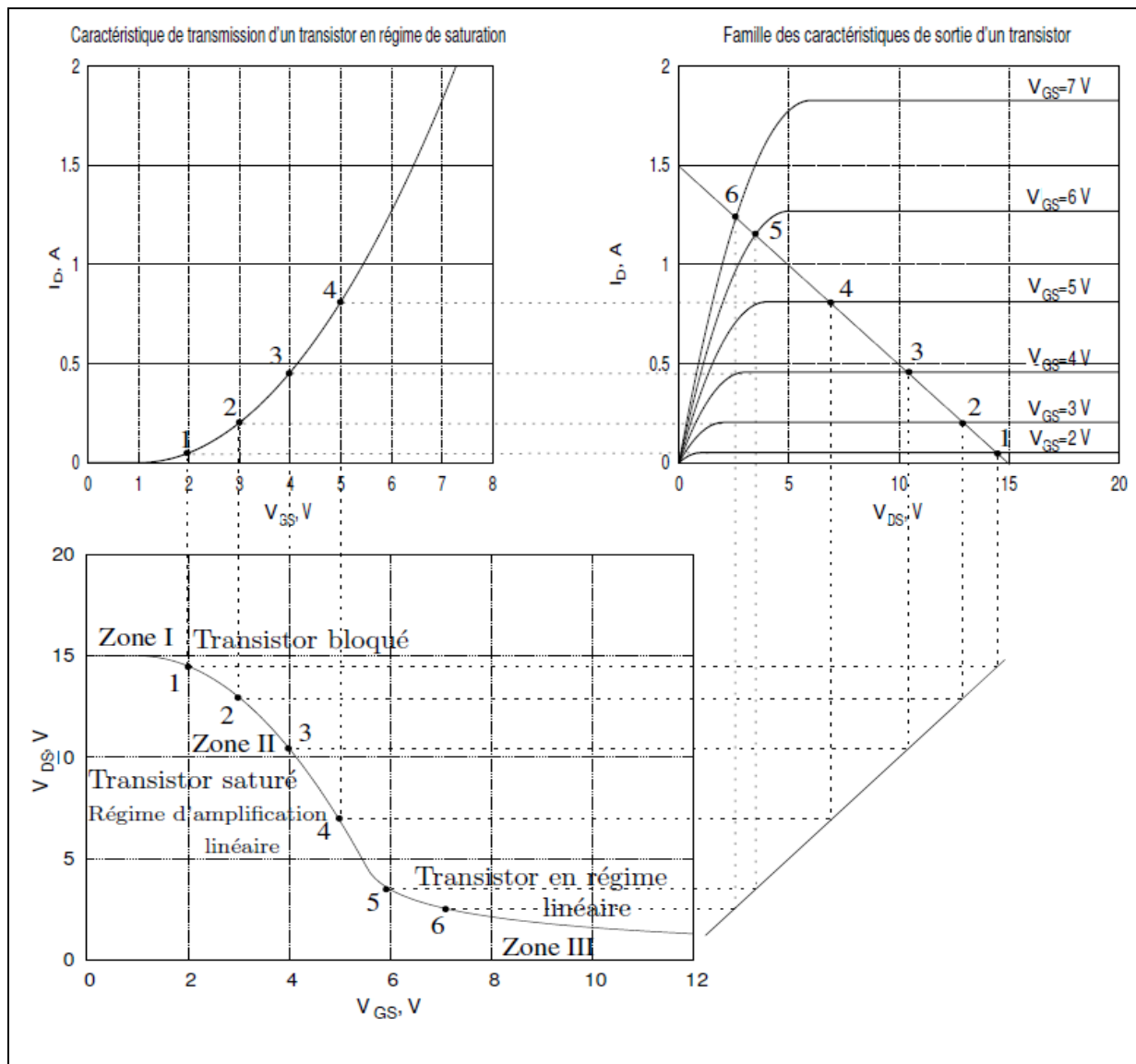


Figure (I.29) : Méthode graphique pour le calcul de la caractéristique de transmission de l'étage à source commune avec une charge résistive[10].

Pour les tensions d'entrée inférieures à V_{th} le courant de sortie est nul, la tension sur la résistance est nulle, ainsi, la tension d'entrée est égale à la tension d'alimentation (zone I de la caractéristique de sortie). Lorsque la tension d'entrée franchit la tension de seuil (1 V dans notre cas), un faible courant apparaît en sortie. Ce courant génère une tension sur la résistance, ce qui fait baisser la tension de sortie. Au début cette baisse n'est pas suffisante pour que le transistor quitte le régime de saturation (points 1-4, zone 2). Cependant, à partir d'une certaine valeur du courant de sortie la tension V_{DS} devient plus petite que la tension $V_{GS} - V_{th}$: le transistor entre en régime linéaire (points 5 et 6, zone III). En augmentant davantage la tension d'entrée, on n'observe pas d'évolution substantielle de la tension de sortie : celle-là tend vers zéro d'une manière asymptotique.

Le gain en tension de cet étage est égal au rapport entre une faible variation de la tension d'entrée sur la variation résultante de la tension en sortie (le gain d'un amplificateur est presque toujours un paramètre petit signal, autrement dit, un gain dynamique ou différentiel). Le gain est donné par la pente de la tangente de la caractéristique de transmission statique. On voit que le gain est maximal en régime de saturation (dans la zone II). C'est donc cette zone qui est utilisée pour réaliser des applicateurs linéaires.

Il est très important de ne pas confondre une amplification linéaire et le régime linéaire d'un transistor : il s'agit de deux notions désignant deux phénomènes complètement différents. D'après la caractéristique de transmission de l'étage, c'est lorsque le transistor fonctionne en régime de saturation que l'on obtient une amplification linéaire.

VI.2 - Etage à source commune avec une charge résistive

Régime dynamique

Si l'on applique une tension sinusoïdale à l'entrée de l'étage, on n'obtient pas une sinusoïde en sortie. En effet, d'après la caractéristique d'entrée-sortie statique, c'est uniquement lorsque la tension d'entrée franchit la tension de seuil que la tension de sortie devient différente de V_{DD} et réagit à la variation de la tension d'entrée. Ainsi, non seulement la forme du signal est distordue, mais en plus, l'amplificateur fonctionne dans la zone I, où le gain est faible.

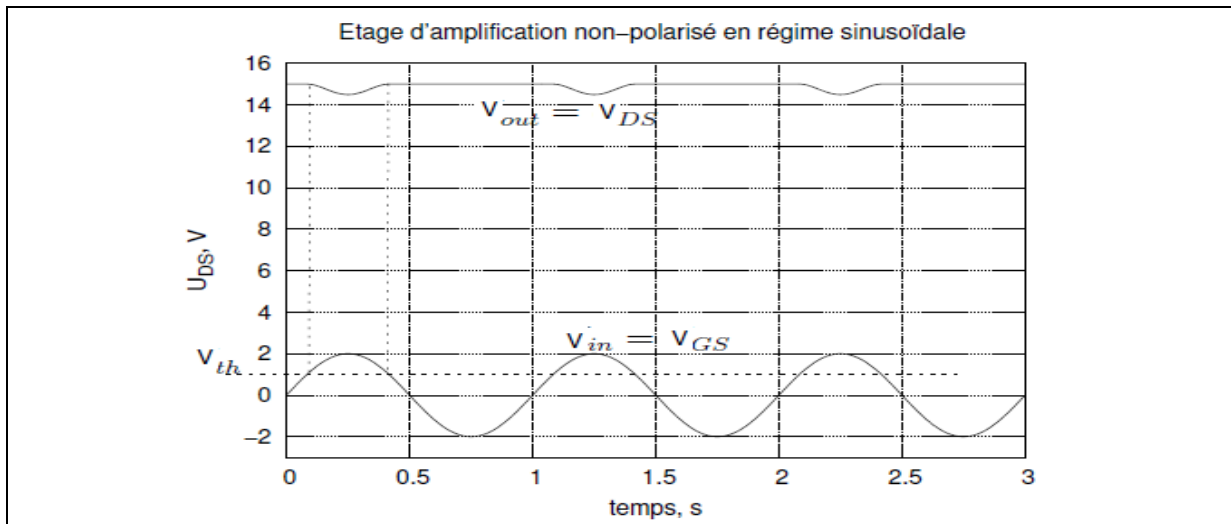


Figure (I.30) : Amplificateur avec une tension d'entrée sinusoïdale sans polarisation[10].

On observe un régime non-linéaire. L'amplificateur fonctionne en zone I.

Pour profiter de la zone II, il est nécessaire que la tension d'entrée reste dans la plage correspondant à cette zone. Pour ramener le transistor dans la zone II, on superpose à la tension sinusoïdale V_{in} une tension continue V_{ino} , de sorte à ce qu'au repos, i.e. lorsque le signal V_{in} est nul, le transistor se trouve au milieu de la zone II. Ainsi on définit le point de travail au milieu de la zone II. D'après le graphique de la caractéristique de transmission, c'est à peu près le point (4,5 V, 8,7 V). L'excursion de la tension sinusoïdale doit être telle que le transistor ne sorte pas de la zone II, i.e. son amplitude doit être au maximum égale à la moitié de l'étendue de la zone, i.e. à peu près 1,2 V. En réalisant un circuit avec ces paramètres, nous obtenons un fonctionnement présenté sur la figure (I.32). On voit que la tension de sortie retrace fidèlement une sinusoïde, avec, néanmoins, de légères distorsions. Celles-ci sont dues à la non-linéarité résiduelle de la zone II (où la caractéristique est proche mais pas identique à une droite).

On remarque que l'amplitude de la tension de sortie est 4 fois plus grande que l'amplitude de la sinusoïde d'entrée. Ainsi, le gain en tension de cet amplificateur vaut 4.

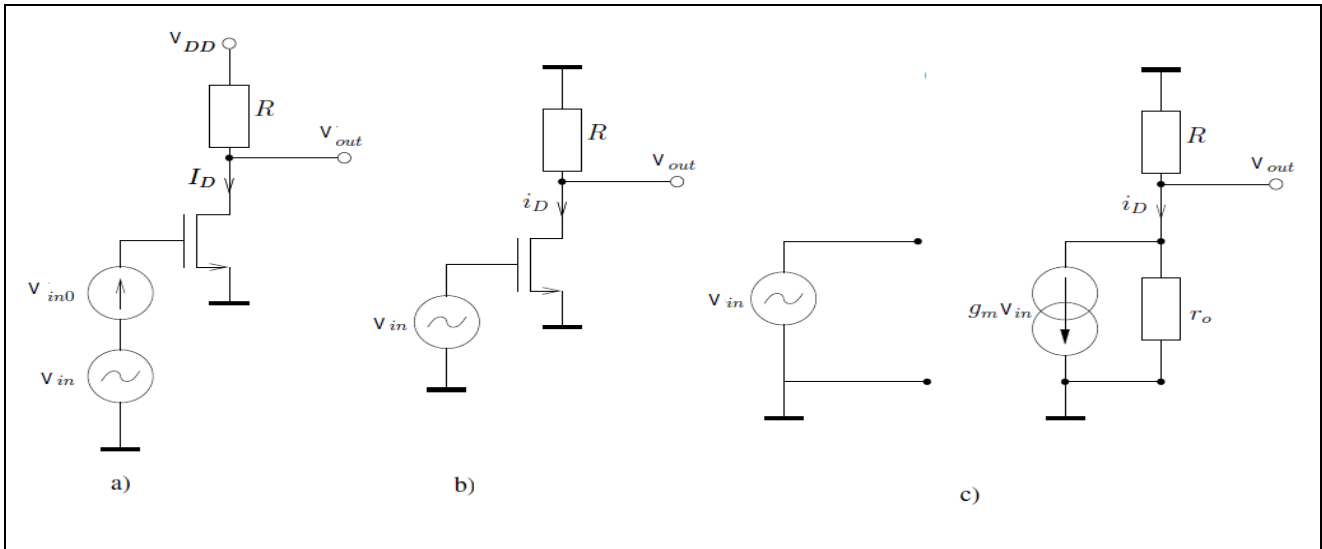


Figure (I.31) : Etage à source commune en régime dynamique : a) schéma de l'étage, b) toutes les sources continues indépendantes sont annulées (première étape de la synthèse du schéma petit signal), c) les éléments non-linéaires sont remplacés par leurs modèles équivalents petit signal [10].

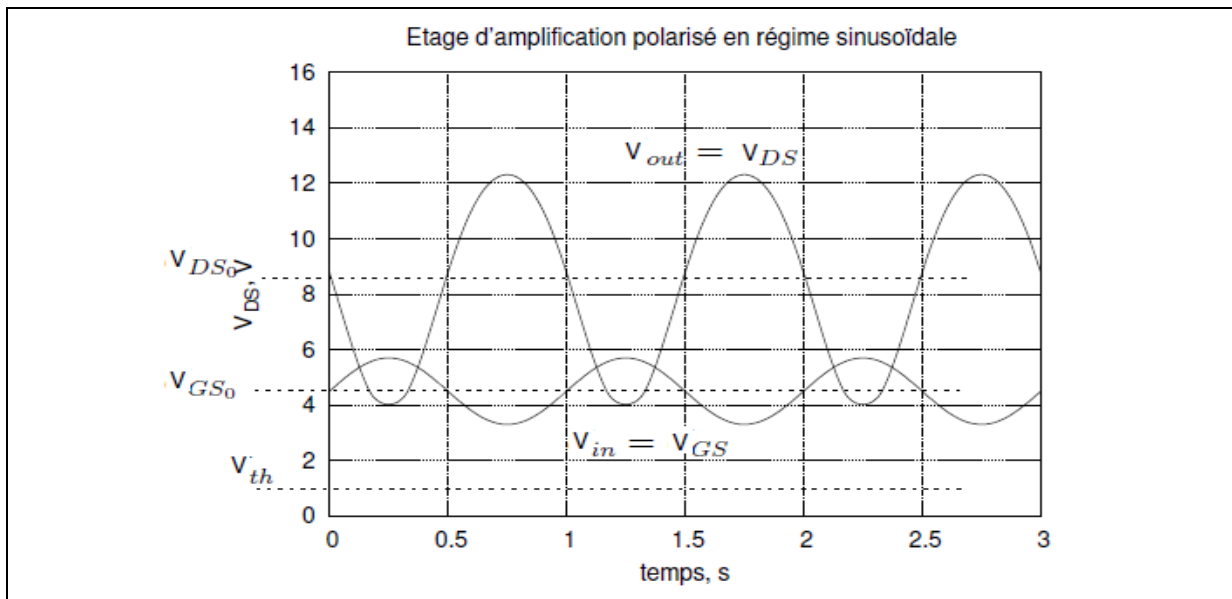


Figure (I.32) : Amplificateur avec une tension d'entrée sinusoïdale polarisée pour fonctionner en zone linéaire (régime de saturation du transistor)[10].

On observe une amplification de la tension d'entrée. La forme d'onde est légèrement distordue, ce qui est dû à une faible non-linéarité de la zone II. Pour calculer le gain sans passer par la représentation graphique, il est nécessaire d'utiliser le schéma petit signal du transistor.

Pour obtenir le schéma équivalent petit signal d'un circuit donné, les démarches à suivre sont les suivantes.

- 1) On éteint toutes les sources continues indépendantes figure (I.31, b).
- 2) On remplace tous les éléments non-linéaires par leurs schémas équivalents petit signal (figure I.31, c).

Les paramètres du schéma équivalent petit signal sont calculés au point de fonctionnement défini précédemment ; Il est facile de voir que la tension petit signal de sortie vaut :

$$V_{OUT} = (R//r_o \cdot g_m) \cdot V_{IN} \quad \dots eq(I.55).$$

Le Gain en tension A_V égale :

$$A_V = (R//r_o \cdot g_m) \quad \dots eq(I.56).$$

Généralement, r_o , la résistance de sortie du transistor en régime de saturation, est de l'ordre de dizaine ou de centaines de kilo ohms. Puisque $R=10$, $R//r_o \approx R$: dans ce cas on peut négliger r_o et considérer que le transistor se comporte comme une source de courant idéal.

Sachant que $g_m = (W/L) \cdot \mu_n \cdot C_{ox} \cdot (V_{GS} - V_{th})$ et la composante DC de la tension d'entrée $V_{GS} = 4.5v$ On $g_m = 0.35 \Omega^{-1}$ Puisque $R=10$, le gain en tension vaut approximativement 3,5. Cette valeur est proche de celle que l'on a estimée à partir des graphiques. Il faut garder à l'esprit que ce calcul est approximatif, puisqu'il est basé sur la modélisation linéaire d'un élément qui est, en réalité, non-linéaire. Ce calcul est d'autant plus précis que l'amplitude du signal d'entrée est faible.

Pour calculer analytiquement le point de fonctionnement et l'amplitude maximale de la tension d'entrée, il faut déterminer la plage des tensions d'entrée pour lesquelles le transistor reste en régime de saturation.

On sait que le transistor se trouve dans la zone de saturation à partir de $V_{GS} = V_{th}$: c'est la frontière entre le régime bloqué et le régime de saturation. Ainsi, la valeur minimale de la tension d'entrée est donnée par $V_{GSmin} = V_{th} = 1v$ dans notre cas. Pour calculer la tension d'entrée pour laquelle le transistor quitte la zone de saturation et se retrouve dans la zone linéaire, i.e. la valeur maximale de la tension d'entrée, il faut utiliser l'équation (I.48) et la condition limite entre la zone linéaire et la zone de saturation, $V_{DS} = V_{GS} - V_{th}$. Il faut donc résoudre le système :

$$\begin{cases} V_{DD} = I_D \cdot (V_D, V_G) \cdot R + V_D \\ V_D = V_G - V_{th} \end{cases}$$

Pour l'expression de I_D on peut utiliser n'importe quelle formule « celle du régime linéaire ou du régime saturé, vu que l'on s'intéresse à la frontière entre les zones et que la fonction $I_D(V_{GS}, V_{DS})$ est continue. La tension V_{GS} Obtenue donne la valeur maximale de la tension d'entrée (V_{GSmax}).

Connaissant ces deux tensions, nous pouvons donner la tension d'entrée correspondant au point de fonctionnement (au milieu entre les valeurs extrêmes) et l'amplitude maximale de la tension d'entrée (la moitié de la longueur de cet intervalle).

VII - CONCLUSION

Dans ce premier chapitre, nous avons pu présenter brièvement les principes de base et de fonctionnement de transistor MOSFET sur substrat massif à canal long en introduisant ses principes de base et son fonctionnement. Ce composant possède Plusieurs avantages et inconvénients qui dépendent notamment des diverses architectures qui existent. L'ensemble des efforts technologiques ont été consacré à sa miniaturisation. Des nouveaux processus technologique de fabrication, précisément la photolithographie a donné naissance aux nouvelles générations de Transistors avec des tailles submicroniques. Ces dernières comptent aujourd'hui beaucoup d'avantages et caractéristiques qu'ils les qualifient pour être des transistors MOSFET de puissance de hautes performance.

CHAPITRE -II-

LES STRUCTURES MOSFET VERTICALES

Les technologies actuelles ont permis la conception de nouvelles structures pour les Transistors à effet de champ , on citera entre autre les structures a canal vertical qui combine : Une longueur de grille contrôlée précisément à travers un film mince déposé indépendamment de lithographie et de la gravure , et un Oxyde de grille de grande qualité cultivé sur un seul canal de cristal de Silicium.

Les performances de la structure MOSFET verticale sur les parois latérales des tranchées ou des piliers de Si ont été reconnues pour au moins un quart de siècle, elles sont beaucoup plus élevées que celles des transistors à structure planaire . Parmi ces avantages on compte ; une très grande densité d'intégration par unité de surface de Si, l'empilage de transistors et des condensateurs de stockage, et le contrôle de la dimension de la grille ou longueur du canal sans la lithographie.

Dans ce chapitre nous allons étudier cette nouvelle structure de transistor a conduction verticale qui se diffère de la structure planaire, de nombreuses approches ont été utilisées pour construire ces dispositifs, mais toutes verticales MOSFET ont manqué au moins un des éléments essentiels suivants les caractéristiques du transistor planaire de pointe: Oxyde de grille de haute qualité, contrôle de la longueur du canal, et basses capacités parasites. Ces structures sont les fruits de l'ensemble des efforts consacrés pour la conception des transistors MOSFETs submicroniques.

I- LA REDUCTION D'ECHELLE ET LES EFFETS ASSOCIES

I.1- ENJEUX ET DILEMMES REGISSANT L'EVOLUTION DES PERFORMANCES DES MOSFET

L'évolution de la technologie actuelle est lié à la conception des transistor dans les meilleurs échelles possibles, ceci est dû aux exigences du marché ; rapidité, faible dissipation d'énergie et grande densité d'intégration. la taille des transistors a été réduite et atteint actuellement et même moins d'un micromètre grâce aux nouveaux processus de fabrication, notons la lithographie qui permet d'imprimer des grilles a des dimension extrêmement petites, ainsi des isolants parfaits même en telles dimensions. Actuellement les processeurs de hautes performances sont menus de

transistors à des longueurs de grille moins de 100 nanomètres avec un oxyde de moins de 2 nm d'épaisseur.

I.1.1- Contexte général : La réduction d'échelle ou « scaling »

Les caractéristiques électriques du transistor MOSFET peuvent être principalement décrites par deux paramètres, le courant de saturation I_{ON} , et le courant de fuite I_{OFF} , un faible courant de fuite va permettre de limiter la consommation et la puissance statique dissipée ($P_s = V_{DD} \cdot I_{OFF}$) dans un circuit. D'un autre côté la fréquence de fonctionnement d'un circuit va être gouvernée par la résistance et la capacité des lignes d'interconnexions et le délai intrinsèque du transistor τ_t donné par :

$$\tau_t = (C_{gate} \cdot V_{DD}) / I_{ON} \dots\dots\dots eq (II.1)$$

Dans un dispositif Transistor (il n'y a pas des interconnexions), on note l'intérêt d'avoir un courant I_{ON} élevé pour obtenir une fréquence de commutation élevée mais ce n'est pas une condition suffisante. Le courant $I_{Dsat} = I_{ON}$ s'exprime par :

$$I_{Dsat} = \mu_{eff} \cdot C_{OX,eff} \cdot (W_{eff} / 2Lg) \cdot V_{Dsat} \text{ avec } V_{Dsat} = (V_G - V_T) \dots eq(II.2)$$

On remarque que si le courant augmente par augmentation de C_{gate} (par la réduction de l'épaisseur de l'oxyde ou une augmentation de la largeur W_{eff}) le délai va rester constant. La réduction de la longueur de grille Lg permet en revanche d'améliorer I_{ON} et τ_t . c'est sur ce principe simple qu'est basée la loi de Moore[1], elle prévoit et impose au marché des semi-conducteurs à travers des spécifications de l'International Technology roadmap for Semiconductor (ITRS)[2].

I.2 - Grandeurs Soumises au Scaling

I.2.1 - La Longueur du Canal et de la Grille

Les petites longueurs de grille ou du canal permettent un passage plus rapide de courant à travers le canal et par conséquent la conception de circuits plus rapides. La photolithographie est l'une des technologies clés qui nous permettent de relever les défis du réduire continuellement les fonctionnalités du dispositif et d'améliorer la densité d'intégration. Photolithographie optique a dépassé les limites de résolution déjà prédit plusieurs fois par une combinaison de lentilles améliorée avec ouverture numérique élevée et l'utilisation de rayon laser à courte longueur d'onde. Dans

les processus technologique actuelle, une source de lumière laser de 198 nm de longueur d'onde est utilisé en conjonction avec des techniques d'amélioration dites Phase-shift, sont actives sur des largeurs d'imagerie de l'ordre de 100 nm ou moins. Les masques phase-shift peuvent être utilisés pour définir des lignes plus fines avec le même faisceau laser. Cette technique permet aussi de déposer des lignes isolants moins de 30 nm de largeur elle est appliquée à des géométries arbitraires nécessaire pour la conception des puces VLSI [12]. ce qui montre la figure suivante :

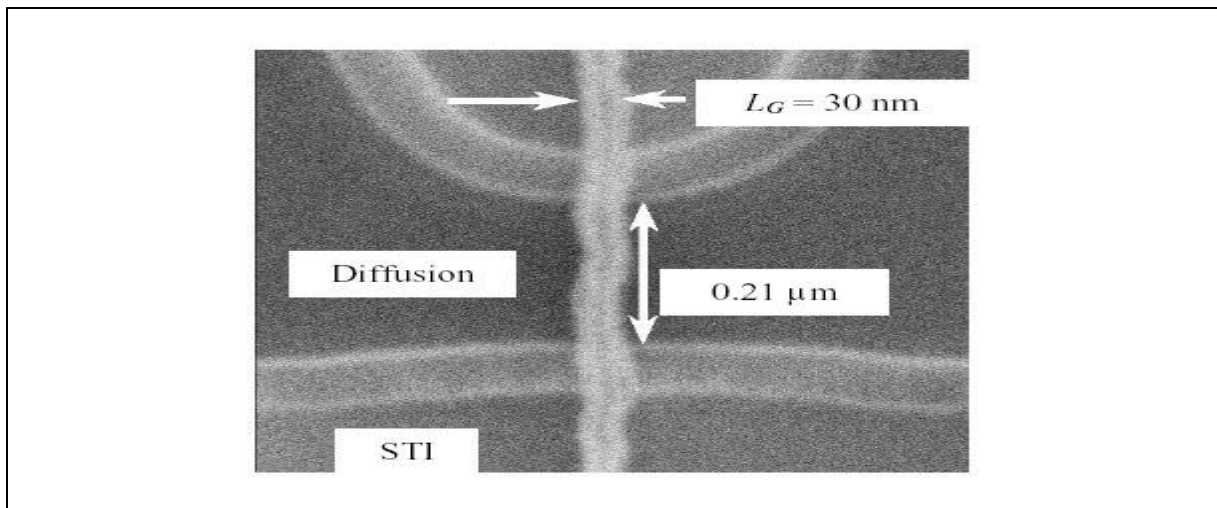


Figure (II.1) : Transistor avec $L_g=30$ nm

Un phénomène appelé transport balistique se produit généralement pour des longueurs de grille inférieures à 10 nm. Car pendant le flux des porteurs de charges à travers un matériau semi-conducteur, ils sont susceptibles d'être dispersés par des défauts, des impuretés, les interfaces, y compris les phonons acoustiques ou optiques et d'autres transporteurs. Toutefois, la distance (longueur de grille soit L_g) parcourue par les porteurs de charges est plus petit que le libre parcours moyen λ (~ 20 nm dans le silicium intrinsèque), il est probable de ne pas rencontrer tous les événements de diffusion dans le canal.

Afin de profiter pleinement du phénomène de transport balistique, un transistor MOSFET a été conçu avec double grille afin de réduire la surface du mécanisme de diffusion. Diminuer le champ électrique normal et assurer une bonne interface Si- SiO₂.

I.2.2 - L'épaisseur de L'oxyde :

L'épaisseur de l'oxyde diélectrique joue un rôle crucial de sorte qu'une bonne capacité de couplage permet un meilleur control de flux de porteurs de charge a travers le canal. Par conséquence un meilleur

control de l'effet des canaux court. Cependant, il y a une limitation physique d'avoir un ultra-mince d'oxyde de grille. La miniaturisation de l'oxyde de grille n'est pas limitée dans la technologie de fabrication, Il est possible actuellement de déposer une couche de Si-O₂ de l'ordre de 1.5nm d'épaisseur. Cependant, à une telle mince épaisseur d'oxyde, de la mécanique quantique (QM) tunnel a lieu, menant à un courant de fuite dans la grille qui augmente de façon exponentielle en diminuant l'épaisseur de l'oxyde. Ce qui demande d'accroître la tension de polarisation du transistor.

I.2.3 - Scaling de la tension

Les Principaux défis pour minimiser la tension d'alimentation V_{DD} (à savoir la polarisation de drain appliquée) ont été ; le non-scaling de la tension de seuil, la tension d'alimentation doit être ajustée avec les dimensions physiques d'un transistor à maintenir un champ électrique constant entre la source et le drain. La tension d'alimentation est généralement réduite pour minimiser la dissipation de puissance et pour des raisons de fiabilité.

I.3 – Effets Parasites lies au Scaling :

La future génération de transistor MOS atteindra des dimensions caractéristiques de l'ordre de quelques nanomètres. Au-delà des difficultés de lithographie qu'il conviendra de surmonter avant d'en arriver à la réalisation industrielle, ces « NanoMOSFET » imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes qu'on ne peut plus négliger. Dans ce qui suit, nous allons examiner les principales contraintes technologiques auxquelles les dispositifs MOSFETs sont confrontés dans leur course à la miniaturisation.

I.3.1 - Les Effets canaux courts (SCE) :

De manière générale, les effets canaux courts notes SCE (*Short Channel Effects*) constituent tous des effets parasites qui ont une influence sur les caractéristiques du MOSFET tels que ; la tension de seuil V_{th} . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles : le partage de charge CSE (*Charge Sharing ou Roll-off*) et le DIBL (*Drain Induced Barrier Lowering*) [10].

I.3.1.1 - DIBL (Drain Induced Barrier Lowering):

Le phénomène de DIBL (ou abaissement de la barrière de potentiel du drain) concerne le potentiel de surface, il est pris en compte lorsque le transistor fonctionne en régime sous seuil ou faible inversion, en effet la distribution du potentiel de surface dans le canal dépend à la fois du champ transversal qui est contrôlé par la tension de la grille et le champ longitudinal qui est contrôlé par la tension du drain. Quand la tension de drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source, il se produit alors un abaissement de la barrière source-canal figure (II.2.a). L'abaissement de la barrière à la source permet l'injection d'électrons dans le canal (en surface) et ceci indépendamment de la tension de grille. La grille perd donc le contrôle du courant de drain sous le seuil. Cet effet est d'autant plus marqué lorsque la tension de drain augmente et lorsque la longueur de canal diminue figure (II.2.b) [10].

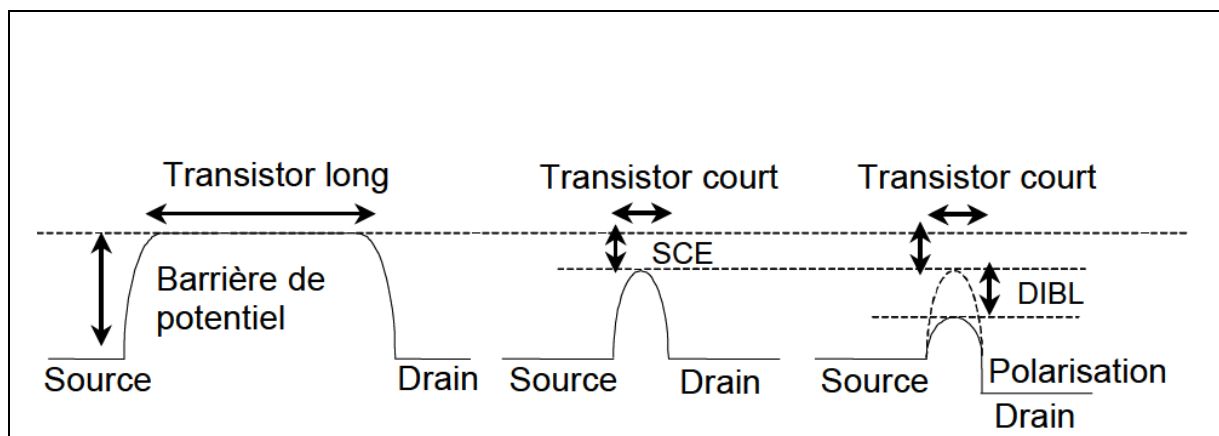


Figure (II.2): Profil du potentiel de surface pour un transistor n-MOS à canal (a) long et (b) court.

L'effet DIBL est habituellement mesuré par le décalage de la couche de transfert en régime sous seuil ΔV_{Th} divisé par ΔV_{DS} entre deux courbes résultant de deux tensions de drain différentes. Ce résultat s'observe bien sur la caractéristique $I_D - V_G$ en échelle logarithmique tracée à la figure (II.3).

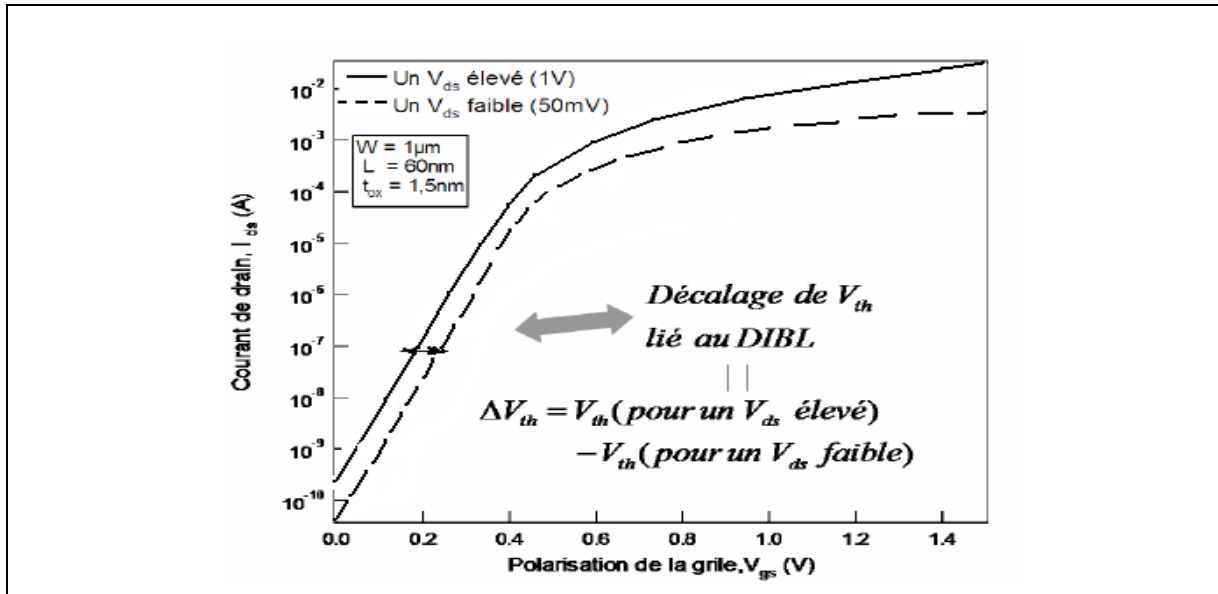


Figure (II.3) : Influence de l'effet du DIBL sur la caractéristique $I_D - V_G$ du transistor MOS.

I.3.1.2 -Le partage de charge de déplétion (CSE) :

L'effet de partage de charge (CSE) apparaît lorsqu'une partie significative du canal n'est plus contrôlée par la grille à cause de l'influence des jonctions de source et de drain. Quand V_{DS} augmente, la quantité de charge contrôlée par la grille diminue en dessous de sa valeur obtenue pour $V_{DS} = 0V$. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil SS ainsi que du courant. Ce résultat s'observe bien sur la caractéristique $I_D - V_G$ en échelle logarithmique de la figure suivante :

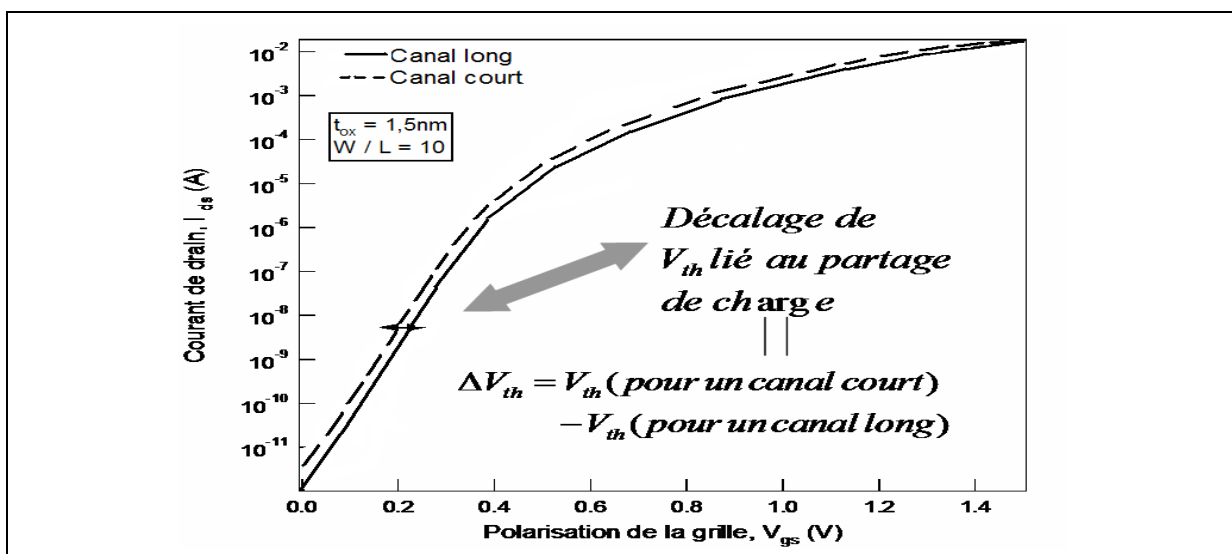


Figure (II.4) : Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_D = 1 V$.

En plus de cet effet canal court, on assiste à un effet canal étroit. La région de déplétion effective créée par la tension de grille sous l'oxyde de grille s'étend latéralement. Cependant, contrairement à l'effet du canal court, cet effet dû au canal étroit conduit à une diminution de la valeur du courant et, ainsi, à une augmentation de la tension de seuil [13].

I.3.1.3 - Perçage (Punch-through) :

Le courant de drain en régime sous le seuil peut aussi bénéficier d'un passage entre la source et le drain plus en profondeur dans le substrat. Le contrôle de la grille est moins efficace lorsque le courant est localisé en profondeur dans le substrat. L'intensité du courant de punch-through dépend principalement de la distribution du potentiel sous le canal et par conséquent des zones de déplétion. Si la surface de déplétion à proximité du drain s'étend trop profondément en direction de la source figure (II.5), la barrière de potentiel à la source décroît et des porteurs sont injectés de la source vers le drain en volume. Le phénomène de perçage dépend donc fortement de la tension de drain appliquée et de la profondeur des jonctions.

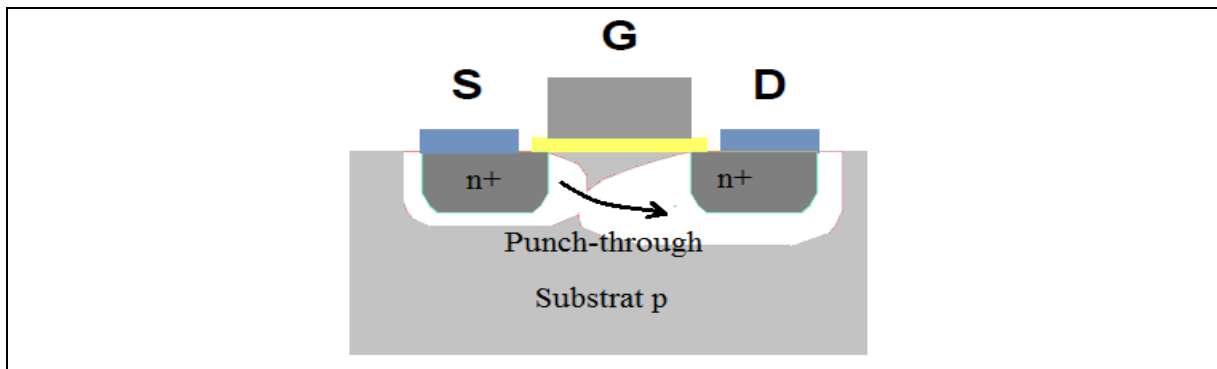


Figure (II.5): Extension des zones de déplétion dans le substrat conduisant au phénomène de perçage.

I.3.1.4 - Effets canaux courts sur la tension de seuil

Quand la longueur du canal devient proche du micron, les effets canaux courts côté source et drain jouent un rôle non négligeable. La figure (II.6) montre la répartition de la charge de déplétion dans un MOS à canal court. La zone de charge d'espace est créée par un champ qui possède une composante longitudinale associée à la capacité MOS grille-canal et une composante longitudinale associée à la capacité de transition de la jonction n+ p du contact ohmique.

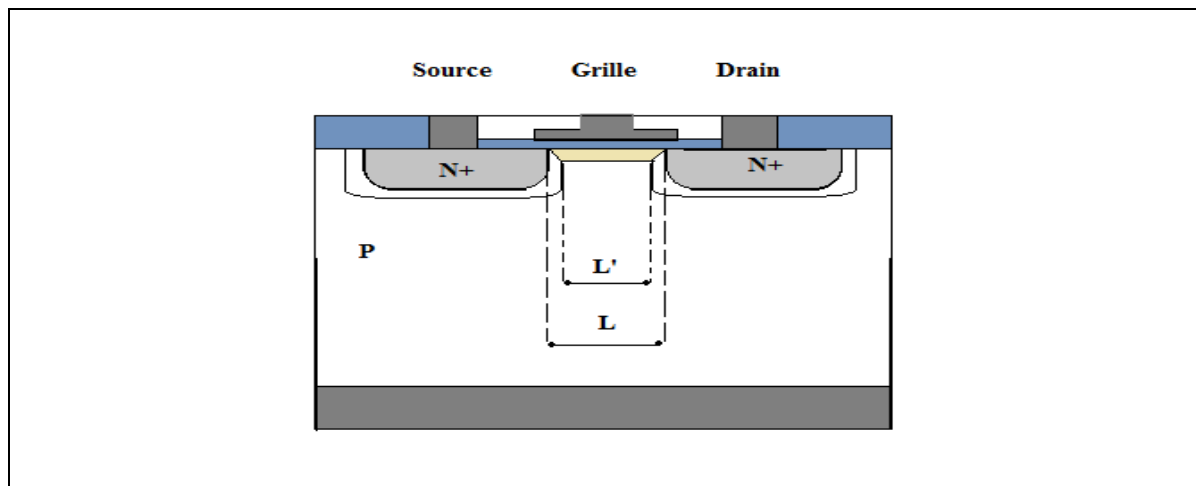


Figure (II.6): Géométrie des zones de déplétion liées à la grille et aux zones source/drain.

Un modèle simple, développé plus-tard, permet de déterminer graphiquement les relations qui établissent le partage de la charge de déplétion entre grille, source et drain. La zone de distribution de la charge de déplétion du canal Q'D est représentée par le trapèze violet de la Fig. (II.4) de surface $S' = W_s(L+L')/2$. Cette surface est inférieure à celle utilisée en première approximation pour les canaux longs ($S = W_s L$). Un facteur correctif, purement géométrique, s'écrit:

$$K = Q_{sc}/Q'_{sc} = (L+L')/2L = 1 - \Delta L/L \dots \dots \dots eq(II.3)$$

La tension de seuil résultant de cette correction s'écrit ainsi:

$$V_T = \Phi_{ms} - KQ_{dep}/C_{OX} + 2\Phi = -F \dots \dots \dots eq(II.4)$$

Si la longueur de canal diminue, la charge de déplétion contrôlée par la source et le drain prend de plus en plus d'importance par rapport à celle contrôlée par la grille. Cette diminution de charge de déplétion va entraîner une diminution de la tension de seuil.

I.3.1.5 – Le courant de Fuite I_{OFF} et Le Compromis I_{OFF} / I_{ON}

Il est déterminé comme courant du drain I_{DS} pour $V_{GS}=0$ et $V_{DS} = V_{DD}$ c'est l'une les plus importante caractérisation des transistors MOSFET, c'est un paramètre lié directement au effets canaux court de manière que la puissance dissipée lors son fonctionnement $PS = I_{OFF} \cdot V_{DD}$. Actuellement et lors l'intégration des millier de transistor sur la même puce il est recommandé qu' en plus I_{ON} , le courant I_{OFF} doit être optimisé, et il devient un paramètre crucial qui détermine l'échelle d'intégration.

Le phénomène est largement remarquable pour des longueurs de grille inférieures à 20nm. Les performances actuelles sont ainsi très éloignées des spécifications du nœud technologique 45nm, il faut d'ici là réussir à augmenter le courant I_{ON} . Il est ainsi nécessaire d'envisager l'introduction de nouvelles architectures et de nouveaux matériaux.

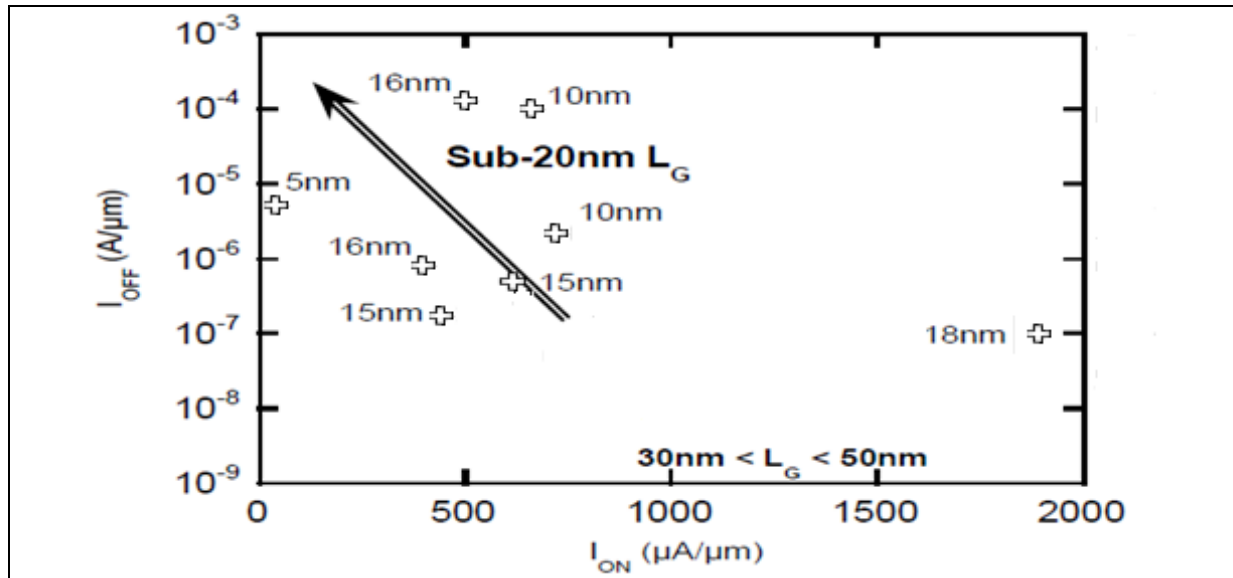


Figure (II.7): I_{ON} / I_{OFF} du transistor nMOSFET sur substrat massif. Pour des longueurs de grille inférieures à 20-30nm, résultats obtenus par différentes firmes de conception des SC

I.3.2 - L'injection De Porteurs Chauds

En régime de saturation, il existe au niveau de la jonction canal-drain polarisée en inverse, un champ électrique d'autant plus important que la longueur du canal diminue. Ce champ électrique de canal (E_m) dépend de la polarisation, et est également lié au gradient de dopant de la jonction qui varie avec sa profondeur (X_j). E_m est ainsi relié à X_j .

I.3.3 – Ionisation Par Impact

Les électrons pénétrant dans la ZCE sont accélérés par ce champ et certains d'entre eux acquièrent suffisamment d'énergie cinétique pour créer un mécanisme d'ionisation par impact. L'énergie cinétique emmagasinée par un électron lors de son déplacement est transmise au cristal par l'intermédiaire de chocs avec les atomes du réseau. Ce processus assure la dissipation thermique de l'énergie potentielle perdue par les électrons. Cependant, si ce champ électrique est suffisamment intense, certains électrons de la bande de conduction peuvent acquérir une énergie telle que leur impact sur un atome du réseau entraîne la rupture d'une liaison de valence. On compte donc deux électrons

dans la bande de conduction et un trou dans la bande de valence. Ainsi créés, ces porteurs peuvent suivre différents chemins résumés à la figure (II.6).

Les trous peuvent être rejetés dans le substrat et induire un important courant de substrat. Mais ils peuvent aussi migrer vers la source et créer un abaissement de barrière à la jonction source-canal. Il se produit alors une injection d'électrons supplémentaires de la source vers le canal. Cet ensemble source-drain-canal travaille comme un transistor n-p-n dont la base (canal) est flottante et le collecteur (drain) se trouve dans des conditions d'avalanche [10][13].

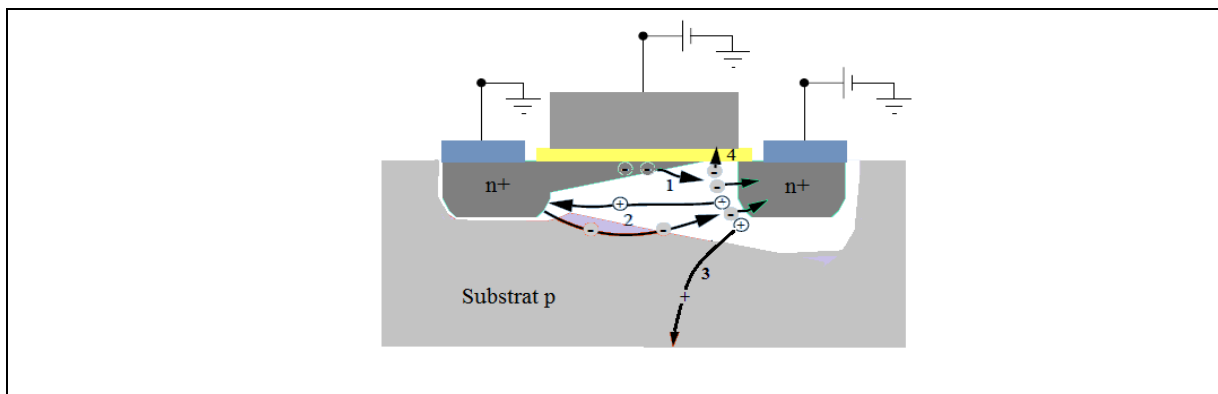


Figure (II.8):Porteurs générés par ionisation par impact à la jonction canal-drain (1).Les trous peuvent créer un courant de substrat (3) ou créer un abaissement de barrière en migrant vers la source (2) ce qui produit une nouvelle injection d'électrons dans le canal. Enfin, les électrons peuvent être injectés dans l'oxyde de grille (4).

Quant aux électrons, lorsqu'ils sont accélérés au niveau de la jonction canal-drain, une tension moyenne appliquée à la grille peut leur permettre de passer la barrière de potentiel présente à l'interface silicium-oxyde. Les porteurs chauds injectés induisent des défauts dans l'oxyde de grille qui changent localement la valeur de la tension de seuil. En général, ces effets de dégradation limitent la durée de vie du transistor.

I.3.4 - Résistances parasites à la source et au drain :

Dans les structures de transistors submicroniques, les résistances intrinsèques de la source et du drain deviennent de plus en plus importantes. Comme le courant augmente de concert avec la miniaturisation, la chute de potentiel aux bornes des résistances intrinsèques devient non négligeable. De plus, ces résistances ne sont pas réduites avec la diminution des dimensions. Les résistances séries, comme l'indique la figure (II.9.b), se composent des différentes contributions suivantes:

$$R_{serie} = R_c + R_{sh} + R_{sp} + R_a \quad \dots\dots\dots eq(II.5)$$

Avec R_c la résistance de contact, R_{sh} la résistance de diffusion, R_{sp} la résistance de délocalisation et R_a la résistance de la couche d'accumulation.

La résistance de contact dépend fortement de la répartition des lignes de courant le long de la fenêtre de contact. En effet, les porteurs, cherchant à emprunter le chemin le moins résistif, tendent à poursuivre leurs parcours le plus longtemps possible dans le métal. La densité des lignes de courant sera plus importante à l'extrémité droite qu'à l'extrémité gauche du contact.

Le modèle utilisé est par conséquent non linéaire et est établi par la formule suivante:

$$R_c = (R_{\square} \cdot L_T / W) \coth(L_c / L_T) \quad \text{avec } L_T = (\rho_c / R_{\square})^{1/2} \dots\dots\dots eq(II.6)$$

avec L_T longueur de transfert, W la largeur du contact, L_c la longueur du contact, ρ_c la résistance spécifique de contact de l'interface silicium/siliciure et R_{\square} la résistance par carreau du silicium sous le contact. Afin de conserver une résistance faible lors de la réduction de dimensions, la longueur des contacts ne doit pas être réduite dans les mêmes conditions: ceci est un obstacle à la miniaturisation. L'utilisation de matériau offrant une résistance spécifique de contact métal/silicium toujours plus faible permet de conserver une valeur acceptable des résistances séries.

La résistance par carreau lié à la zone de silicium fortement dopée est donnée par:

$$R_{sh} = S \cdot R_{\square} / W \quad \text{avec } R_{\square} = \rho_{Si} / X \quad \dots\dots\dots eq(II.7)$$

Elle représente la résistance du silicium entre le canal et la jonction, distance souvent conditionnée par la taille de l'espaceur.

Enfin, la résistance de délocalisation est obtenue en considérant l'étalement des lignes de courant tel qu'indiqué en figure (II.9.a). L'expression tient compte d'une part de la variation de la résistivité avec le gradient de concentration et d'autre part du profil de dispersion des lignes de courant. Ainsi, pour réduire cette résistance, une jonction abrupte (gradient élevé du profil de dopage à la jonction) permet de contrôler l'influence du premier terme, et une diminution de la profondeur de jonction (X_j) assure une contribution négligeable du second terme.

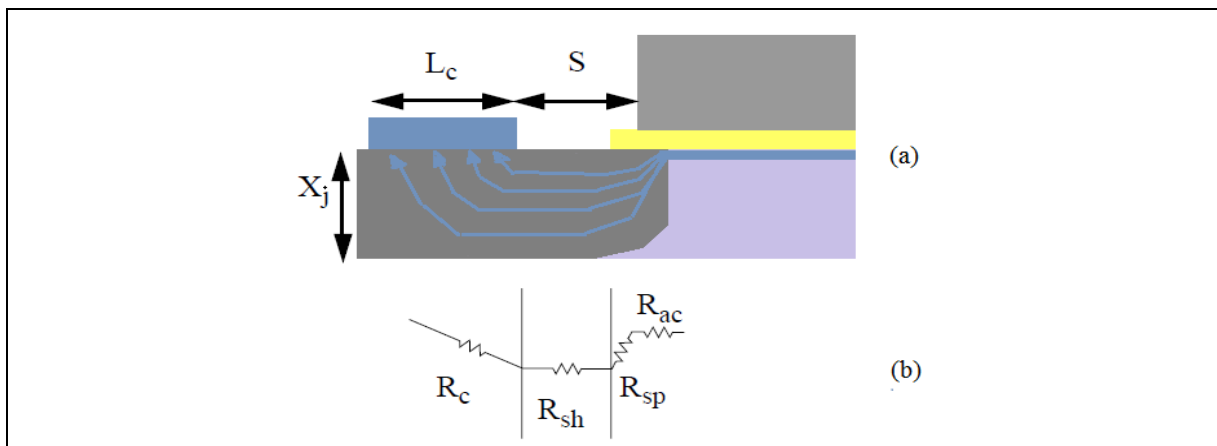


Figure (II.9): Diagramme schématique présentant (a) la courbure des lignes de courant dans la région source/drain et (b) les composantes de la résistance série.

I.3.5 – Effet Tunnel Dans Les Faibles Epaisseurs D'oxyde

Parallèlement à la réduction de la longueur du canal L , l'épaisseur d'oxyde de grille doit être réduite afin de pallier les effets canaux courts et d'améliorer le contrôle du canal de conduction. Pour des épaisseurs inférieures à $2nm$, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor, même si les applications « basse consommation » souffrent de plus en plus de l'augmentation continue de la puissance dissipée[13].

La dépendance exponentielle du courant de grille (I_G) avec l'épaisseur d'oxyde fait de la limitation du courant tunnel de grille l'un des défis majeurs des prochaines années. Parmi les solutions en cours d'étude, l'utilisation d'isolants à permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. L'oxyde d'hafnium HfO_2 avec sa permittivité relative (ϵ_r) de l'ordre de 20, son gap relativement grand de l'ordre de $5,65eV$ et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde.

I.3.6 - La Déplétion de La Grille

L'utilisation du polysilicium de grille provoque la déplétion des porteurs au sein même du polysilicium en inversion. Ce phénomène est connu sous le nom de déplétion du polysilicium de grille. Cette déplétion entraîne la diminution du courant de saturation I_{on} et l'augmentation « effective » de l'épaisseur d'oxyde. Ceci a pour conséquence directe, une diminution du contrôle de la grille sur le potentiel dans le canal. Le phénomène de déplétion de grille peut être éliminé par l'utilisation d'une électrode métallique, elle offre, en outre, la possibilité d'ajuster la tension de seuil des dispositifs. L'ajustement de la tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au cœur des recherches dans ce domaine, se trouvent les matériaux de type *midgap* dont les travaux de sortie sont identiques à celui du silicium. Nous pouvons citer le CoS12 et le TiN comme exemples de matériau de ce type.

I.3.7 - Problèmes liés au Dopage

Une autre difficulté sérieuse dans la mise au point des nanoMOS réside dans la réalisation des différents dopages (canal et caissons) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques. Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à $10^{18} \text{ atomes} / \text{cm}^3$, un canal mesurant $20 \times 20 \times 20 \text{ nm}^3$ ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET et, par voie de conséquence, dans l'élaboration des circuits intégrés.

I.3.8 - Phénomènes quantiques dans le canal

Les nanoMOS se caractérisent par l'apparition de phénomènes de nature quantique jusqu'alors inexistantes ou tout du moins négligeables. Ainsi, outre le passage des électrons par effet tunnel à travers la grille, il existe aussi une quantification des niveaux d'énergie dans le canal de conduction. De par l'augmentation du dopage de canal dans les transistors, le puits de potentiel de confinement dans lequel circulent les porteurs devient de plus en plus étroit, augmentant ainsi l'écart entre les différents niveaux d'énergie. Cet effet modifie notamment la position du maximum de densité des porteurs qui se trouve décalée de l'interface entre l'oxyde et le semi-conducteur. Il en découle une capacité MOS effective plus faible que celle prévue théoriquement et par conséquent une sous-estimation de la tension de seuil V_{th} par surestimation de l'efficacité de la grille.

I.4 - AMELIORATION APPORTEES AUX NOUVELLES STRUCTURES MOSFETS

L'ère moderne du transistor MOS débute en 1958 avec la passivation du silicium et la formation du dioxyde de silicium SiO_2 [10]. L'introduction dans les années 70 du poly silicium pour remplacer la grille en aluminium constitue également une avancée déterminante. Par la suite, seul le siliciure (TiSi_2 , CoSi_2 , puis NiSi) permettant de réduire la résistance de contact avec les zones source et drain est apparu comme nouveau matériau actif du transistor MOS.

I.4.1 - Dopage rétrograde :

Pour contrer ces effets de canal court, différentes stratégies de miniaturisation sont mises en place au niveau des composants. Afin de contrôler les effets de percement volumique. Un fort dopage rétrograde est réalisé dans le substrat sous la grille, Ainsi l'extension des zones de charge d'espace est limitée aux endroits critiques (sous le canal) tout en permettant un réglage de la tension de seuil par un dopage plus faible du canal. Des poches, ou des « halos » fortement dopés sont aussi réalisées autour des caissons source et drain pour lutter contre le percement surfacique.

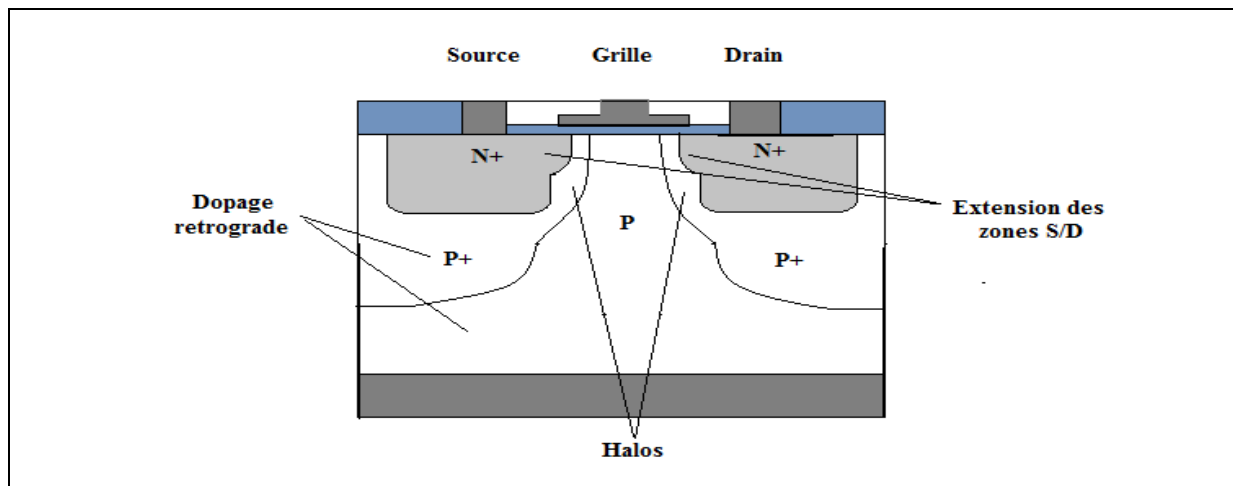


Figure. (II.10) : Structure du transistor MOS bulk avec dopage rétrograde de canal, des halos autour des caissons source et drain et extension de source/drain.

La réalisation de ces profils de dopage complexes (dopage rétrograde, halos et poches) dans des dispositifs de plus en plus petits se révèle technologiquement de plus en plus difficile, notamment si l'on désire une parfaite reproductibilité d'un transistor à l'autre afin d'éviter la dispersion des caractéristiques.

I.4.2 – Métal Pour l'Empilement de Grille

L'utilisation du poly silicium de grille provoque la déplétion des porteurs au sein du poly silicium en régime d'inversion. Ainsi les porteurs dans la grille sont repoussés de l'interface grille-oxyde. Il se crée donc une capacité parasite due à la poly déplétion de la grille qui diminue la capacité totale de la structure MOS et la rapidité des dispositifs. L'intégration d'une grille métallique évite le problème et elle possède un travail de sortie Φ_M proche du milieu du gap de silicium (dit « mid-gap »), il sert d'ajuster le V_T , également la grille métallique présente aussi une meilleure compatibilité avec les diélectriques high-k que le poly-silicium.

I.4.3 - Les Isolants de Permittivité élevée (*high-k*)

Pour des épaisseurs d'oxyde inférieures à 2nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Cet effet, d'origine quantique, modifie les caractéristiques électriques du transistor MOSFET. En particulier, l'apparition d'un courant de grille entraîne

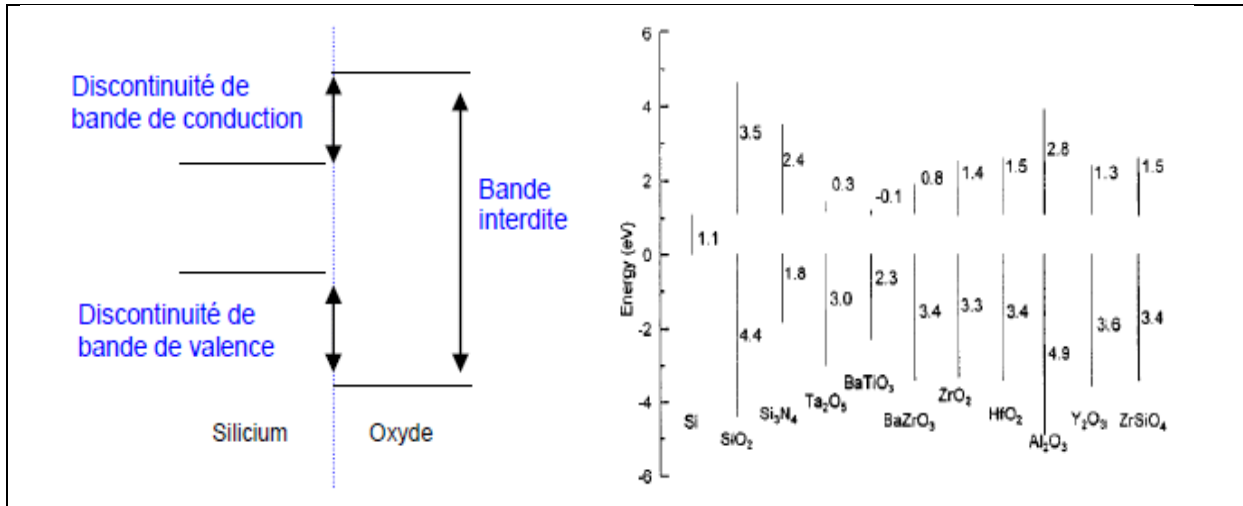
un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde.

Parmi les solutions en cours d'étude, l'utilisation d'isolants de valeur de permittivité élevée à la place de l'oxyde de grille semble la solution la plus prometteuse. Il est alors possible d'obtenir d'un point de vue « contrôle électrostatique » une épaisseur équivalente ou plus faible que celle de l'oxyde SiO₂ alors que l'épaisseur physique $T_{\text{high-k}}$ de ce matériau « high-k » est plus grande que le SiO₂, Il est ainsi défini une épaisseur physique d'oxyde équivalente EOT tel que :

$$EOT = (T_{\text{high-K}} \cdot \zeta_{OX})/k \quad \dots \dots \dots \text{eq (II.8)}$$

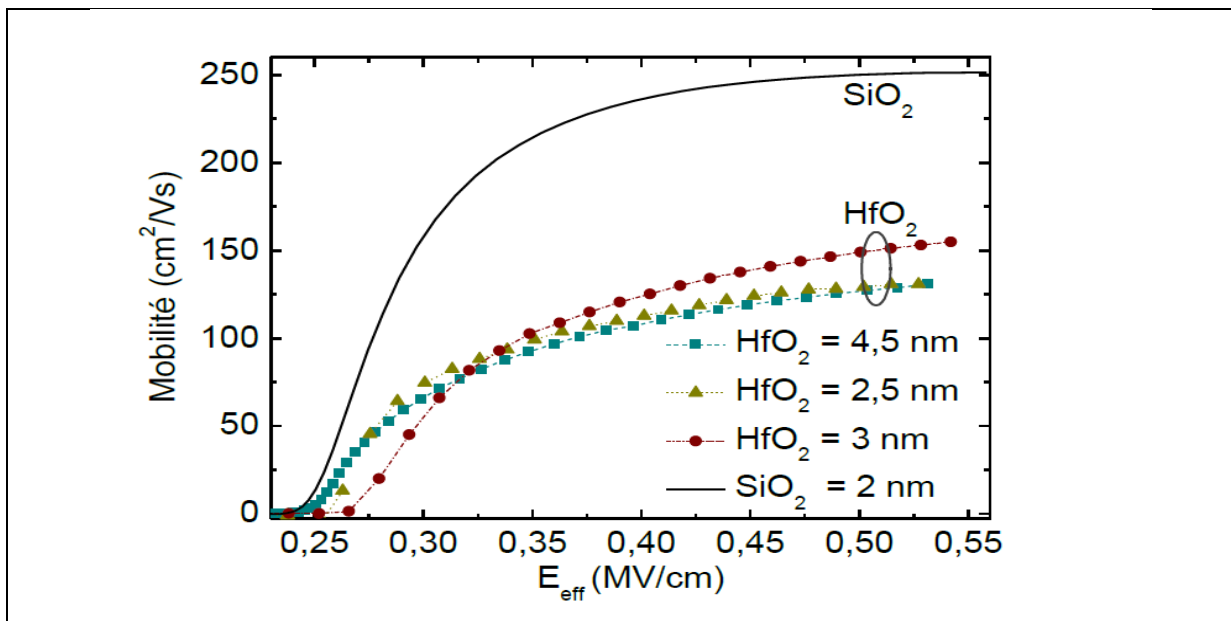
De nombreux matériaux ont été proposés pour remplacer le SiO₂ dans les Transistors MOSFETs. Les principaux sont : TiO₂, Y₂O₃, Ta₂O₅, Al₂O₃, La₂O₃, ZrO₂, et le HfO₂. Ces matériaux ont des valeurs de permittivité différentes. Leurs gaps sont généralement moins importants que celui du SiO₂, ce qui se traduit par des hauteurs de barrière plus faibles pour les trous et les électrons. Ces différents diélectriques présentent tous des problèmes technologiques particuliers qui rendent difficile leur intégration dans un processus. Par exemple, le Ta₂O₅, et le TiO₂ semblent intéressants mais présentent l'inconvénient de réagir avec le silicium. Ainsi, pour contourner ce fait, il faudrait une couche tampon de permittivité inférieure entre le diélectrique et le substrat. Ceci malheureusement diminue fortement la capacité C_{OX} associée à l'empilement des deux couches, et rend aussi le processus plus compliqué.

Le matériau High-K doit aussi présenter des discontinuités de bandes de conduction ou de valences suivant la nature des porteurs n ou p. la figure suivante montre les discontinuités de bandes pour différents matériaux.



Figure(II.11) : schéma représentatif de diagramme de bande de diverses jonctions théoriques Oxyde/silicium [20].

L'oxyde d'hafnium HfO_2 avec sa permittivité relative (ϵ_r) ϵ de l'ordre de 20, son gap relativement grand de l'ordre de 5,65eV, et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde, ceci est illustré sur la figure suivante.



Figure(II.12) : dégradation de la mobilité dans les dispositifs utilisant le dioxyde d'Hafnium HfO_2 par rapport au SiO_2 [24]

I.4.4 - La Technologie SOI :

C'est une abréviation de l'anglais « Silicon-On-Insulator » SOI qui veut dire silicium sur isolant, c'est une nouvelle technologie qui utilise un type de substrat contenant une couche d'oxyde. C'est une alternative prometteuse au silicium dans la réalisation de transistor micro-ondes. En effet, malgré son coût

de développement élevé par rapport aux technologies sur substrat massif classiques, le gain en performance est évalué entre 20 et 35. Les fréquences de coupure sont supérieures à 150 GHz pour la technologie 0,13 μ m. Avec l'utilisation de substrats fortement résistif, les pertes sont diminuées et les performances accrues notamment au niveau du bruit micro-onde.

La technologie SOI compte plusieurs procédés industriels qui ont été développés pour réaliser un film de silicium sur une couche isolante. Le plus ancien est le SOS ou Silicon-On-Sapphire. Depuis les années 1980, d'autres techniques ont été mises au point et sont devenues des standards industriels. Les deux principaux procédés sont le SIMOX et le BSOI dont une technique dérivée est le Smart-Cut.

I.4.4.1 – SOI Entièrement et Partiellement Déplété :

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium-oxyde, la structure SOI a fait naître le concept d'inversion volumique. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré ; nous parlons alors de transistor partiellement déplété (ou PDSOI, "Partially Depleted SOI"). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "Fully Depleted SOI").

I.4.4.2 Différences entre Si massif (Bulk) et SOI :

La montée en puissance actuelle de la technologie SOI est liée à ses nombreux atouts qui en font un des ténors des futurs dispositifs micro-ondes. La principale différence structurelle entre une technologie CMOS sur silicium massif et une technologie CMOS SOI est la présence d'une couche isolante dans le substrat.

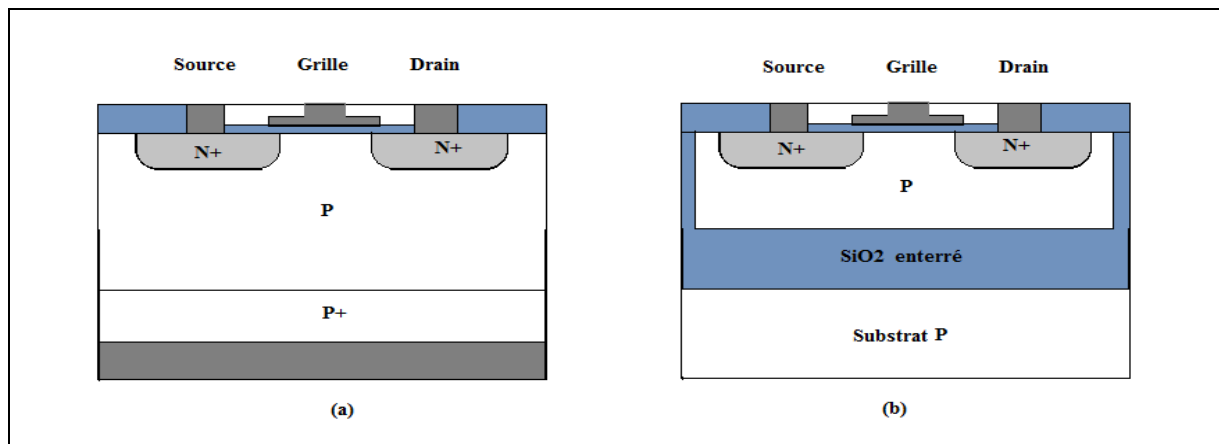


Figure (II.13) : Représentation de diverses structures de MOSFET : a) sur silicium massif et b) sur Silicium-Sur-Isolant (SOI).

Cet isolant enterré apporte de nombreuses améliorations. En effet, le dispositif se retrouve isolé électriquement par rapport au reste du substrat sans recourir aux caissons d'isolation. Ainsi, la surface occupée par les MOSFET SOI est plus faible, il s'en suit une plus grande intégration de ces composants. De plus, les effets capacitifs liés à la déplétion des jonctions source/substrat et drain/substrat sont réduits. Par conséquent, les dispositifs SOI sont plus rapides que les MOSFET sur silicium massif ou, pour la même vitesse, ils consomment moins de puissance. Ces jonctions, moins profondes que dans le cas du MOSFET sur silicium massif, entraînent des effets de canal court plus faibles.

La réduction de l'épaisseur de silicium favorise également le contrôle des effets de canal court. Finalement, en technologie SOI, la tension de seuil sera moins affectée par la diminution de la longueur du canal. Le courant de fuite n'augmentera que légèrement. L'isolation électrique élimine les courants de fuite par le substrat offrant la possibilité de réaliser des mémoires actives avec un plus grand temps de rétention. Un dernier avantage de cette liste non exhaustive concerne la forte immunité aux radiations extérieures. Dans le cas du SOI, l'effet engendré par une dose de radiation est la génération de paires électron/trous dans et sous l'oxyde, et la formation d'états d'interface. La charge dans l'oxyde est alors modifiée ce qui entraîne un décalage de la tension de seuil (entre 10 et 20 mV pour une technologie 0,35 μm) et une légère augmentation du courant de fuite comparativement aux technologies CMOS sur silicium massif.

II – LES STRUCTURES MOSFETS VERTICALES

II.1 – Introduction

L'évolution des processus de fabrication des Transistors MOSFETs se basaient principalement sur les techniques de déposition des matériaux, afin de réduire les dimensions du canal et l'épaisseur de l'isolant qui représentent la zone active du composant. L'apparition du procédé de l'implantation ionique permis de concevoir dans des échelles submicroniques, et a donner une nouvelle structure pour les transistors MOSFETs dont la source, le substrat et drain sont superposés verticalement.

II.2 – Les Transistors Mosfets Verticales

Cette structure MOSFET est appelée verticale, elle est caractérisée par le déplacement Vertical des porteurs de charges à travers la zone de déplétion entre la source et le drain, Ces derniers sont réalisés de manière qu'ils soient superposés, décalés et séparés par une couche de semi-conducteur de type différent qui sert à un substrat afin d'obtenir un canal vertical de longueur partielle de l'épaisseur du substrat.

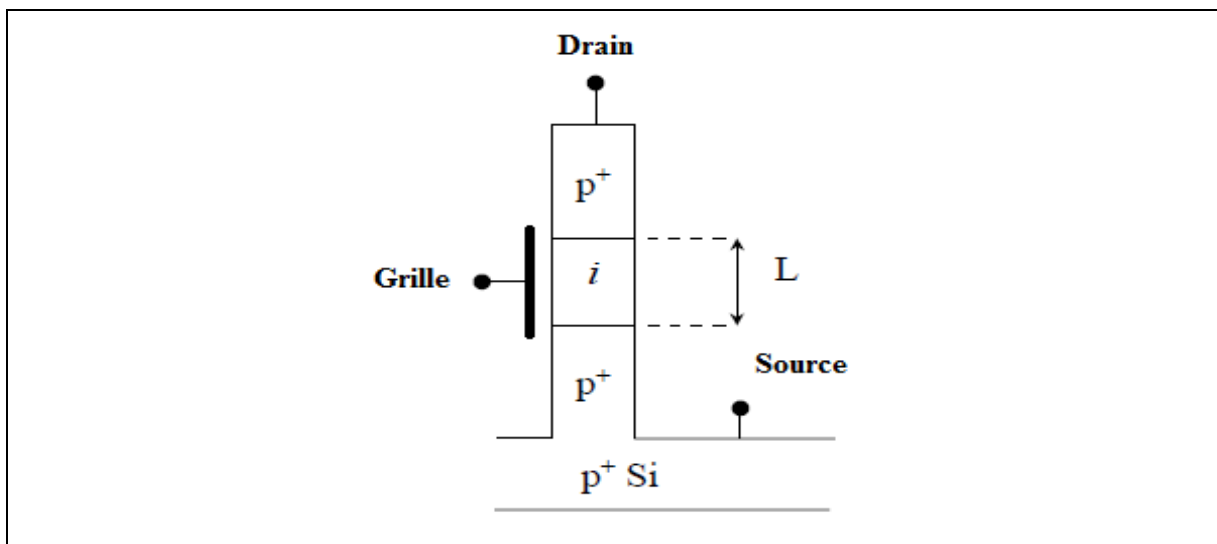


Figure (II.14) : schématique d'un MOSFET Vertical

II.2. - Les Structures MOSFET Verticales Courantes

Dans la première partie de ce chapitre nous avons évoqué l'aspect de la miniaturisation des composants MOSFET, nous avons montré que cet aspect a concerné de manière générale les matériaux et les dimensions des

parties de la zone active des transistors ; la grille, l'oxyde et le canal. L'amélioration des performances de cette zone passe, entre autres, par le renforcement du couplage électrostatique de la grille sur le flux de porteurs dans le canal de conduction. Les solutions proposées consistent donc à augmenter le nombre de grille de contrôle autour du canal pour diminuer les effets électrostatiques parasites

II.2.1 - Transistors MOSFET Verticales MULTI-GRILLE

Les recherches se sont alors orientées, depuis la fin des années 1980, après la technologie SOI vers l'étude des et des architectures multi-grilles sur ce même substrat : Double-Grille verticale), Triple-Grille (FinFET), dispositifs à grille enrobante (GAA (pour Gate-All-Around) et nanofils (cylindriques ou rectangulaires) pour ne citer que les plus Importantes[15].

II.2.1.1 - Transistors MOSFET DOUBLE-GRILLE (ou DG-MOSFET)

Le transistor DG-MOSFET fait également partie des solutions prometteuses pour le remplacement des dispositifs MOSFET-Bulk , il est aussi réalisable en structure verticale et d'une manière générale cette architecture est un composant à quatre terminaux : la source le drain la grille gauche et grille droite. Dans la plus part des cas les deux grilles sont connectées à la même polarisation (tension de grille V_G) , c'est le DG-MOSFET conventionnel. Les deux grilles peuvent être polarisées indépendamment (deux tensions de polarisation) le composant est appelé IDG-MOSFET et il présente plusieurs avantages.

La description physique des transistors en architecture Double-Grille n'est pas fondamentalement différente de celle des dispositifs bulk et les mêmes mécanismes sont mis en jeu pour décrire le fonctionnement de ces composants. Cependant, l'apport d'une seconde grille dans le transistor DG conventionnel, qui renforce le couplage électrostatique sur le canal de conduction et entraîne donc une nette réduction des effets de canaux courts SCE et DIBL, améliore les performances sur bon nombre d'éléments. D'un point de vue classique [film de silicium relativement épais ($T_{Si} > 15$ nm)], la polarisation simultanée des grilles crée deux canaux de conduction aux interfaces oxyde/film avant et arrière : le courant de drain est donc théoriquement doublé par rapport à une architecture simple-grille.

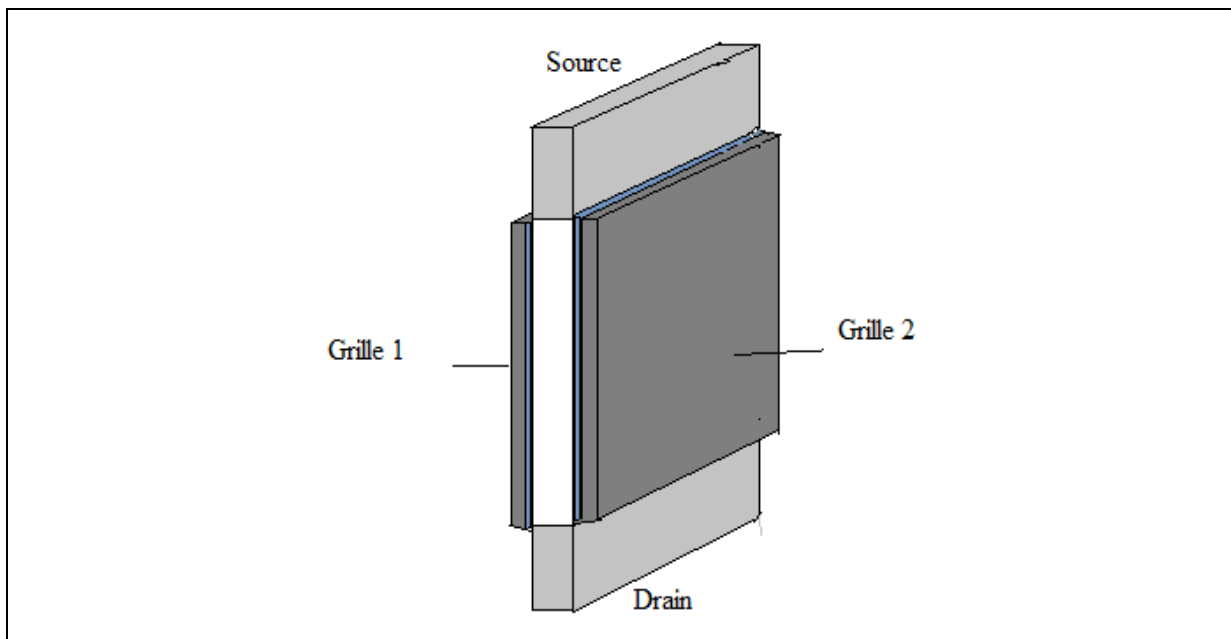


Figure (II.15) Structure DG-MOSFET Verticale

Quand l'épaisseur du film est réduite ($T_{Si} < 10$ nm), l'effet de confinement quantique peut apporter des avantages supplémentaires car la conduction des porteurs se fait principalement dans le volume du film semi-conducteur [15]. Le maximum de la densité de porteurs se situe alors au milieu du film et non plus aux interfaces. La mobilité des porteurs positifs en est améliorée puisqu'ils subissent moins de collision avec la rugosité de surface. De plus, la configuration à grilles connectées à la même polarisation (transistor DG conventionnel) permet d'annuler le champ électrique transverse dans le canal (distribution symétrique du potentiel dans la direction y) et le phénomène de collision des porteurs avec les phonons acoustiques (fortement dépendant du champ électrique) s'en trouve réduit. L'effet de confinement quantique n'est cependant pas positif à tous les niveaux car, d'une part la charge d'inversion est réduite ce qui provoque une dégradation des paramètres sous le seuil (tension de seuil et pente sous le seuil), et d'autre part, sa modélisation s'avère compliquée pour décrire de façon simple mais précise le fonctionnement général des transistors Double-Grille.

Finalement, au vu de l'excellent contrôle des effets électrostatiques, cette architecture peut être envisagée avec un canal de conduction très peu dopé voire intrinsèque afin de réduire les problèmes liés à la fluctuation de dopants, et d'améliorer considérablement les conditions de transport dans le canal de conduction (diminution voire suppression des collisions avec les dopants). En

effet, à plus long terme, cela permettrait également de favoriser la probabilité de transport balistique quand la longueur de grille est faible (typiquement $LG < 20-30$ nm) et donc d'augmenter fortement le courant I_{ON} dans les transistors en architecture Double-Grille.

Le fait de déconnecter électriquement les deux grilles apporte un degré de liberté supplémentaire à l'architecture Double-Grille. En effet, selon les polarisations des grilles gauche (V_{Gg}) et droite (V_{Gd}), plusieurs cas de fonctionnement peuvent être différenciés dans le transistor IDG [15]. Si les deux grilles sont polarisées à la même tension, le dispositif IDG se comporte bien évidemment comme le transistor DG classique. Il est ensuite possible au gré des variations de tensions sur les grilles de faire apparaître, simultanément ou non, un ou deux canaux de conduction. Dans la majorité des cas, une grille reste la grille de commande et l'autre permet de moduler le courant. Comme le montre la figure suivante.

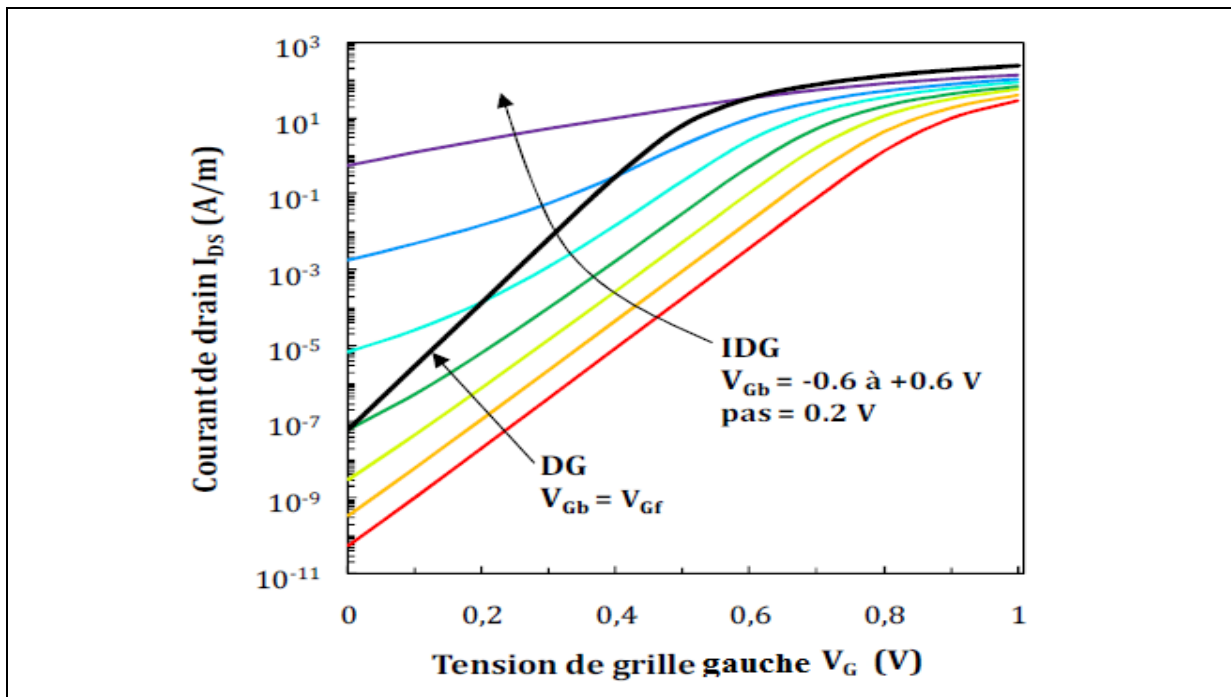


Figure (II.16) : caractéristique I_D - V_G pour les deux cas DG et IDG MOSFET

II.2.1.2 - Transistors MOSFET TRIPLE-GRILLE (ou Fin FET)

Le MOSFET à triple-grilles est implémenté à l'aide d'une ailette de silicium où les trois faces disponibles sont contrôlées par trois grilles [15]. La Figure (II-17) présente schématiquement la structure. La performance de cette architecture peut être encore améliorée en créant une extension de l'électrode de grille jusqu'à une certaine profondeur dans l'oxyde enterré. D'un point de vue

électrostatique. Il a été démontré que ces architectures couplées avec l'utilisation de technologies innovantes comme le silicium contraint, l'empilement grille en métal et / ou diélectrique high-k peuvent encore améliorer la performance du dispositif.

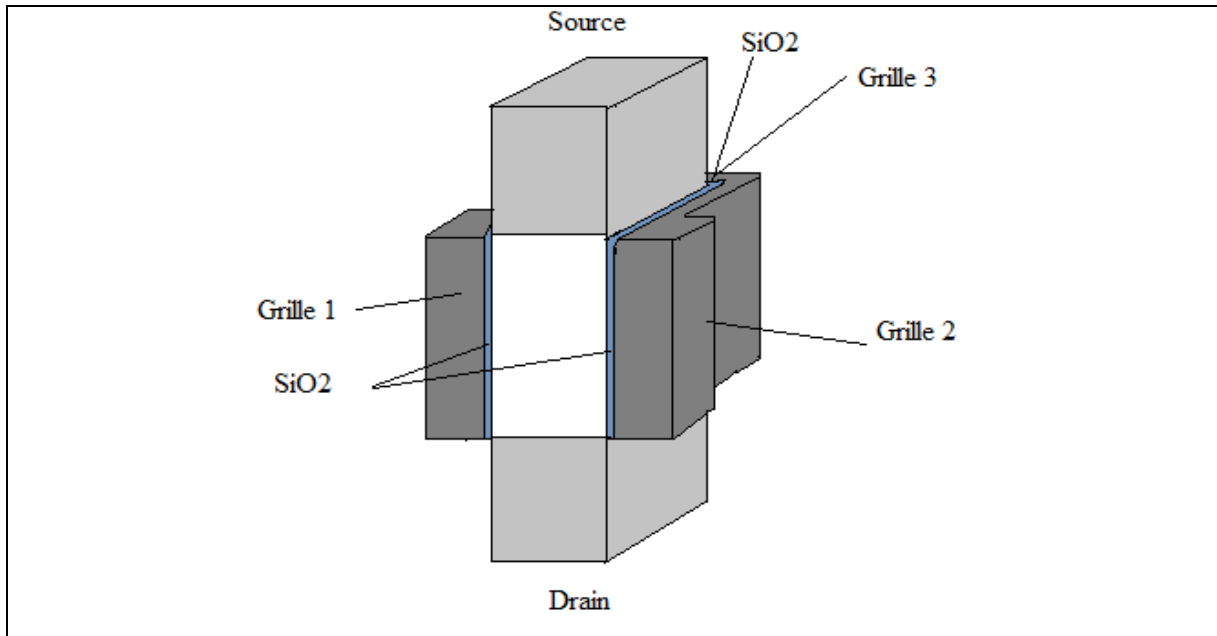


Figure (II.17) Transistor MOSFET Triple grille (ou FinFET)

II.2.1.3 - Transistors MOSFET GRILLE Entourante (ou Gate All Around)

Enfin, le transistor MOSFET avec une structure de grille entourant, Fig. (II.18), est obtenue à partir d'une technologie SON [15], la grille entourant entièrement le canal pour un meilleur contrôle électrostatique.

Dans cette structure, il existe une possibilité intéressante pour donner à la grille une forme entourant ou cylindrique, dans laquelle la section transversale de la chaîne de silicium a une forme cylindrique et l'électrode de grille complètement entoure la région de canal du dispositif. Le courant circule verticalement le long de la Si/SiO₂ cylindrique interface et la longueur de grille du transistor est définie par la hauteur du matériau de grille, qui, à son tour, peut être commandé soit par un dépôt de film ou par une gravure anisotrope à sec. Actuellement, la structure en grille entourante est utilisée principalement pour l'intégration de transistors à base de nanofils pour adresser de la longueur de grille ultra-courte.

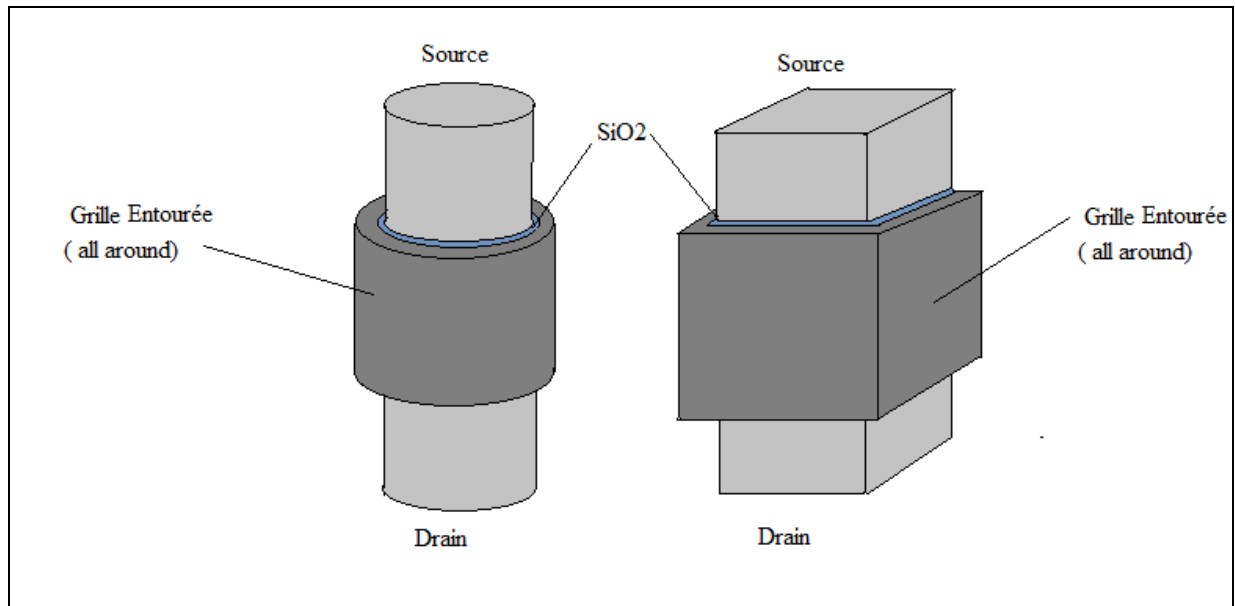


Figure (II.18) Transistor MOSFET All Around

Les procédés de fabrication des architectures Double, triple -Grille et grille entourante (SGT) sont plus complexes que ceux des dispositifs bulk (car moins matures) et apportent des inconvénients à l'utilisation de telles structures. Outre les problèmes liés au substrat SOI (forte augmentation des résistances d'accès des zones de source et drain et difficulté à contrôler l'épaisseur du film semiconducteur), la réalisation de grille parfaitement alignées est très difficile. Malgré ces problèmes d'ordre technologique, les performances des architectures Double-Grille et FinFET SGT ainsi que leur capacité de miniaturisation restent meilleures par rapport aux dispositifs bulk et FDSOI.

Notre travail consiste à concevoir et à simuler les performances d'un MOSFET à conduction verticale à simple grille que nous représenterons dans ce qui suit.

II.2.2 - Transistors MOSFET Verticales SIMPLE-GRILLE

Pour débiter nous présentons des différentes structures MOSFET verticales.

II.2.2.1 - La structure Verticale D-MOSFET :

Les difficultés technologiques évoquées pour le transistor VMOSFETs sont réduites pour les transistors DMOSFETs dont le schéma de coupe est représenté sur la figure (II.19). Ces derniers font appel à une technologie plus simple à haut rendement. Le procédé d'auto-alignement des diffusions sur une grille en polysilicium est relativement simple à mettre en œuvre dans les transistors

DMOS. Ce point évidemment essentiel explique le développement industriel considérable de ces composants.

La densité d'intégration (rapport périmètre/surface) qu'il est possible d'obtenir avec des transistors DMOS multicellulaires est plus grande que celle des transistors VMOS.

Les structures DMOS sont fabriquées à partir de ces processus de double diffusion MOS. Le drain est situé sur la face arrière de la puce - comme le cas du transistor VMOS. Ces structures verticales présentent une grande capacité parasite entre l'électrode de grille et l'électrode de drain due au positionnement du drain sous une partie de l'électrode de grille. Cette capacité accentue l'effet de contre-réaction de la sortie sur l'entrée du dispositif (effet Miller) qui limite les performances du composant en termes de gain et de rendement et induit des pertes ohmiques importantes.

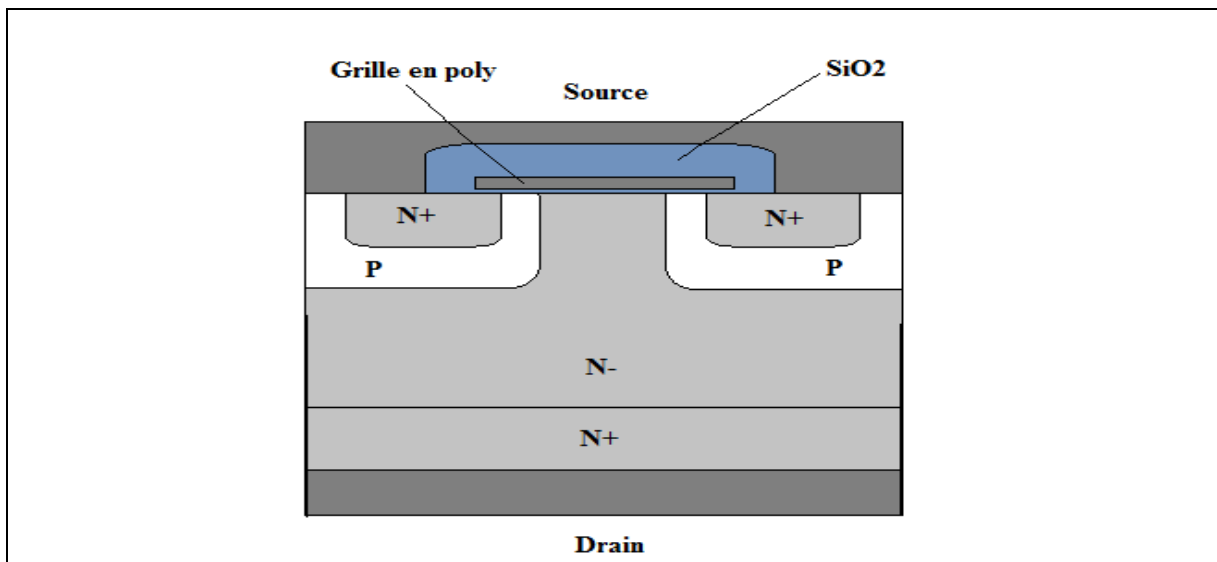


Figure (II.21): Coupe schématique d'un transistor DMOSFET à grille en poly silicium

Plusieurs solutions technologiques pour minimiser l'effet de cette capacité ont été proposées :

Une solution de réduction de la capacité de Miller a été proposée. Elle consiste à réaliser des transistors à grille partielle en éliminant une partie de grille située au-dessus de la couche épitaxie N- (Figure II.22). Cette technique a pour conséquence de diminuer la capacité grille-drain C_{gd} . L'étude de ces structures à grille partielle a montré qu'une réduction de grille d'un facteur $\frac{1}{4}$, $\frac{1}{2}$ et $\frac{3}{4}$ correspond respectivement à une augmentation du gain de 1.25, 3 et 6 dB.

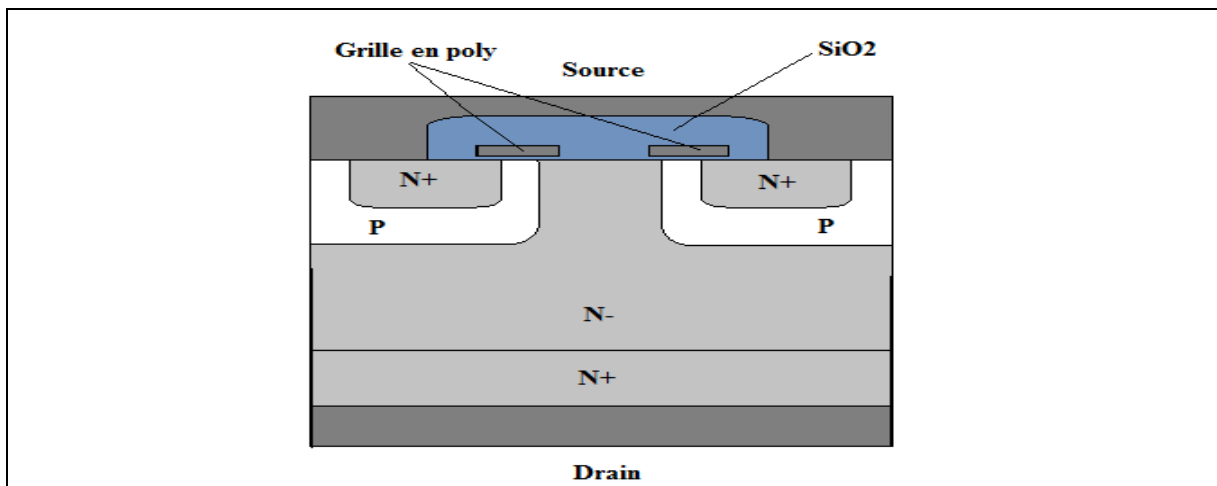


Figure (II.22) : Coupe schématique du transistor DMOSFET à grille partielle

II.2.2.2 - Transistor VMOSFET à Superjonctions

Le concept de la superjonction a été introduit en 1981 par D.J. Coe [9] et a été repris récemment. L'idée est de remplacer la zone uniforme et faiblement dopée (zone de drift) soutenant la majeure partie de la tension appliquée, par une région alternant des puits N et P perpendiculaires aux régions de source et de drain Figure (II.23).

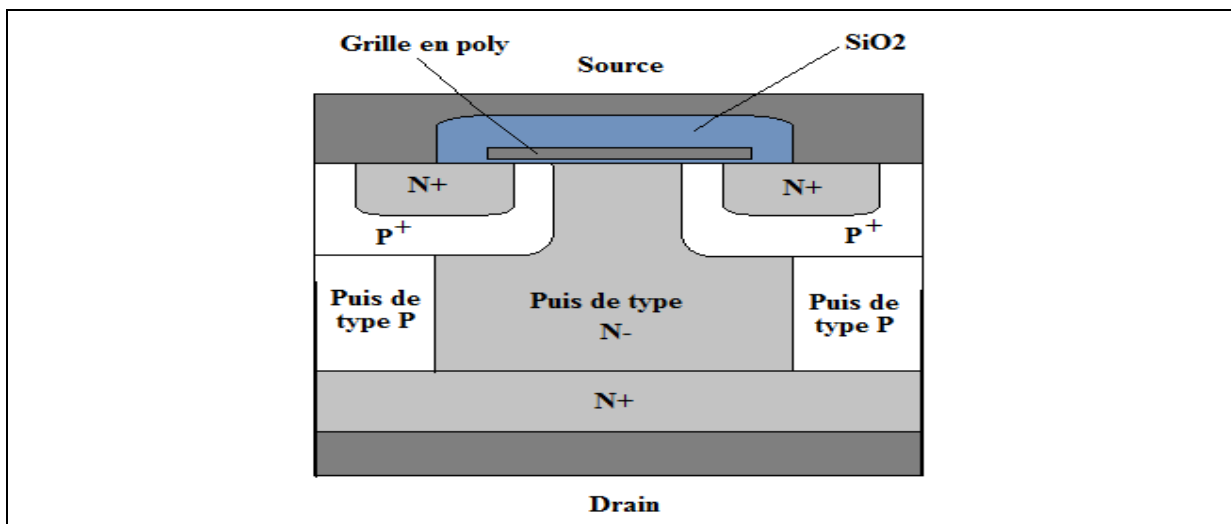


Figure (II.23) : Coupe schématique du transistor à superjonctions

Pour que ce principe fonctionne, il faut que ces puits N et P soient réalisés sur un pas relativement serré dépendant de leur dopage. Lorsqu'une polarisation inverse est appliquée, les diodes verticales PN se dépeuplent latéralement dans la région de drift, la diode se comporte alors comme une diode PIN avec une région centrale très peu dopée. L'avantage d'une telle structure réside dans le fait que la tenue en tension devient indépendante du dopage des puits verticaux, qui peuvent alors être assez fortement dopés (dopage supérieur à celui de la zone

de drift des transistors MOS conventionnels) et ainsi améliorer la résistance à l'état passant. La tenue en tension dépend essentiellement de la hauteur des puits.

La technologie de la Superjonction est en fait basée sur le principe de la compensation de charges, qui est un dérivé de l'idée du RESURF latéral.

L'excès de charges dans la colonne N est compensé par des charges adjacentes dans la colonne P, contribuant ainsi au champ électrique horizontal sans affecter le champ électrique vertical.

L'avantage majeur des composants à base de superjonctions, est leur capacité à augmenter autant les performances en régime de fonctionnement bloqué que celles en fonctionnement direct. La limite des transistors conventionnels définie par les concepts classiques des transistors unipolaires est ainsi dépassée.

Actuellement les composants utilisant les superjonctions ont été fabriqués et testés dans la gamme de tensions de 100V à 1000V). Des résultats très récents montrent l'application du concept des superjonctions à la fabrication d'IGBT très haute tension, autour de 6kV.

II.2.2.3 - Transistor VMOSFET à semi-Superjonctions

Dans le but d'obtenir une résistance à l'état passant la plus faible possible, Toshiba a proposé en 2003 une nouvelle structure basée sur le principe des structures à Superjonction [20]. Une coupe schématique d'un transistor à Semi-Superjonction est présentée sur la figure (II.24) : cette structure est formée d'une alternance de colonnes P et de colonnes N, les régions P n'étant pas ici connectées au substrat N+.

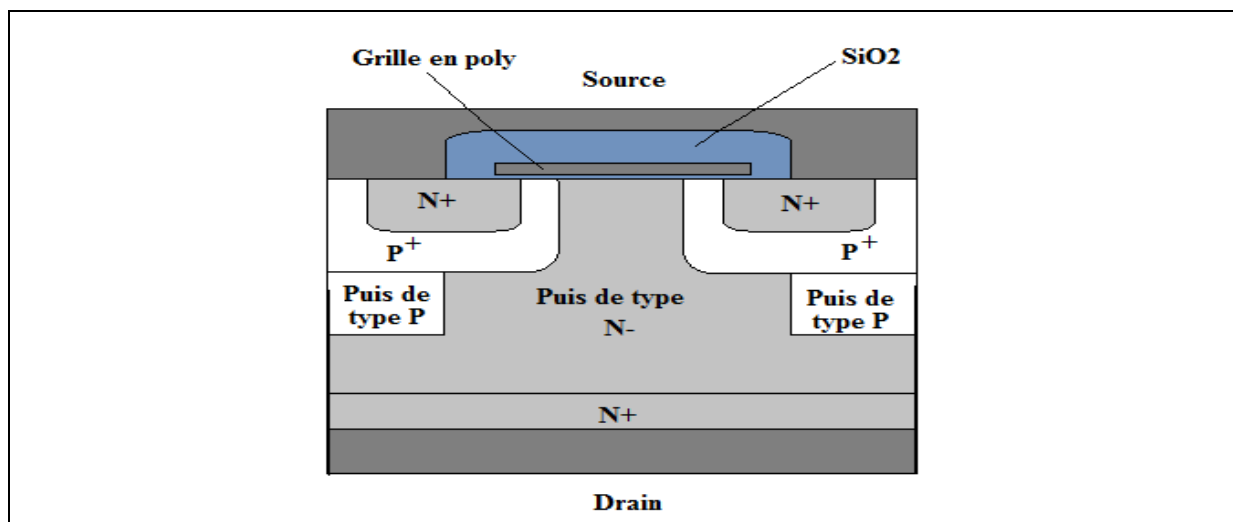


Figure (II.24) : Coupe schématique du transistor à semi-superjonctions

Les composants à Superjonction et à semi-superjonctions présentent un meilleur compromis pour les très hautes tensions ($BV_{dss} > 1000 \text{ Volts}$). Ceci était prévisible puisque la résistance passante spécifique limite de ces composants est proportionnelle à BV_{dss} .

II.2.2.4 - La structure MOSFET verticale à FLIMOS

La différence principale entre un transistor MOSFET à superjonctions et la cellule d'un transistor FLIMOS (FLoating Island MOS Transistor) réside dans l'utilisation d'un (ou plusieurs) puit(s) P+ flottant(s) dans la zone épitaxiée N-. Celui-ci est implanté sous la diffusion du P dans la région de drift. Avec cette nouvelle configuration géométrique, la diode constituée par la diffusion P de canal et par la couche épitaxiée faiblement dopée N- qui soutient classiquement la tension appliquée, est remplacée par des zones alternativement dopées N- et P+. A l'état bloqué, les régions P+ agissent comme des diviseurs de champ électrique (et donc de potentiel). Il est ainsi possible d'augmenter sensiblement le dopage des couches N-.

La figure en dessous présente la coupe schématique de deux cellules élémentaires d'un composant FLIMOS de puissance comprenant : (a) un îlot, (b) plusieurs îlots flottants P.

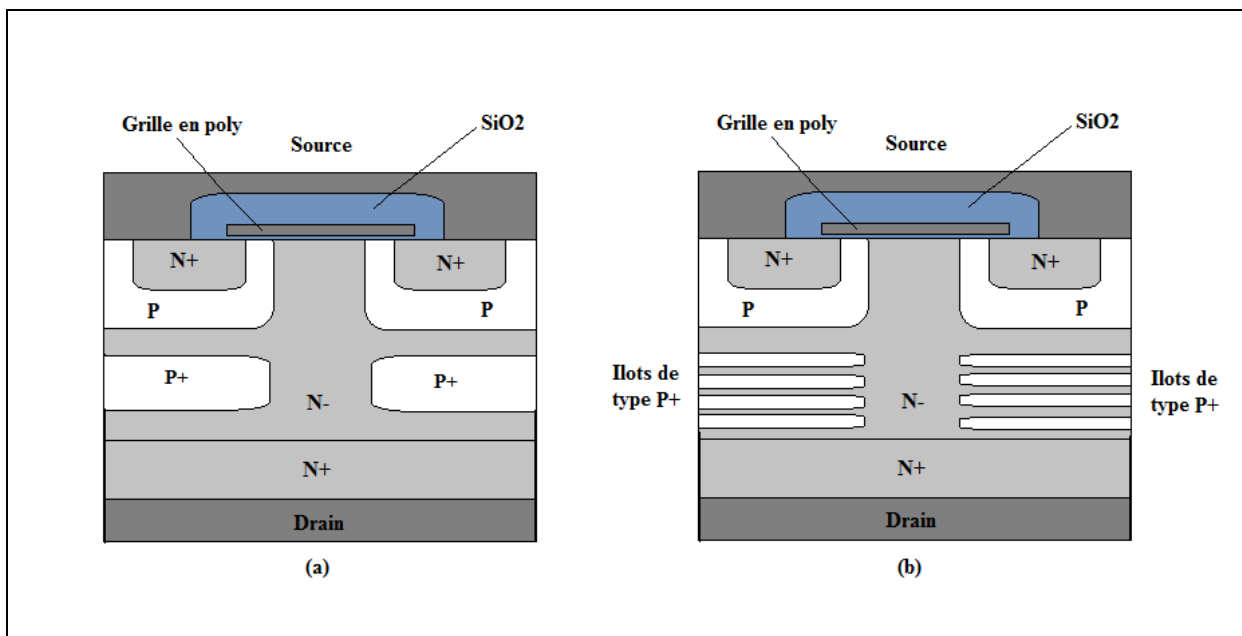


Figure (II.25) : Coupe schématique du transistor Vertical FLIMOS

Pour les basses tensions ($BV_{dss} < 100 \text{ Volts}$), les composants à îlots flottants semblent plus intéressants : en effet, pour qu'ils puissent rivaliser, les composants à Superjonction devraient alors utiliser des bandes verticales N et P très fines, ce qui n'est pas technologiquement réalisable à ce jour. Quoiqu'il en soit, si on compare les transistors FLIMOS avec les composants MOS (limite conventionnelle du silicium), leur résistance spécifique est en effet inférieure, quel que soit le nombre d'îlots, à la limite conventionnelle du silicium des composants unipolaires à zone de drift uniforme.

II.2.2.5 - La structure verticale V-MOSFET

Ces transistors étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. Elle consiste à attaquer chimiquement, suivant les plans $\langle 111 \rangle$, une couche N- épitaxiée sur un substrat N+. La zone active est formée le long d'un sillon qui fait un angle de 45° avec la surface.

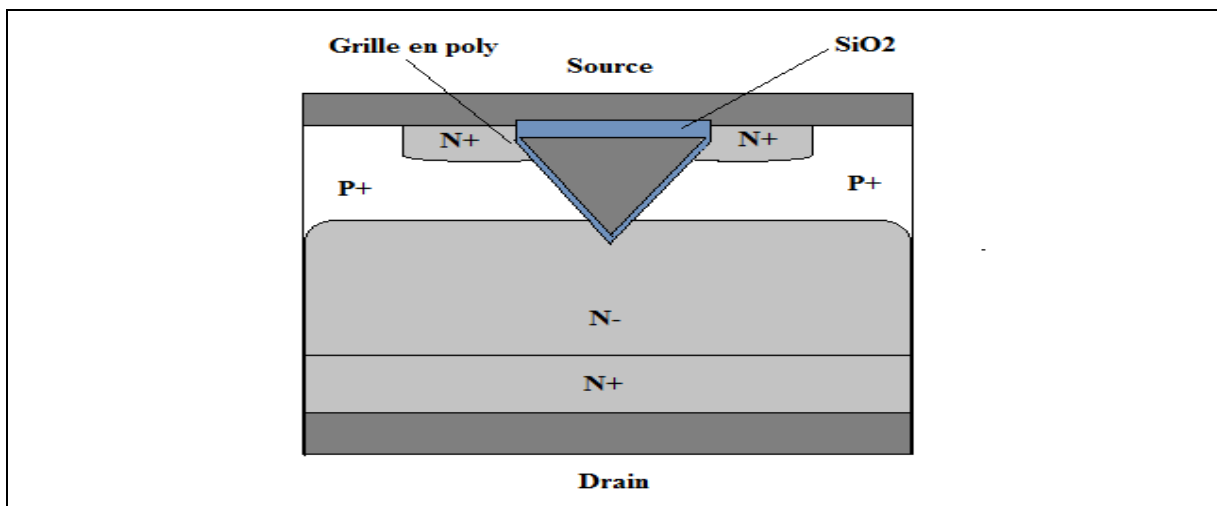


Figure (II.26) : Structure Verticale V-MOSFET.

- l'embase métallique sur laquelle est posée la pastille de silicium constitue le contact de drain D.

- La zone en contact avec l'embase est une zone du type N^+ appelée substrat. La partie N^- faiblement dopée sert à assurer la tenue en tension à l'état bloqué. La partie N^+ évite que l'épaisseur totale ne soit excessive.

- A la surface du substrat ont été diffusés des îlots de type P et dans ces îlots ont été diffusés des îlots de type N^+ .

- Une première couche d'oxyde isole la métallisation de grille G de la surface de la pastille entre les îlots N^+ et le substrat.

- Une deuxième couche d'oxyde isole la métallisation de grille de la métallisation de source S qui relie entre elles les diverses cellules élémentaires dans la puce.

Par rapport au transistor MOS plan « classique », le progrès essentiel consiste en l'utilisation du volume du semi-conducteur pour former l'électrode de drain (plan inférieur du substrat). Cette disposition permet une plus grande densité d'intégration puisque seulement deux électrodes -les électrodes de grille et de source- sont localisées sur la face supérieure de la puce.

II.2.2.6 - La structure II-MOSFET

C'est une autre structure pour les transistors MOSFET de puissance, Appelée II-MOSFET, Vue la forme que portent les parties de la zone active de la structure. Elle est réalisée de manière que la grille est conçues en extérieur, et y compris le Bulk elle couvre ainsi la source. Moins de difficultés technologiques ayant été rencontrées pour ce composant.

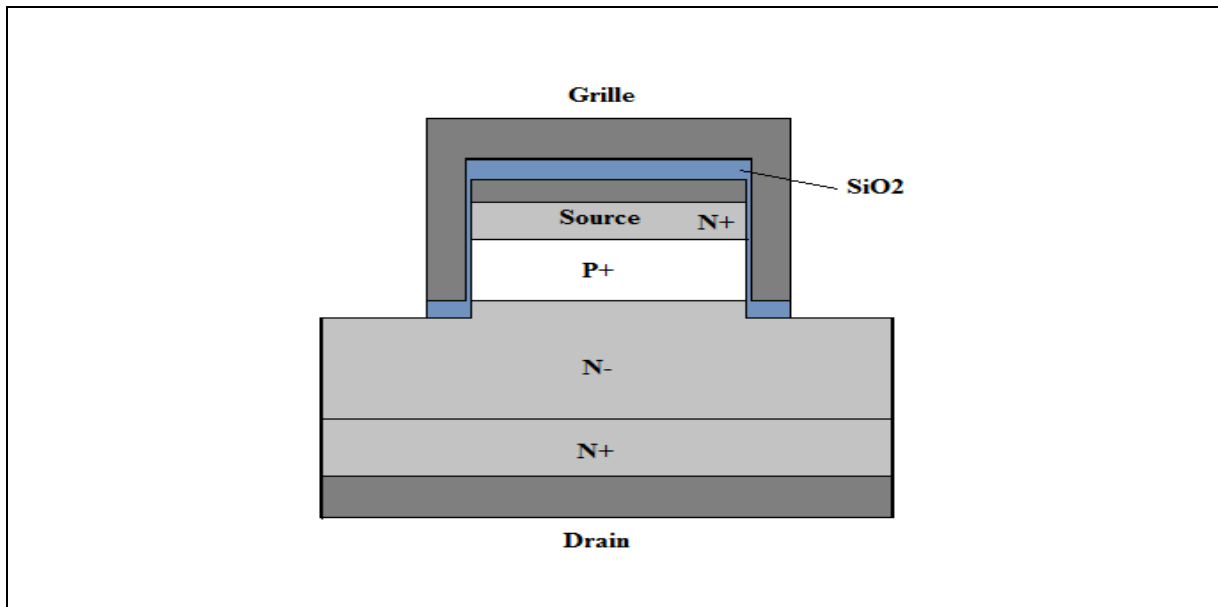


Figure (II.27) : structure Verticale II-MOSFET.

Cette structure peut être réalisé par attaque anisotropique. Lors son fonctionnement, les canaux doivent se former sur les parois intérieures de la forme II.

II.2.2.7 - La structure U-MOSFET

Une autre structure de transistor représenté sur la figure qui suis sa réalisation repose sur le même principe de l'attaque anisotrope et de la mise en parallèle des canaux verticaux à l'aide d'un drain commun. Le procédé utilisé pour connecter les source par métallisation latérale permet d'éliminer les doit de la métallisation de la grille et de la source. Cette disposition non interdité résout les difficultés posées dans la structure précédente par l'alignement des divers masques. Ceci doit permettre

d'augmenter le rendement technologique. Ces Transistor U-MOSFET peuvent délivrer des courants très élevés, mais ont aussi l'inconvénient par rapport des autre U-MOSFET de présenter des valeurs élevées d'une part de résistance d'accès à la source et au substrat et d'autre part des capacité intrinsèque et parasites, les temps de commutation sont nettement supérieur à ceux de la structure VMOS interdigité.

II.2.2.8 - La structure Verticale MOSFET a Simple Grille

Cette structure est l'une des plus simples structures MOSFETs verticales. Elle ressemble a la structure Π -MOSFET. Néanmoins elle possède une seule grille de côté.

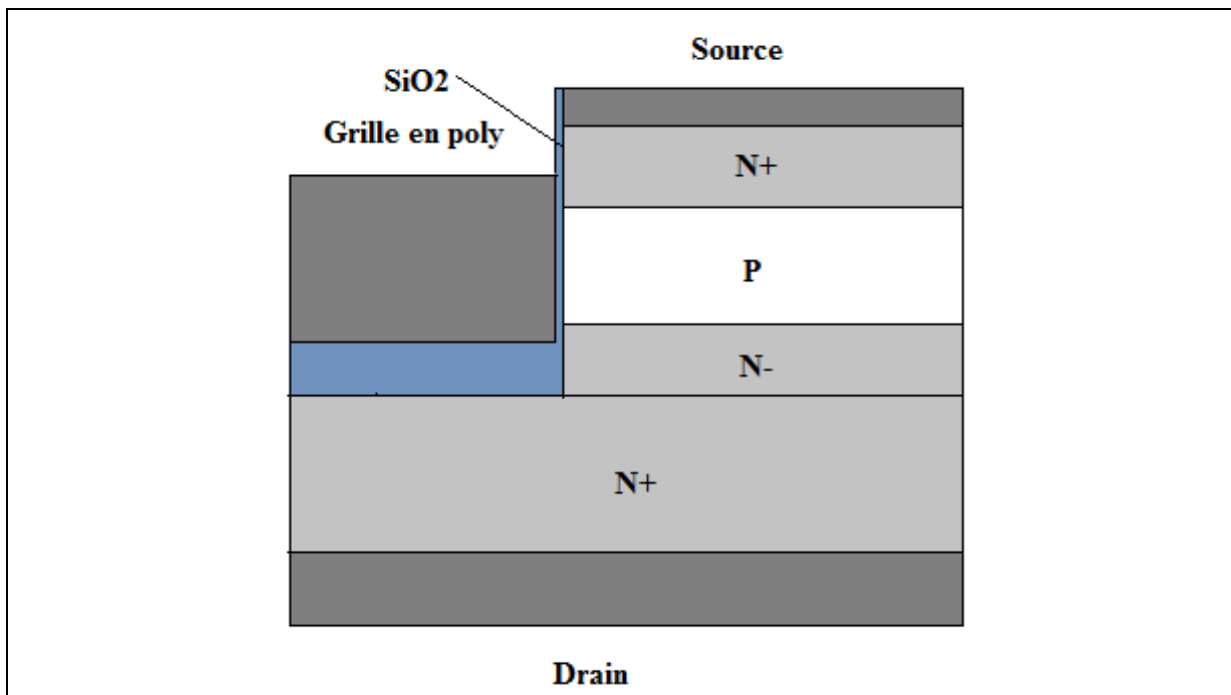


Figure (II.28) : structure Verticale MOSFET a simple grille.

Cette structure présente plusieurs avantages technologiques et électriques qui ont fait de ce composant un exemple et l'objet d'une étude théorique d'une structure MOSFET VERTICALE.

III – ETUDE D'UNE STRUCTURE VERTICALE MOSFET A SIMPLE GRILLE.

III.1 - Structure de Base du Transistor MOSFET Vertical à simple grille

L'amélioration de la densité d'intégration passe par le biais d'une réduction de la largeur de la source et de la longueur de canal, c'est-à-dire une plus grande valeur du rapport Z/S (périmètre du canal/surface de la puce).

Les limites liées à la réduction de la taille des motifs se heurtent au problème "du goulot d'étranglement" formé par les zones de charge d'espace s'étendant entre les zones P adjacentes. Ce pincement parasite, appelé également pincement "JFET", résulte de la chute de tension interne liée au passage vertical du courant et induit un effet résistif de pincement "RJFET", ce qui limite le R_{ON} du transistor VMOSFET.

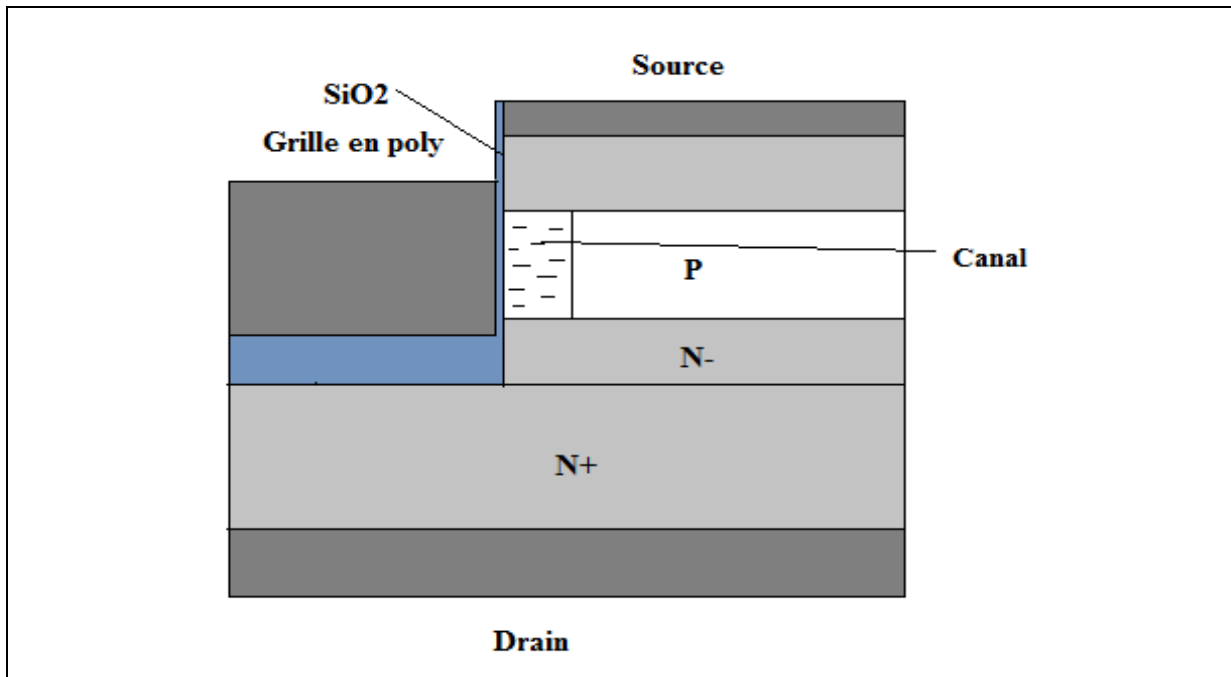
Cette structure se caractérise par une configuration verticale. La simplicité de ces transistors provient, dans les procédés de fabrications qui sont plus simples et nécessite moins d'étapes technologiques. Ce type de composants présente deux avantages :

- la résistance à l'état passant R_{ON} est diminuée, grâce à l'élimination de la composante RJFET.

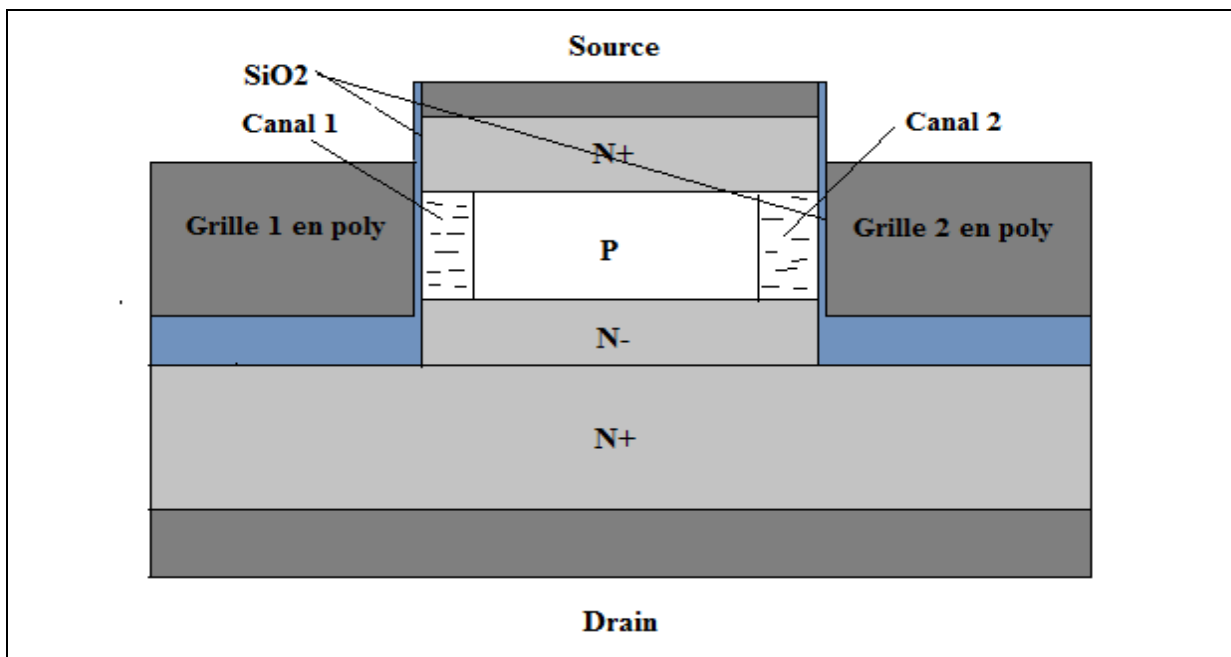
- Un avantage essentiel de ce type de transistors sont liés tout d'abord à la simplicité des contrôle des dimensions géométriques lors sa fabrication. Ainsi que la densité d'intégration est augmentée de façon sensible car la grille ainsi "enterrée" occupe moins de place.

- Cette forme de structure permet la réalisation en mode symétrique d'un transistor MOSFET à double grille. (DGMOSFET), figure(II.29.b). Ce qui double l'intensité du courant tout en diminuant la surface utile de la puce par rapport à une structure plane .

- Ce transistor est généralement commandé par une faible tension de grille , il fonctionne en mode enrichi et présente une grande vitesse de commutation et peut être utilisé dans le domaine du UHF.



Figure(II.29.a) : Processus de formation de canal dans Un nMOSFET a simple grille



Figure(II.29.b) : Processus de formation de canal dans Un nMOSFET à double grille (DG-MOSFET)

Comme les transistors VMOSFET, ils sont constitués par la mise en parallèle d'une multitude de cellules élémentaires identiques. Une grande diversité existe dans les formes géométriques utilisées pour l'élaboration de ces cellules dont l'origine provient du désir des concepteurs d'augmenter la densité d'intégration.

Le Transistor MOSFET vertical a simple ou double grille fait partie des composants de puissance, ce sont des dispositifs de conversion d'énergie électrique. Ils se différencient de leurs homologues dits de "signal" par la nécessité de supporter des tensions élevées et de conduire des courants importants. De plus, des contraintes d'utilisation ou de montage sont spécifiques: thermiques, mécaniques, connectiques et encapsulation.

III.2 – Mode de fonctionnement du Transistor MOSFET vertical a grille simple

De manière générale Les transistor MOSFET de puissance jouent le rôle d'interrupteur fonctionnant entre deux états :

Le premier, dit "bloqué", apparaît lorsque la tension grille-source est inférieure à une tension dite de seuil : le courant ne peut alors pas circuler. La tenue en tension BV_{dss} (ou tension de claquage) d'un transistor MOS est par définition la tension maximale qui peut être appliquée entre drain et source à l'état bloqué ; c'est alors la zone de transition (appelée zone de "drift") de la jonction de drain qui supporte la tension. Compte tenu de la configuration multicellulaire des structures MOS de puissance, c'est sur les bords, là où la courbure de jonction est maximale, que pourrait s'effectuer la limitation en tension, par le phénomène de claquage par avalanche [9].

Le deuxième, dit "passant" ou de "conduction", apparaît lors de l'application d'une tension de grille supérieure à la tension de seuil. Il se caractérise par l'apparition d'une zone d'inversion dans le canal, permettant ainsi le passage du courant de drain dont la valeur est limitée par les contraintes géométriques, technologiques de la structure et par les tensions appliquées. Lorsqu'un transistor fonctionne à l'état passant, il se comporte comme une résistance, notée R_{ON}, qui impose une chute de tension aux bornes du composant. Cette chute de tension V_{DS} a tout simplement pour expression :

$$V_{DS}=R_{ON}\cdot I_D \dots\dots\dots Eq(II.9)$$

La résistance à l'état passant est un des paramètres les plus importants pour un composant de puissance : plus cette résistance est faible, plus les pertes en conduction sont faibles.

$$P_D=V_{DS}\cdot I_D=R_{ON}\cdot I_D^2 \dots\dots\dots eq(II.10)$$

La tension de claquage et la résistance à l'état passant sont étroitement liées : en effet, la zone de drain N- faiblement dopée a un double effet : d'une part, elle supporte la quasi-totalité de la tension drain-source à l'état bloqué, et, d'autre part, elle a un effet résistif important à l'état passant. Le compromis entre R_{ON} et BV_{dss} est une des principales caractéristiques des transistors MOS de puissance. En ce qui concerne les temps de commutation, ils sont étroitement liés au courant appliqué sur la grille qui devra être élevé afin de permettre à la capacité d'entrée du composant de se décharger. Plus ce courant est "fort", plus la commutation est rapide. De plus, pour bloquer le transistor, il faudra fournir un chemin le moins résistif possible au courant afin de permettre à cette capacité d'entrée de se décharger le plus rapidement possible.

III.3 - Régime Statique et Fonctionnement en Commutation

Dans une première partie précédente nous avons analysé qualitativement les principaux mécanismes physiques qui peuvent limiter les performances des transistors MOSFET. Lorsqu'on désire les caractéristique d'un dispositif de puissance à savoir : le calquage de la diode de drain, le perçage entre le drain et la source et la limitation du niveau du courant.

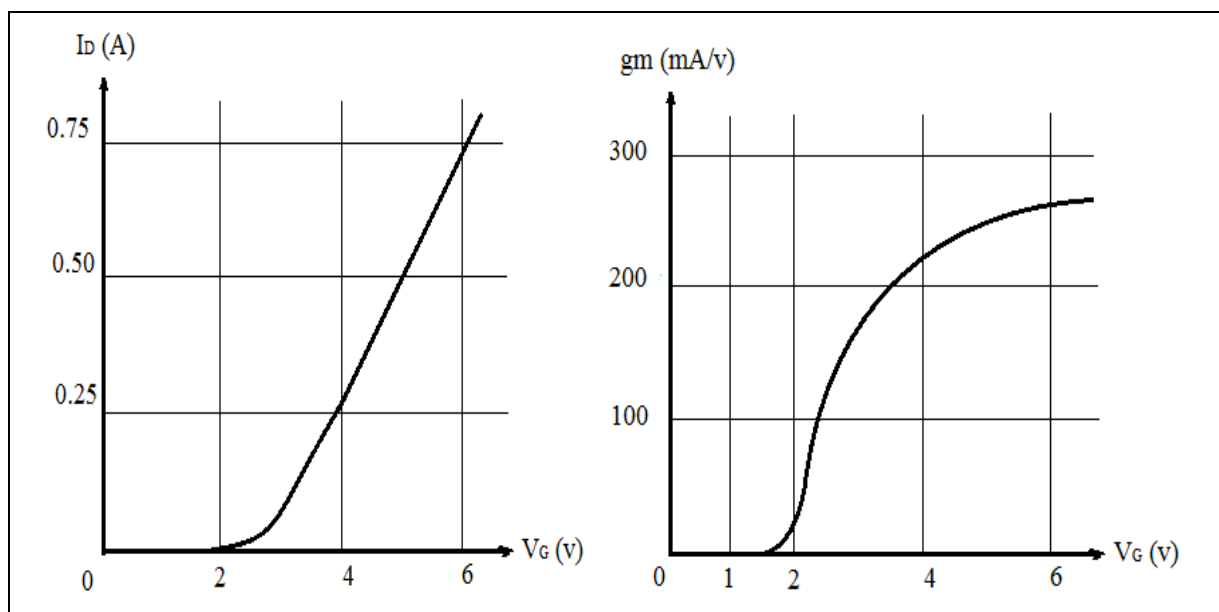
Dans cette partie on se consacre à l'étude des propriétés en régimes statiques et dynamiques du transistors MOSFET vertical. Nous établirons tout d'abord les équations de fonctionnement en régime statique. En particulier nous insisterons sur les effets de la réduction de la mobilité en fonction du champ électriques longitudinal et transversal qui sont les phénomènes du premier ordre, pour décrire les propriétés électriques des transistors a canaux cours nous expliciterons l'expression de la caractéristique courant- tension.

III.3.1 - Etude des propriétés des zones actives du canal

Nous analyserons théoriquement les propriétés de la zone active du transistor MOSFET vertical. c'est-à-dire du canal qui apparait en surface de la zone de diffusion P. nous appellerons tout d'abord les principaux modèles proposés dans la littérature en vue de décrire son comportement électrique et ferons apparaitre leurs insuffisances. Nous proposons ensuite une études théorique pour expliciter les relation courant-tension et charges-tension.

Les principaux modèles établis pour décrire les propriétés statique d'un VMOSFET à canal n ou p, ont visé principalement à rendre compte qualitativement des propriétés expérimentales les plus importantes que présente ce type de structure, à savoir :

- La linéarité de la caractéristique de transfert $I_D(V_G)$ courant-tension de grille, en régime de saturation ou de pincement que l'on observe pour un courant supérieur à une valeur critique.
- Ou encore l'existence de deux parties linéaires de la caractéristique $g_m(V_G)$ transconductance-tension de grille. la première partie relevée à faibles tensions de grille soit croissante la deuxième et horizontale et constante.



Figure(II.30) : Caractéristique statique $I_D(V_G)$ et $g_m(V_G)$ pour $V_D = 10$ volt

III.3.2 - Le Model classique

Il est basé sur la prise en compte de la réduction de mobilité de porteurs sous l'effet de champ électrique longitudinal et de l'existence d'une vitesse limite dans la couche d'inversion.

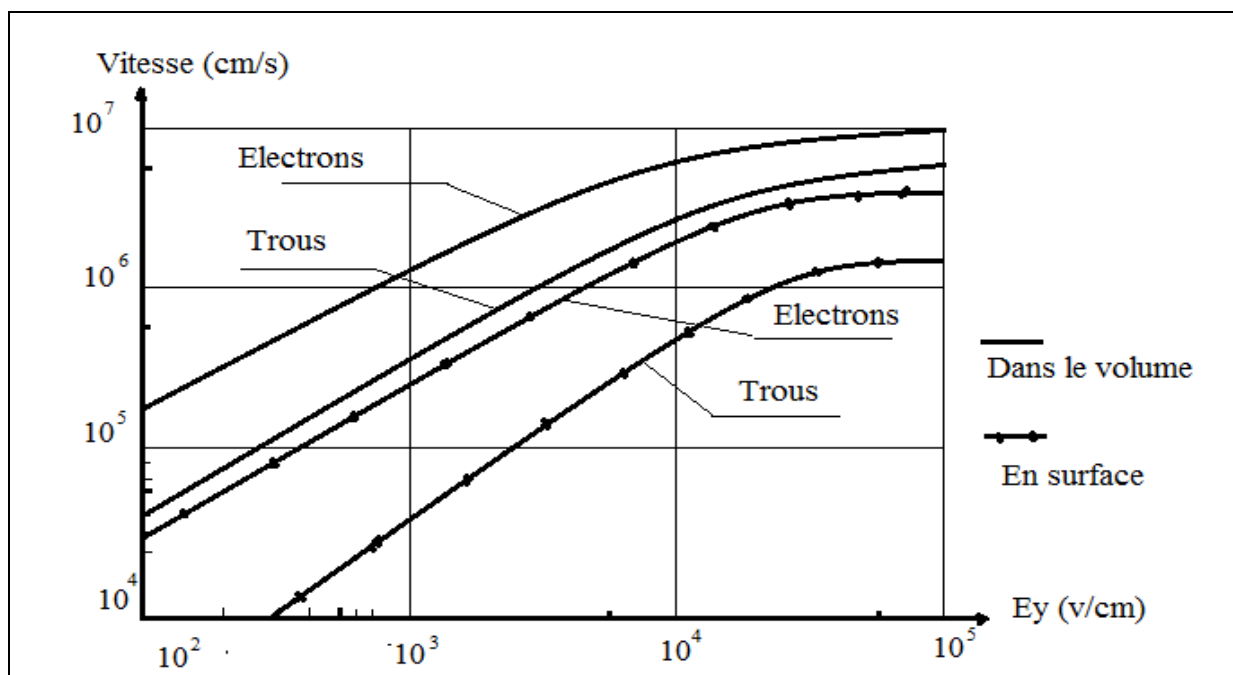
III.3.2.1 - La loi vitesse champ électrique

Les études expérimentales effectuées par FANG et FOWLER reposent sur la mesure de la conductance G d'un transistor MOS dont la longueur du canal L et l'épaisseur de l'oxyde X_0 sont respectivement égales à 10

microns et 1 microns. Ces dimension géométriques permettent d'atteindre des champs électriques longitudinaux élevés de l'ordre de 3×10^4 V/cm) tout en évitant les effets de raccourcissement du canal. La vitesse v des porteurs en fonction du champ électrique est obtenue à partir de l'expression suivante :

$$V = (G \cdot E_y \cdot L) / (Z \cdot q \cdot N_{inv}) \dots\dots eq(II.11)$$

E_y est la valeur moyenne du champ longitudinal dans la direction source – drain, Z la largeur du canal, $q \cdot N_{inv}$: est la densité de charge totale des porteurs minoritaires de la couche d'inversion.



Figure(II.31) :Variation de la vitesse de porteurs en fonction du champ longitudinal

Pour obtenir un canal uniforme, c'est à dire une densité de charge par unité de surface et un champ électrique constants le long du canal, il a été nécessaire de porter la grille à une tension élevée (300V) très supérieure à la tension du drain. Aussi le champ transversal du canal est élevé, de l'ordre de 10^6 v/cm. Les résultats ainsi obtenus sont représentés sur la figure au-dessus. Il apparaît que la vitesse limite correspondante à la saturation de la courbe $V(E_y)$ est inférieure à la vitesse limite de déplacement des électrons dans le volume. Par suite compte tenu de ces résultats, il a été proposé d'utiliser une formule pour décrire la variation de la mobilité des électrons et celle des trous dans un canal d'inversion d'un transistor VMOS tel que :

$$\mu = \mu_0 / [1 + (dV/dy E_0)^B]^{1/B} \dots \dots \text{eq(II.12)}$$

B étant un coefficient d'ajustement pris en général égal a un pour les MOS a canal P et égal a deux pour les MOS a canal N, μ_0 la valeur de la mobilité à champ faible, y la coordonné source-drain, V le potentiel électrostatique a l'interface Si-SiO₂ repéré par rapport à l'électrode de substrat et E_0 un champ critique. Les ordres de grandeur des divers paramètres sont les suivant :

- μ_0 mobilité a champ faible, pour les electrons comprise entre 300 cm²/v.s correspondant aux valeurs extremes dans les plans <111> .
- V_L vitesse limite egale au produit $\mu_0 \cdot E_0$, a été mesuré par FANg et FOWLER. Ces auteurs donnent respectivement :
 - D'une part, dans la direction <100> : $(6,5 \pm 0,5) \cdot 10^6$ cm/s
 - D'autre part, dans la direction <111> : $(5,5 \pm 0,5) \cdot 10^6$ cm/s

Valeurs plus faibles que celle obtenues dans le volume : 10^7 cm/s.

III.3.2.2 - Les variation de la transconductance en fonction de la tension de grille :

Compte tenu de relation vitesse-champ précédente l'analyse théorique généralement proposée pour expliquer la saturation de la transconductance est la suivante.

Les charge de la région dépeuplé étant négligées devant celle de la région inversé, le courant traversant la section droite d'un élément différentiel du canal de longueur dy est égale à :

$$I_D = \mu Z C_{ox} (V_G - \Phi_s) (d\Phi_s/dy) \dots \dots \dots \text{eq(II.13)}$$

Ou C_{ox} est la capacité de l'oxyde par unité de surface et V_G la tension appliquée entre la grille et le substrat. Cette équation différentielle a variables séparables et, pour y variant entre 0 et L , Φ_s entre 0 et V_D , le courant du drain dans le cas d'un pMOS ($B=1$), s'identifie à :

$$I_D = \mu_0 (Z/L) C_{ox} (V_G \cdot V_D - V_D^2/2) / (1 + (V_D/LE_0)) \dots \dots \dots \text{eq(II.14)}$$

La tension de pincement prise egale a la tension de drain telle que $(dI_D/dV_D) = 0$, est :

$$V_p = LE_0 (-1 + [1+2V_G/LE_0]^{1/2}) \dots\dots eq(II.15)$$

En remplaçant V_D par cette tension de pincement, le courant drain en régime saturé s'exprime par :

$$I_D = \mu_0 Z Cox E_0 ((-2V_G - LE_0 + (V_G + LE_0) [1 + (2V_G/LE_0)]^{1/2})/[1 + (2V_G/LE_0)]) \dots\dots eq (II.16)$$

$$I_D = \mu_0 Z Cox E_0 (V_G - V_p) \dots\dots\dots eq(II.17)$$

La transconductance en régime saturé devient :

$$g_m = (dI_D/dV_G) = (\mu_0 Z Cox E_0 / (1 + 2(V_G/LE_0) [1 + (2V_G/LE_0)] - [1 + (2V_G/LE_0)] \dots \dots\dots eq(II.18)$$

La pente à l'origine de la courbe $g_m(V_G)$ obtenue par cette expression est égale à $\mu_0 Z/L Cox$ et la limite théorique de la transconductance pour une tension de grille tendant vers l'infini est égale à :

$$g_{m\ max} = Z Cox V_{sat} \dots\dots\dots eq(II.19)$$

$$\text{avec : } V_{sat} = \mu_0 E_0 \dots\dots\dots eq(II.20)$$

Dans le cas d'un transistor NMOS (B=2), L'équation différentielle est aussi a variables séparables et , après intégration la relation suivante est obtenue :

$$LE_0 = - (1/2)((V_G - V_D) \cdot [\alpha^2 (V_G - V_D)^2 - 1]^{1/2} - V_G [\alpha^2 V_G^2 - 1]^{1/2} - (1/\alpha) \log (\alpha^2 (V_G - V_D) + [\alpha^2 (V_G - V_D)^2 - 1]^{1/2} + (1/\alpha) \log (\alpha V_G + [\alpha V_G^2 - 1]^{1/2} \dots\dots eq(II.21)$$

$$\text{Avec : } \alpha = (\mu_0 E_0 Z Cox) / I_D .$$

Cette expression ne peut être résolue analytiquement mais numériquement. Un programme de recherche dichotomique de solutions conduit à déterminer dans un premier temps $I_D = f(V_D)$ pour différentes valeurs de la tension de grille, puis la valeur maximale de courant et enfin le rapport $\Delta I_D \max / \Delta V_G$. Les résultats Obtenue, concernant les variations de la transconductance g_m en fonction de la tension de grille en régime de pincement, sont identiques à ce obtenus pour (B = 1), à savoir :

- Une pente à l'origine égale à $\mu_0 (Z/L) Cox$
- Une valeur limite de g_m égale à $Z Cox \cdot V_{sat}$ Avec $V_{sat} = \mu_0 \cdot E_0$

Ainsi dans les deux cas (B=1,2), la valeur théorique de saturation de la transconductance est donnée par la relation (II.12).

III.3.2.3 - L'insuffisance du model classique :

En utilisant les relation précédentes, il apparait que le modèle classique fournit une explication qualitative de l'existence de deux portions linéaires de la caractéristique $g_m(V_G)$. Néanmoins, les ordres de grandeurs des paramètres physiques que l'on pourrait déduire des expressions des portions linéaires a bas niveau de tension ($g_m = \mu_0 Z/L Cox V_G$) et à fort niveau ($g_m = Z Cox V_{sat}$) sont erronés et mettent en cause la validité de ces expressions.

Tout d'abord les expressions théoriques des portions linéaires montrent que l'intersection de la tangente à l'origine et de la transconductance maximale de la caractéristique $g_m(V_G)$ doit se produire pour une valeur de la tension de grille d »finie théoriquement par :

$$V_G - V_T = LE_0 \quad \dots\dots\dots eq(II.22)$$

Or les mesures de ce point d'intersection, relevées expérimentalement sur les VMOS, conduisent à des valeurs du champ critique E_0 inférieur à 1 Volt par micron alors qu'il a été prouvé il est toujours supérieur a cette valeur ($E_0 \approx 2,4 V/\mu m$).

D'autre part, le calcul de la transconductance maximale par l'expression (2.10), compte tenu des valeurs de la vitesse limite V_{sat} qui ont été donné précédemment, conduit à des valeurs numériques 2 ou 3 fois plus grandes que les valeurs expérimentales.

III.4 - Expressions Du Courant De Drain

L'analyse précédente était basée sur l'utilisation d'une relation vitesse-champ électrique indépendant de la composante transversale de ce champ. Or dans les transistors MOSFET de technologie classique dont la longueur du canal est supérieure à 5 μm , L'effet de réduction de la mobilité sous l'action du champ transversal est un phénomène de premier ordre qui régit le comportement électrique de ces transistors.

Une étude a été faite par R.W. COEN et R.S.MULLER a permis de mesurer les caractéristiques vitesse-champ électrique d'électron ou de trous dans un canal d'inversion de direction $\langle 100 \rangle$ ou $\langle 111 \rangle$. La structure

utilisée est un transistor MOS à grille résistive en Nichrome dans lequel le canal est maintenu uniforme en valeurs de densité de charge et de champ électrique par l'application de deux tensions de polarisation sur deux doigts de métallisation, relié à cette grille résistive respectivement du côté de la source et du côté du drain.

Les différentes caractéristiques expérimentales vitesse-champ électrique longitudinal de la figure (II.31) montre l'influence du champ électrique transversal non seulement à faible niveau de vitesse mais ainsi dans la région où les caractéristiques saturent ; les vitesses limites augmentent quand le champ transversal diminue. Par la suite, nous utiliserons une relation analytique qui prendra en compte d'une part l'effet de réduction de mobilité en fonction du champ transversal à faible tension drain-source et d'autre part la variation de vitesse limite avec le champ transversal, lorsque le champ longitudinal sera supérieur au champ critique.

III.4.1 - Définition

La détermination de l'expression du courant qui circule entre la source et le drain suit un mode opératoire classique qui consiste en trois étapes :

- Résolution l'équation de neutralité dans la structure MOS
- Détermination du nombre total des porteurs minoritaires dans une tranche du canal
- Intégration de la charge et équation de courant.

Par rapport au transistor MOS classique les phénomènes à prendre en compte en toute rigueur, dans le cas du canal du VMOS sont :

- La non uniformité du dopage dans la direction source-drain la figure (II.32) a représenté la coupe schématique d'un élément du VMOS le profil de dopage dans la direction Oy est imposé par les étapes technologiques.

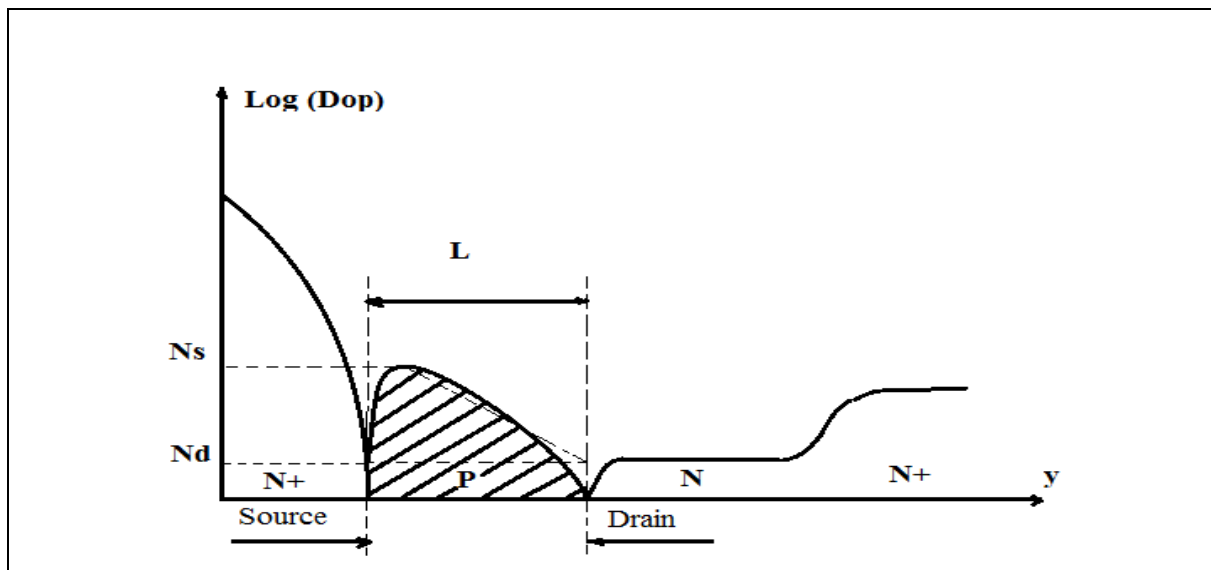


Figure (II.32) : Profil de dopage dans une structure MOSFET verticale

Il peut être défini en première approximation par la relation :

$$N_A(y) = N_S \cdot \exp [y/L \cdot \log (N_d/N_S)] \quad \dots \dots \text{eq(II.23)}$$

Ou N_S et N_d représentent respectivement la valeur maximale du dopage au voisinage n de la source et la valeur minimale extrapolée au droit du drain.

La saturation de la vitesse des porteurs sous l'effets du champ longitudinal et la variation de la vitesse limite sous l'effet du champ transversal. En première approximation nous décrivons les les variations de mobilité par la relation :

$$\mu_{eff} = \mu_0 / [1 + d\Phi_s/dy E_0][1 + (VG - \Phi_s)/\Psi] \quad \dots \text{eq (II.24)}$$

μ_0 représente la mobilité a champ faible, E_0 le champ critique longitudinal au dela duquel la vitesse saturé, et Ψ un paramètre dépendant de l'épaisseur d'oxyde, du temps de relaxation et de la masse effective des porteurs a l'interface. Ce paramètre Ψ traduit les effets du champ transversal.

Dans notre cas on va négliger le phénomène de l'échauffement du canal du a la dissipation de puissance, ainsi le mécanisme de raccourcissement de canal du à l'action électrostatique de la tension drain lorsque le transistor fonctionne en régime de saturation. Nous négligeons

également cet effet en admettant que la zone de charge d'espace de la diode PN⁻ du drain s'étend uniquement dans la région N⁻ en régime de saturation.

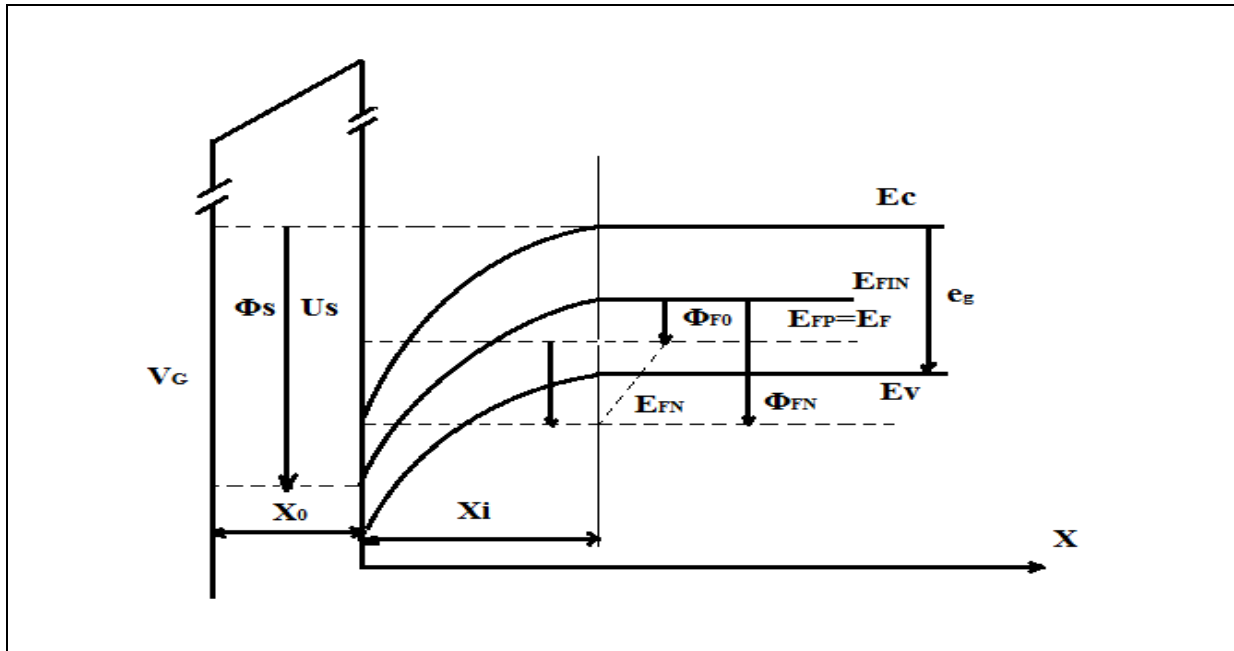


Figure (II.33) : Diagramme d'énergie d'une couche d'inversion suivie par une couche d'appauvrissement

III.4.2 - L'équation de Neutralité – Charge totale des porteurs minoritaires :

Lorsqu'on applique une ddp entre la grille et le substrat, la continuité de la composante normale du champ à l'interface Si-SiO₂ conduit à l'expression du potentiel du surface $\Phi_s(y)$. Dans le cas de la zone inversée on obtient la relation suivante :

$$\Phi_s(y) = \Theta(y) + 2\Phi_F(y) + (kT/q) \log [(q/kT) (V'_G - \Theta(y) - 2\Phi_F(y))^2 / (\Phi_B(y)) - (q/kT) \cdot (\Theta(y) + 2\Phi_F(y)) + 1] \dots\dots eq(II.25)$$

Avec :

$$\Phi_B(y) = (2q N_A(y) \zeta_{si} \zeta_0) / C_{ox}^2 .$$

$$V'_G = V_G + (Q_{ss} / C_{ox}) - \Phi_{MS} .$$

$$\Phi_F(y) = (kT/q) \cdot \log(N_A(y) / n_i) .$$

Où $\Theta(y)$ représente la différence des potentiels de Fermi, $N_A(y)$ le dopage au point d'abscisse considéré, C_{ox} la capacité d'oxyde par unité de surface, Q_{ss} les charges totales d'oxyde de grille et d'interface ramenées à l'interface et Φ_{MS} la différence des travaux de sortie entre métal et semi-conducteur. L'électrode du substrat est prise comme origine des potentiels. Cette expression peut être simplifiée en régime d'inversion par :

$$\Phi_S(y) = \Theta(y) + 2\Phi_F(y) \dots\dots\dots eq(II.26)$$

La charge totale des porteurs dans la zone de charge d'espace superficielle est donnée par

$$Q_N(y) = q \int_0^{x_c} n(y) dx \dots\dots\dots eq(II.27)$$

Où x_c représente la largeur de la charge d'espace, n la densité électronique et Φ le potentiel électrostatique.

Si nous supposons que :

- Dans la zone inversée, la totalité des charge est due aux électrons
- Dans la zone d'appauvrissement adjacente, la totalité des charges est constituée par des impuretés ionisées.
- La largeur de la zone d'inversion x_i est négligeable devant celle de la zone d'appauvrissement x_c .

$$\int_0^{x_i} qn dx = C_{ox} [(V'_G - \Theta(y) - 2\Phi_F(y)) - (\Phi_B(y) \cdot ((\Theta(y) + 2\Phi_F(y)))^{1/2})] \dots\dots\dots eq(II.28)$$

Cette expression de la charge totale des porteurs minoritaires dans la couche inversée est en fonction de l'abscisse y non seulement du terme Θ , mais aussi des termes Φ_S et Φ_B qui dépendent du dopage $N_A(y)$.

III.4.3 - Expression du courant de Drain :

Le courant qui traverse la section droite d'un élément différentiel de canal de longueur dy perpendiculaire à l'interface Si-SiO₂ est égale à :

$$I_{D=z} = z \mu_{eff} q (d\Theta/dy) \int_0^{x_i} n(x, y) dx \dots\dots eq(II.29)$$

Ou z est la largeur totale de tous les canaux mis en parallèle. L'intégration de cette relation entre source et drain (y=0 et y=L) , compte tenu de tous les approximation précédentes conduit à :

$$I_D = \mu_0 (Z/L) C_{ox} \cdot (V_D/L + ((V'_G - 2\Phi_F)/\Psi) \cdot \{ [\log(N_D/N_S)]^{1/2} (V'_G - 2\Phi_F) / [\log(1 + [(V'_G - 2\Phi_F) \cdot ((N_D/N_S)^{1/2} - 1)]) / [(V'_G - 2\Phi_F - (2\Phi_F)^{1/2} (\Phi_{BS})^{1/2} (N_D/N_S)^{1/2}])]\} \dots \dots eq(II.30)$$

Avec : $\Phi_{BS} = (2qN_S \xi_{Si} \xi_0) / Cox^2$
 Et $\Phi_F = (\Phi_F(y=0) + \Phi_F(y=L)) / 2.$

III.5 - Tension De Seuil Et Tension De Pincement :

III.5.1 - La Tension du seuil :

La tension du seuil V_T du transistor en dessous de laquelle le courant de drain s'annule, est définie comme étant la valeur de la tension de grille qui annule la conductance de sortie à faible tension drain-source. Elle s'exprime par la relation :

$$(\partial I_D / \partial V_D) \Big|_{(V_G=V_T, V_D \rightarrow 0)} = 0$$

L'annulation par rapport à V_D l'expression de courant de drain correspond a :

$$V_T = - (Q_{ss} / Cox) + \Phi_{MS} + 2\Phi_F + (2\Phi_F \Phi_{BS})^{1/2} \dots \dots eq(II.31)$$

Cette expression qui traduit physiquement l'annulation de la charge totale des porteurs minoritaires au droit de la source, montre que la tension de seuil est essentiellement contrôlée par la valeur du dopage N_S et, est indépendante du profil de dopage dans le reste du canal. La valeur élevée de N_S conduit à une tension généralement positive.

III.5.2 - La tension de pincement

Les caractéristiques théorique $I_D(V_D)$ passent par un maximum pour une tension de drain V_p , appelée tension de pincement qui obéit a la relation implicite suivante :

$$(Z\mu_0 Cox) / L (1 + (V'_G - V_p - 2\Phi_F) / \Psi) \cdot [V'_G - V_p - 2\Phi_F - (\Phi_{BD} (V_p + 2\Phi_F))^{1/2}] - (I_0 / LE_0) = 0 \dots \dots eq(II.32)$$

Une approximation du premier ordre de la valeur de V_{p1} déduite de de cette relation est :

$$V_{p1} = -2\Phi_F + V'_G - \Phi_{BD}/2 \cdot [1 + (4V'_G/\Phi_{BD})^{1/2} - 1] \dots \dots \text{eq(II.33)}$$

On admettra que l'hypothèse de saturation parfaite est vérifié lorsque la tension de drain est supérieure a la tension V_p et, par ailleurs, comme nous l'avons déjà indiqué nous supposerons que le mécanisme de réduction de la longueur du canal n'apparaît pas. Ainsi le courant du drain sera défini en résolvant le système d'équation : eq(II.30) et eq(II.32) dans lequel la tension V_D de la relation (II.30) sera remplacée par la tension V_p .

III.6 - La Transconductance

En régime de saturation, la transconductance g_m représente la dérivé de la relation (II.30) (dans laquelle le potentiel V_D est remplacé par V_p déduit de l'équation (II.32) par rapport à la tension de grille V_G . Il n'est possible de déterminer cette transconductance que par méthode numérique. Cependant, la forme des relations utilisées montre que la transconductance ne dépend que des quantités suivantes :

- Le facteur de pente $\mu_0 \cdot \frac{Z}{L} \cdot Cox$.
- Le potentiel de réduction de mobilité longitudinal LE_0 .
- Le potentiel de réduction de mobilité transversal Ψ .
- La tension effective de grille V'_G
- Le Potentiel Φ_{BD} .

Compte tenu de la valeur généralement faible du potentiel Φ_{BD} devant la tension de grille, on peut considérer que l'influence de Φ_{BD} est négligeable sur la valeur de la transconductance g_m . Par suite, la quantité: $g_m / (\mu_0 \frac{Z}{L} Cox)$ ne dépend que des trois paramètres : LE_0, Ψ, V'_G . En général, on considèrera que l'on peut confondre la tension effective d grille avec la quantité $V_G - V_T$ en conséquence en peut montrer, par analyse numérique, que la caractéristique $g_m / (\mu_0 \frac{Z}{L} Cox)$, fonction de la tension $V_G - V_T$, figure (II.34) est une courbe qui présente une partie linéaire croissante de pente unité, puis passe par un maximum et reste très plate autour de ce maximum [7] [9].

Ce maximum évolue en fonction non seulement du paramètre LE_0 figure (II.34) mais aussi en fonction du potentiel Ψ . Figure (II.35).

Par suite nous utiliserons sur la caractéristique $g_m(V_G)$, le potentiel V qui est défini comme l'écart de tension de grille comprise entre la tension de seuil et et le point d'abscisse correspondant a l'intersection de la tangente au point $V_G=V_T$ et de la tangente horizontale au maximum de la transconductance figure (II.34) .Ce potentiel V n'est fonction que des potentiel Ψ et LE_0 .

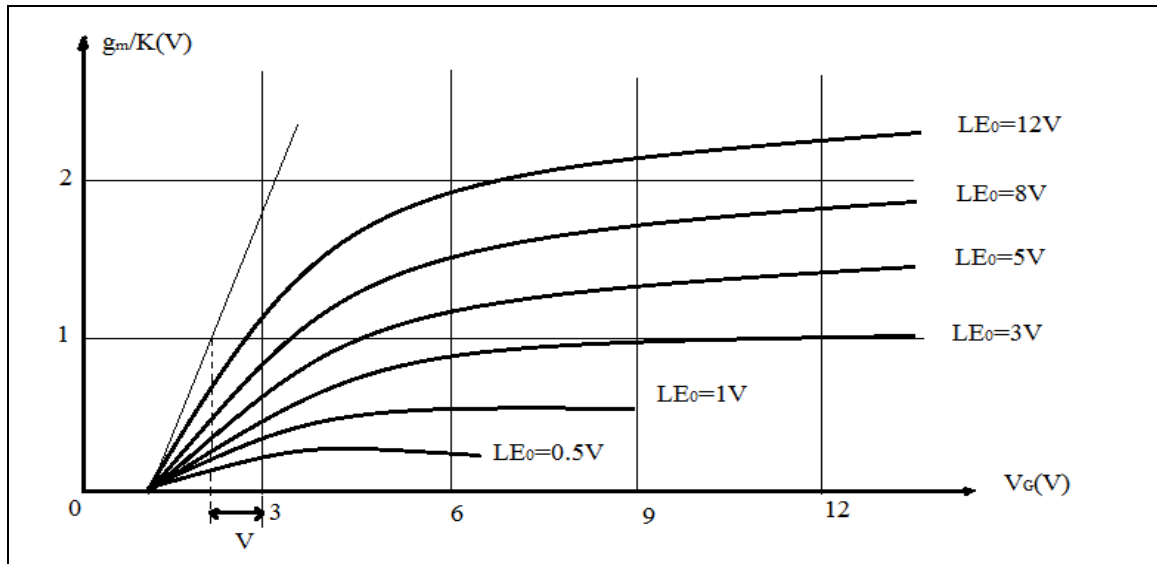


Figure (II.34) : Variation théorique de la transconductance rapporté au paramètre K ($K=(\mu_0 \frac{Z}{L} C_{ox})$) en fonction de la tension de grille pour différente valeurs de LE_0 avec $\Psi = 20v$

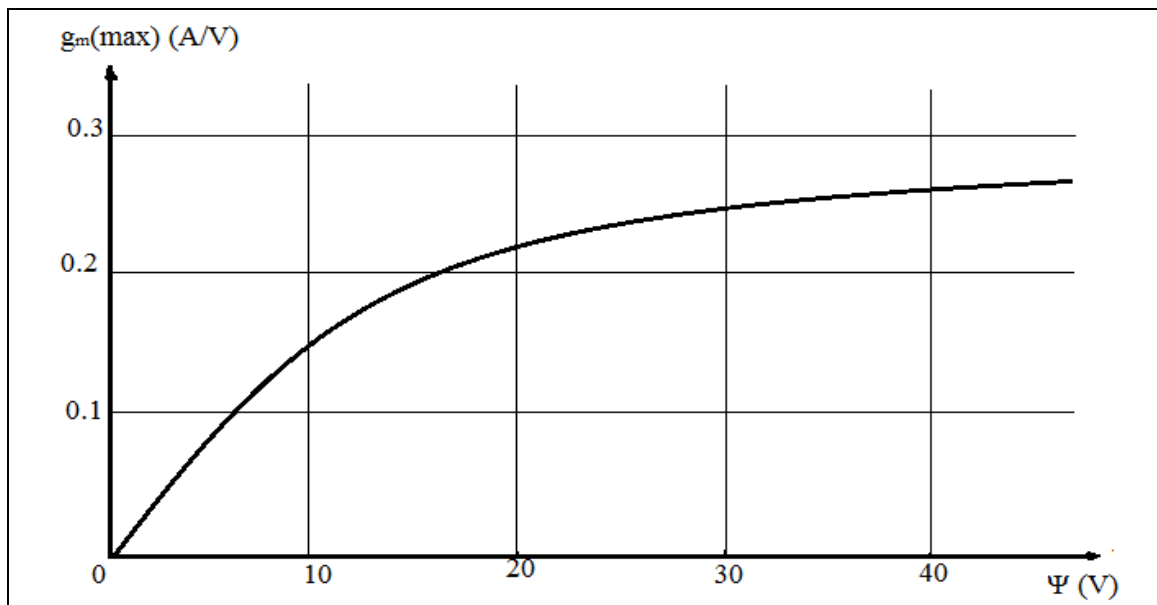


Figure (II.35) : Variation théorique de la transconductance Maximale en fonction du paramètre $\Psi-(\mu_0 \frac{Z}{L} C_{ox}) = 0.14 A/V^2$ $\Phi_{BD} = 0.65 V$, $LE_0 = 5V$

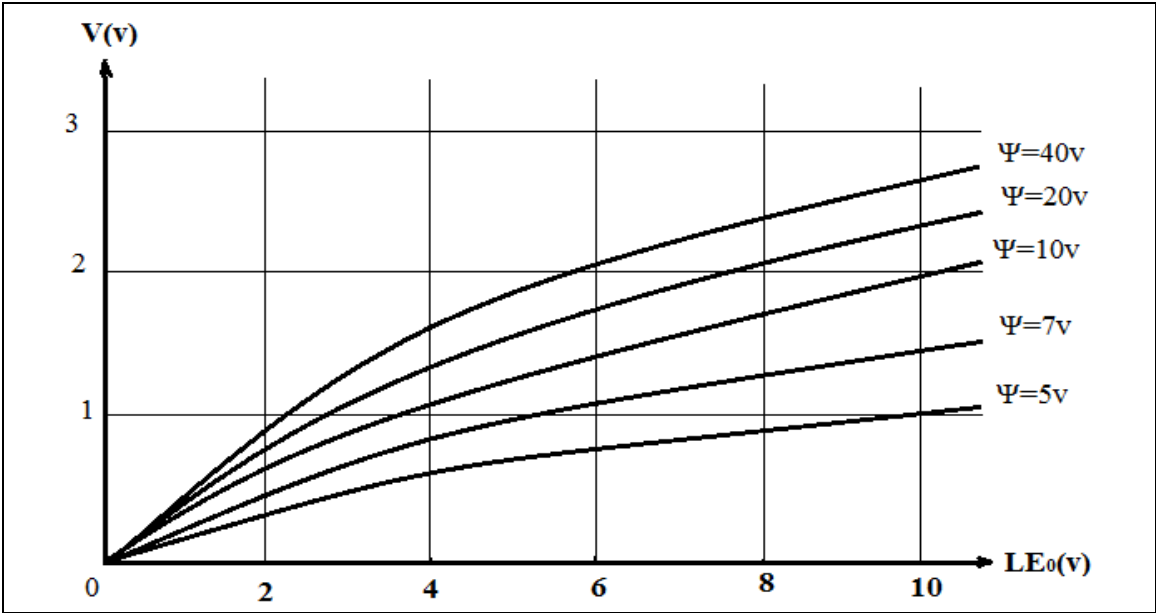


Figure (II.36) : Variation théorique de paramètre V en fonction de LE₀ pour différentes valeurs de Ψ.

III.7 - CONCLUSION

La miniaturisation des Transistors MOSFET a concerné toujours la zone active du composant « grille-canal ». Le transport des porteurs de charges est ainsi devenu vertical de la source vers le drain. Ce genre de structure a ramené de nouveaux effets indésirables ayant un impact sur la fiabilité de ces Transistors. Dans ce deuxième chapitre, plusieurs configurations sont présentées et permettent l'amélioration des propriétés des transistors.

Nous avons en ce qui nous concerne étudié les performances d'un transistor MOSFET vertical à simple grille que nous avons conçu à l'aide du logiciel de conception des dispositifs à semi-conducteur, le SILVACO.

CHAPITRE -III-
SIMULATION D'UN MOSFET A
CANAL VERTICAL.

III.1. LA TECHNOLOGIE CAD

III.1.1- Introduction

Durant la conception d'un circuit intégré, le flot de données traverse plusieurs couches logicielles. Généralement, à chacune de ces couches logicielles est associé un niveau d'abstraction (Fig III.1). D'autres outils logiciels permettent de passer d'une couche à une autre. Par exemple, la description d'un circuit intégré au niveau comportemental en VHDL ou Verilog peut se retrouver au niveau de description logique après la phase dite de synthèse. Les couches inférieures sont composées des niveaux électrique et physique. Au niveau électrique le circuit ne comporte plus des portes logiques mais des transistors et leurs interconnexions. Au niveau physique, le transistor est maintenant considéré dans son aspect physique; nous sommes dans l'univers TCAD (Technology Computer Aided Design).

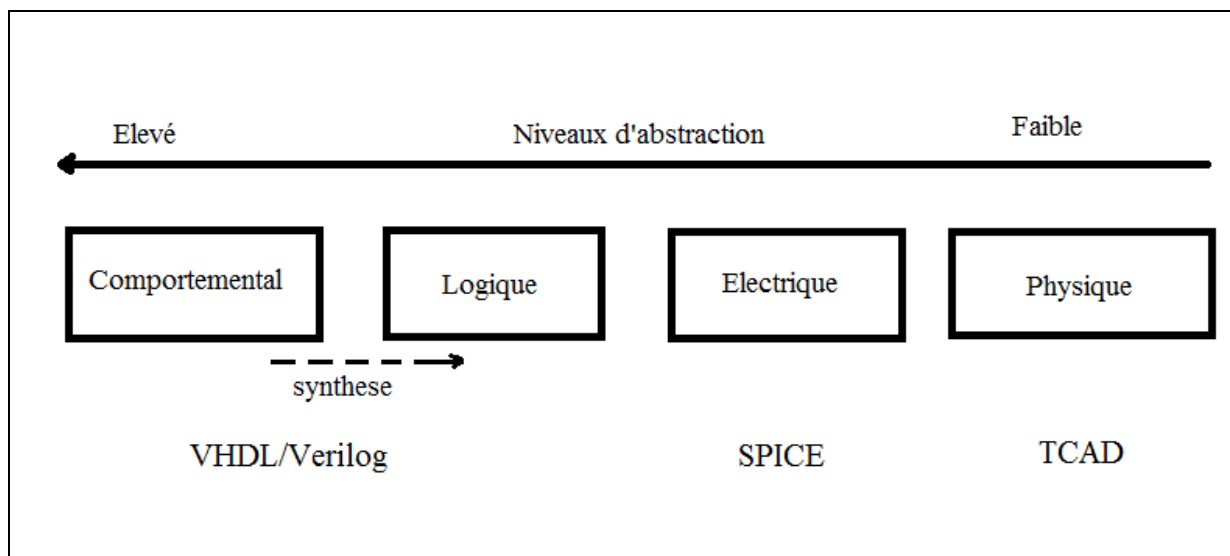


Figure III.1. Différents niveaux d'abstraction.

La conception des circuits intégrés nécessite des outils de simulation pour un niveau d'abstraction donné. Par exemple, l'outil de vérification fonctionnelle Model sim [1] fournit un environnement performant pour la simulation et la mise au point d'ASIC ou de FPGA. Cet outil supporte plusieurs langages de description tels que le Verilog et le VHDL. Dans ce cas, ce sont les niveaux d'abstraction "comportemental" et "logique" qui sont adressés. Pour le niveau électrique, les principaux simulateurs sont HSPICE , Spectre et Eldo .

Pour le niveau physique, deux outils dominent le marché du TCAD. Il s'agit du logiciel SILVACO et du logiciel Sentaurus nommé ISE précédemment .

En ce qui nous concerne nous avons utilisé dans notre étude le logiciel de simulation de dispositif et de Procès TCAD SILVACO.

III.1.2 - Histoire de la Technologie CAD « TCAD »

En 1964 GUMMEL [7.8] a proposé pour la première fois un modèle numérique unidimensionnel pour les transistors bipolaires, basé sur des équations différentielles proposées par VAN Roosbroek [9] depuis ce temps les solutions numérique s'apparaissent de manière révolutionnaire. Quelques années plus tard les premières simulations bidimensionnelles furent données par LOEB [10] et parallèlement par Schroeder et Muller [11] résolvant l'équation de poisson pour un Transistor MOSFET. En 1981 IBM lance le programme FIELDAY, c'est un programme a trois dimensions qui résout l'équation de poisson ainsi les équations de continuité.

III.2 - SILVACO

III.2.1 - Présentation De L'environnement SILVACO

SILVACO (Silicon Valley Corporation) est un environnement de logiciels qui permet de concevoir et prévoir les performances des dispositifs à semi-conducteur. Cet outil sert à la modélisation des dispositifs à semi-conducteur avant leur fabrication.

Le TCAD-SILVACO a été fondé en 1984 par le Dr. Ivan Pesic qui a exposé les outils d'extraction des paramètres d'une structure UTMOS. Aujourd'hui ce logiciel est très utile dans le développement de beaucoup de projets de recherches. SILVACO inclut de nouveaux modèles physiques qui emploient des méthodes et des algorithmes numériques efficaces, de nouvelles techniques de maillage, l'optimisation de solutions linéaires, etc, tout en permettant d'obtenir des résultats de simulation très proches de ceux obtenus pratiquement après conception en salle blanche. SILVACO international et sa filiale, dont le siège se situe à Santa Clara en Californie, En 2006 et avec 11 bureaux dans le monde entier, Silvaco a eu environ 250 employés. La compagnie livre des produits pour TCAD simulation de procédés et de dispositif à semi-conducteur. Les clients

sont principalement les fabricants des circuits intégrés, les fonderies, et les universités et laboratoires de recherche à travers le monde.

III.2.2–Equations de Bases et principe de fonctionnement du simulateur TCAD-SILVACO

III.2.2.1- Equations de bases de la physique des semi-conducteurs

$$\varepsilon \Delta V = -q (p - n + N_D^- - N_A^+) \dots \dots \dots eq (III.1)$$

Où : ε est la constante diélectrique, V le potentiel, ΔV le Laplacien du potentiel, q est la charge élémentaire des électrons, N_{D^-} et N_{A^+} sont les concentrations des dopants donneurs et accepteurs ionisés, n et p sont les densités des porteurs.

L'évolution temporelle des densités de porteurs obéit aux équations de continuité pour les électrons et les trous :

$$(\partial n / \partial t) = G_n - U_n + (1/q) \cdot \text{div} \vec{j}_n \quad eq(III.2)$$

$$(\partial p / \partial t) = G_p - U_p + (1/q) \cdot \text{div} \vec{j}_p \quad eq(III.3)$$

Où : G et U sont respectivement les taux de génération et de recombinaison des porteurs, j_n et j_p sont les densités de courant des électrons et des trous respectivement.

Les dérivations basées sur la théorie de transport de Boltzmann ont prouvé que la densité des courants dans les équations de continuité peut être définie par le modèle d'entraînement-diffusion. Les densités de courants sont exprimées en deux termes. Le premier correspond à l'entraînement des charges par le champ électrique, le second correspond à la diffusion des porteurs.

$$\vec{J}_n = qn\mu_n \vec{E} + qD_n \overrightarrow{\text{grad}n} \dots \dots \dots eq(III.4)$$

$$\vec{J}_p = qp\mu_p \vec{E} - qD_p \overrightarrow{\text{grad}p} \dots \dots \dots eq(III.5)$$

$$\vec{E} = -\overrightarrow{\text{grad}V} \dots \dots \dots eq(III.6)$$

Où D_n , et D_p sont les coefficients de diffusion. Ils sont directement reliés aux mobilités des porteurs par la relation d'Einstein :

$$D_n = (KT/q) \cdot \mu_n \dots \dots \dots eq(III.7)$$

$$D_p = (KT/q) \cdot \mu_p \dots \dots \dots eq(III.8)$$

Les modèles physiques dans les semi-conducteurs ont été modélisés sous la forme d'expressions mathématiques reliant le potentiel électrostatique et la densité des porteurs. La modélisation physique est réalisée en tenant compte de la probabilité d'occupation des niveaux d'énergie, de la mobilité des porteurs et des différents types de recombinaison-génération.

Plusieurs modèles ont été développés pour les semi-conducteurs en fonction du choix de la technologie (bipolaire, CMOS,...), de la concentration des dopants, des dimensions et de la température de fonctionnement. Ces grandeurs doivent être choisies d'une manière judicieuse pour se rapprocher du comportement physique réel du dispositif. Les modèles physiques que TCAD utilise dans ses études sont les modèles de Monte Carlo, de Pearson, de Fermi, de Lombardi, de Fermi-Dirac et de SRH (Shockley ReadHall).

III.2.2.2 - ATHENA

Le logiciel de simulation de process ATHENA de TCAD-SILVACO fournit des possibilités générales pour la simulation des processus utilisés (différentes étapes technologiques), dans l'industrie des semi-conducteurs : diffusion, oxydation, implantation ionique, gravure, lithographie, procédés de dépôt. Il permet des simulations rapides et précises de toutes les étapes de fabrication utilisées dans la technologie CMOS, bipolaire, SOI, optoélectronique, MEMS, et les composants de puissances. Là aussi, le logiciel permet de fournir des informations importantes pour la conception et l'optimisation des procédés technologiques telles que les concentrations des porteurs, les profondeurs de jonctions, etc.

Le programme de simulation (défini comme entrée) des différentes étapes technologiques et les phénomènes physiques, s'établit avec le module

DECKBUILD de TCAD-SILVACO, puis la visualisation de la structure de sorties s'effectue avec le module TONYPLOT.

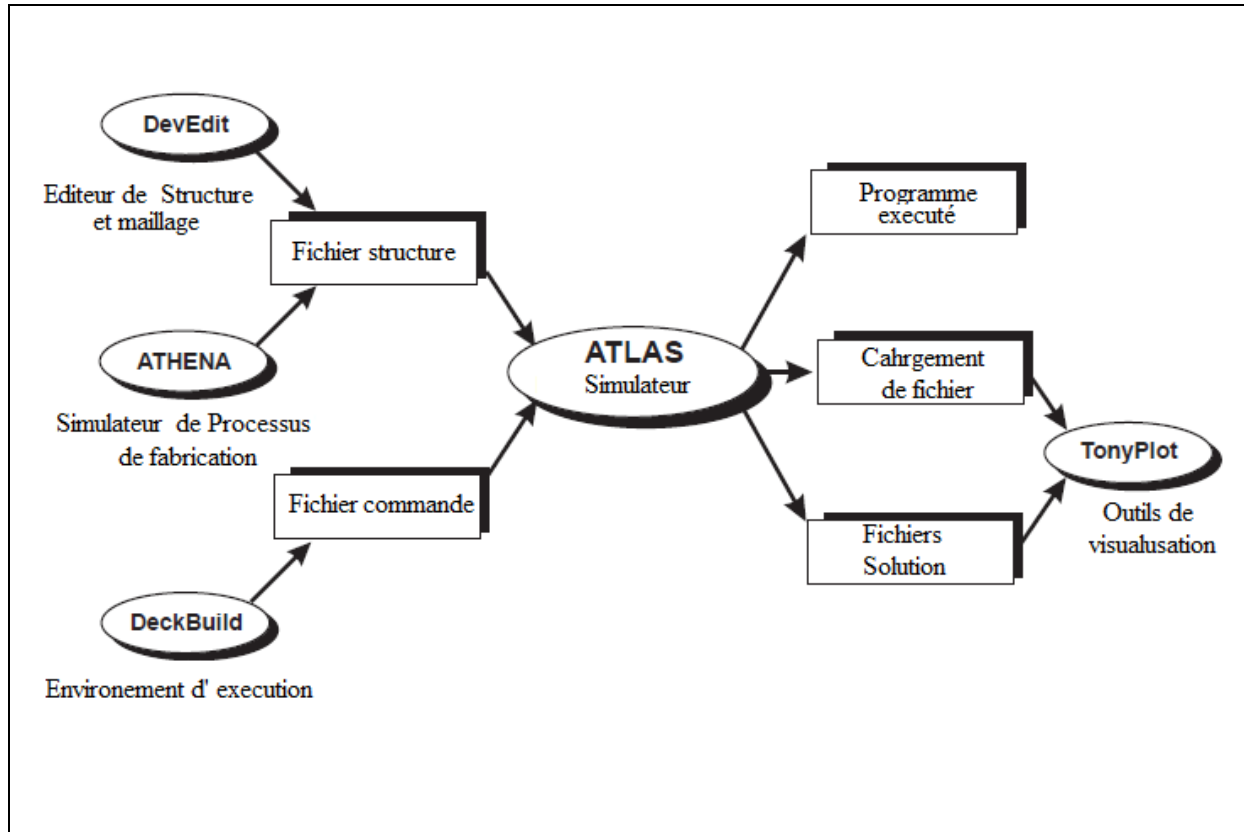


Figure (III.2) : Schéma synoptique des modules utilisés dans la simulation par TCAD-SILVACO

III.2.2.3- DECKBUILD

DECKBUILD est l'environnement où est défini le programme de simulation à travers des commandes spécifiques. De multiples simulateurs considérés comme des entrées peuvent être utilisés avec le DECKBUILD : ATHENA, ATLAS, SSUPREM3, etc. L'affichage des résultats de simulation tels que les paramètres technologiques (profondeur de jonction, concentration des porteurs) et même les paramètres électriques (tension de seuil, courant, etc.) est effectué à l'aide d'une fenêtre d'information (Output window).

III.2.2.4 - TONYPLOT

TONYPLOT est l'environnement où sont visualisés les résultats des simulations. Il donne des possibilités complètes pour la visualisation et l'analyse

des caractéristiques de sortie (structure du composant électronique, profil de dopage, et caractéristiques électriques). Selon le programme de simulation, TONYPLOT peut donner des caractéristiques de sortie en une dimension (1D), deux dimensions (2D), et même trois dimensions (3D).

Dans ce mémoire, nous présenterons les résultats de la simulation en deux dimensions.

La figure qui suit illustre les résultats de simulation obtenus en 2D d'une oxydation par le biais du simulateur ATHENA.

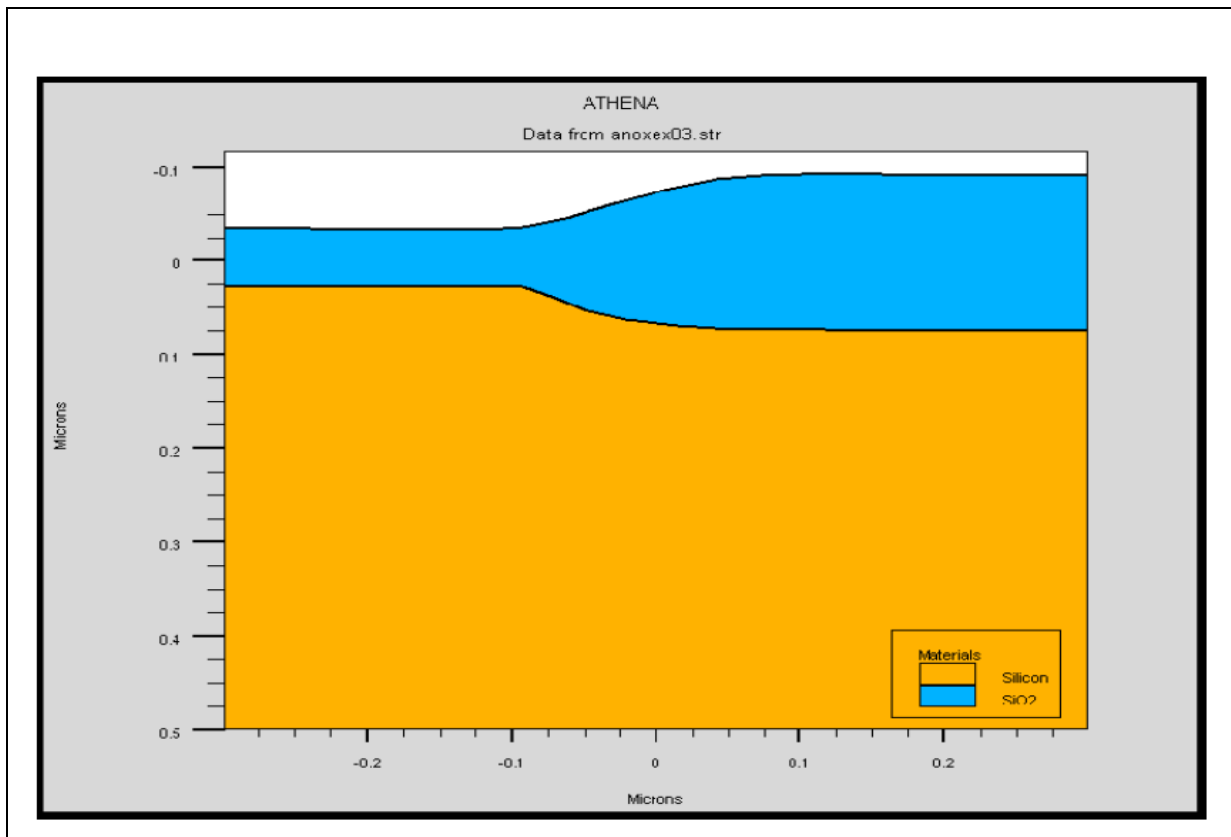


Figure (III.3) : Exemple de simulation en 2D de l'étape d'oxydation sous ATHENA.

III. 2.2.5 - Le logiciel ATLAS

Le logiciel de simulation ATLAS est un simulateur de modélisation Bidimensionnelle de composants capable de prédire les caractéristiques électriques de la plupart des composants semi-conducteurs en régime continu, transitoire ou fréquentiel. En plus du comportement électrique "externe", il fournit des informations sur la distribution interne de variables telles que les lignes de courant, le champ électrique ou le potentiel. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous (à deux dimensions) en un nombre fini de points

formant le maillage de la structure défini par l'utilisateur ou par le programme. Ce simulateur est composé de deux parties :

- une partie traitement numérique (méthode d'intégration, de discrétisation...),
- une partie formée des modèles physiques des composants semi-conducteurs les plus courants : modèles de recombinaison (Shockley Read Hall), d'ionisation par impact (Pearson et Monte Carlo), ainsi que les modèles de mobilité, et les statistiques de Fermi-Dirac et Boltzmann.

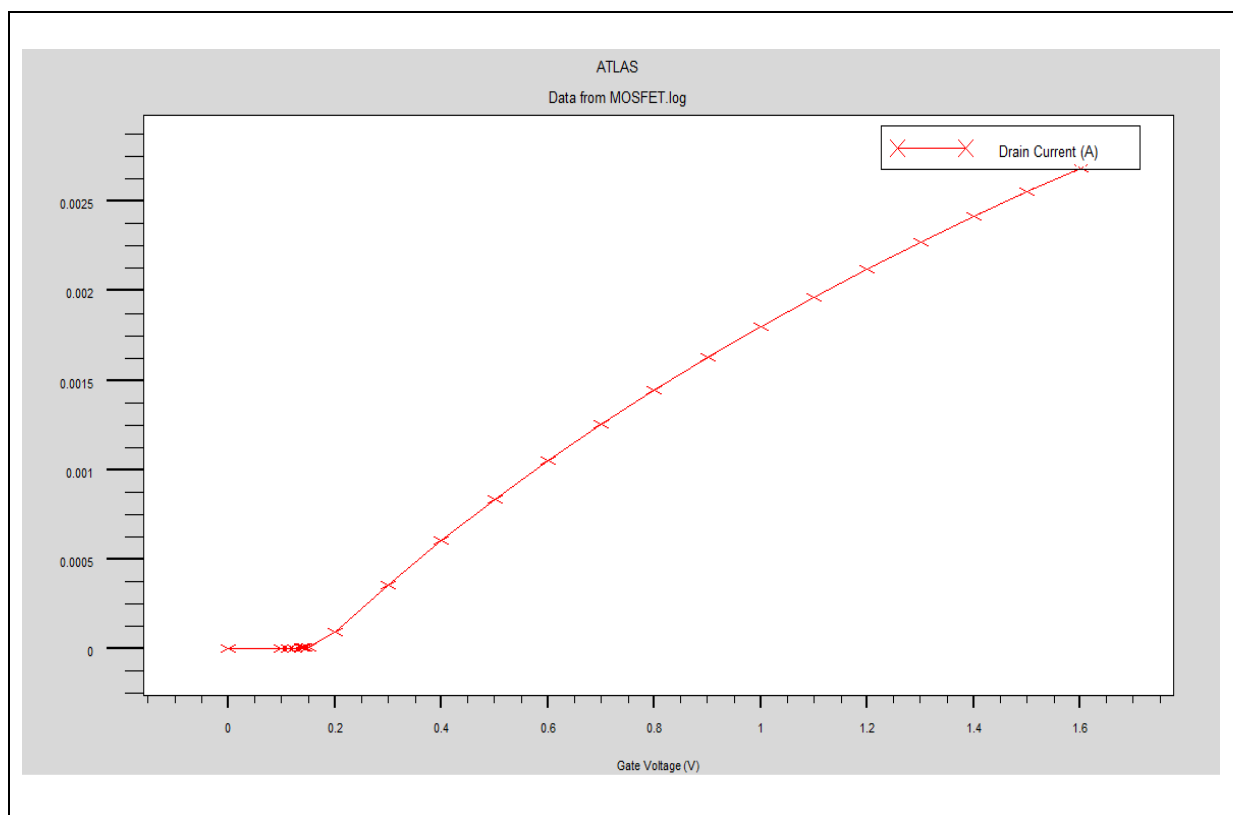


Figure (III.4) : Exemple de simulation par ATLAS : caractéristique de courant de drain dans un MOSFET.

III.2.3- Nécessité de simulations réalisées par le biais des simulateurs de dispositifs et de processus

Les principaux avantages des simulateurs de composants sont tout d'abord la possibilité offerte de visualisation de phénomènes physiques difficilement accessible et donc observable. Ensuite, ils permettent de s'approprier de manière pédagogique les procédés de fabrication. En effet, l'évolution du profil d'une structure peut être observée durant la simulation du procédé de fabrication. Cette fonctionnalité permet une bonne illustration pour l'apprentissage de conception

physique des circuits intégrés. De plus, l'outil TCAD fait acquérir des compétences sur la fabrication des circuits intégrés sans la nécessité d'avoir à disposition une salle blanche disposant de tous les équipements. Ainsi, avec la TCAD, le manipulateur peut expérimenter et explorer l'effet d'une modification d'un paramètre technologique sur une structure sans coût d'équipement et de consommable. Pour finir, comme un nombre croissant de sociétés s'affranchit de la production pour se concentrer sur la conception, la simulation de composants devient incontournable; d'où la demande croissante de concepteurs ayant une connaissance approfondie en TCAD.

III.3 - Conception D'une Structure Sous environnement SILVACO

La conception d'une structure MOSFET sous environnement SILVACO nécessite le respect de l'ordre des étapes de programmation afin d'obtenir un programme SILVACO et ainsi une analyse satisfaisante, cet ordre comporte cinq étapes devant être exécutés dans l'ordre. Le tableau suivant résume les étapes nécessaires lors de la programmation.

GROUPE	PARAMETRE	COMMANDE
Spécification de la structure	-Définition du maillage	MECH
	-Définition des régions	REGION
	-Définition des électrodes	ELECTRODE
	-Définition du dopage	DOPING
Spécification du model et matériaux	-Définition du matériau	MATERIAL
	-Définition du model	MODELS
	-Définition des contacts	CONTACT
	-Définition des interfaces	INTERFACE
Sélection de la méthode numérique	-sélection de la méthode	METHOD
Spécification de la solution	-solution LOG	LOG
	-solution SOLVE	SOLVE
	-solution LOAD	LOAD
	-solution SAVE	SAVE
Analyse des résultats	-Extraction des caractéristiques	EXTRACT
	-Tracer les courbes	TONYPLOT

Un fichier ATLAS est programme en cascade donc il est indispensable de respecter l'ordre et la précision des commandes. Dans le cas d'une erreur d'ordre, de syntaxe, un message « error » surviendra lors de l'exécution du programme.

III.3.1 -Définition de La Structure

III.3.1.1 -Définition du Maillage

Dans un programme ATLAS la première des chose qu'on doit définir est le maillage de la structure « MESH » est la commande qui suit directement la commande de lancement du Simulateur ATLAS « go Atlas », elle définit le maillage au niveau des différentes zones de la structure.

La partie maillage est une série de définition de lignes horizontales puis verticales ainsi l'espacement entre elles, cet espacement doit être choisi en fonction des dimensions des partie de la structure les zone isolante en SiO₂ dans la structure sont les zones les plus raffinées par rapport aux zones de source et drain par exemple tandis que la partie substrat peut être définie avec un faible maillage (moins raffiné) car le cas des MOSFET qui sont des composants ou la conduction est surfacique il n'est pas très judicieux de raffiner le maillage au niveau du substrat qui est considéré en fait comme un support mécanique.

La figure suivante montre le maillage sur une partie d'une structure simulé sous SILVACO.

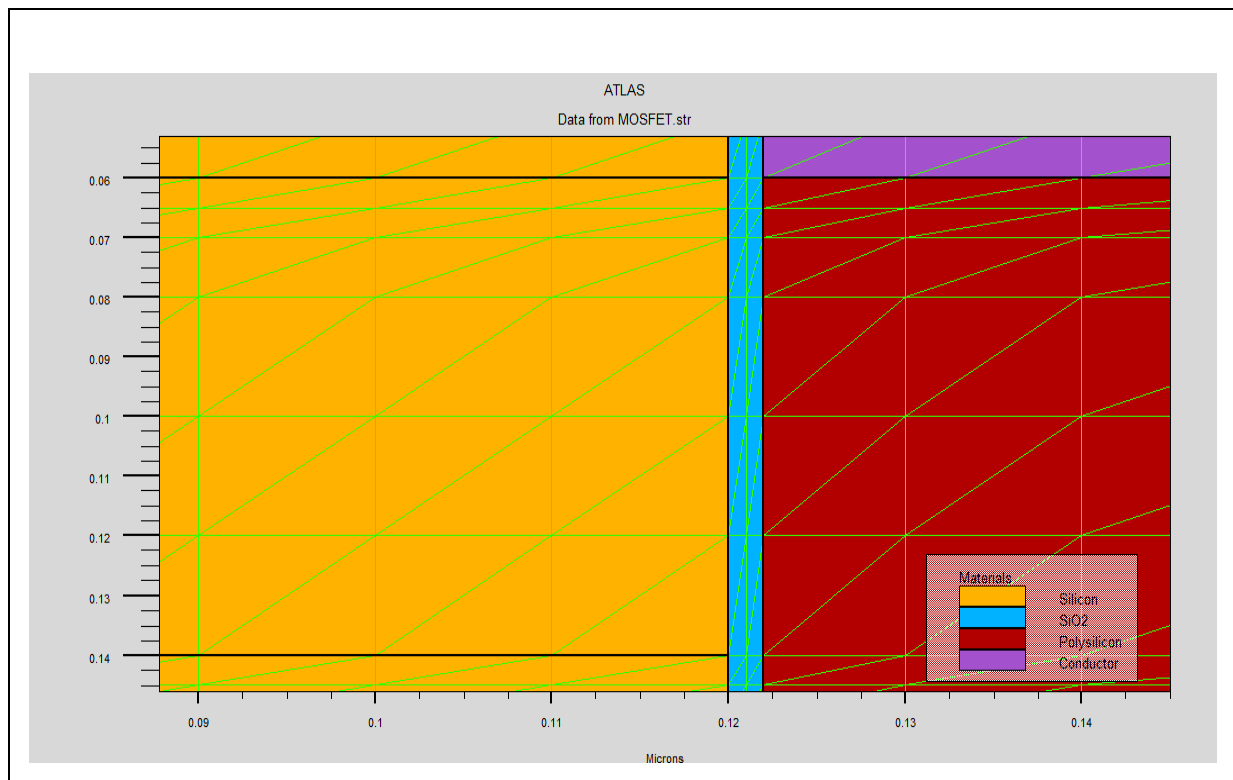


Figure (III.5) : illustration du maillage sur la région SiO₂.

La syntaxe « Meshspace.mult » peut être utilisé pour accélérer l'exécution du programme ainsi augmenter la précision de la simulation qui dépend aussi des valeurs des paramètres. Pour introduire des valeurs supérieures à 1 une autre commande peut être utilisée « x.mesh ou y.mesh » ces deux commandes doivent être listées dans un ordre croissant sur l'axe des abscis x et l'axe des ordonnées y, les valeurs sont prédéfinies en micromètre (um) et les valeurs négatives sont aussi acceptées.

Exemple

x.meshloc=0.10 spac=0.001

x.meshloc=0.16 spac=0.005

La partie de programme « x.meshloc=0.10 spac=0.001 » signifie que à partir du point 0.1 um au point 0.16 um l'espacement est de l'ordre de 0.001 de petits ordres sont recommandés pour les régions fines au-delà de ces régions l'ordre de la maille peut être d'une valeur supérieur.

x.meshloc=0.097 spac=0.0005 (espacement de 0.0005).

x.meshloc=0.10 spac=0.001(espacement de 0.001).

Le nombre de point sur une maille dans le simulateur Atlas est limité, pour une simulation 2D le nombre est limité à 9600 points au-delà de cette valeur le programme est non exécutable.

Le raffinement se fait dans des régions horizontales ou verticales , et le processus peut dépasser la zone considérée, Dans ce cas et pour plus de performance, on peut éliminer les petites mailles incluses dans les endroits qui ne les nécessitent pas, ceci peut être accompli à l'aide de l'instruction suivante :

ELIMINATE COLUMNS X.MIN=0 X.MAX=4 Y.MIN=0.0 Y.MAX=3

Cette instruction supprime le maillage dans le rectangle (x=0, x=4, y=0, y=3)

III. 3.1.2 -Définition des régions

Après la définition du maillage la structure du composant doit être définie en forme de plusieurs régions élémentaire distinctes construites à l'aide des équations droites horizontales et verticales. La commande est-elle même une l'équation de droite (x= cons) ou (y= cons). L'instruction nécessaire est comme suit :

regionnumber=(numero de la region) x.min=constx.max= consty.min= consty.max= const

min, max désigne respectivement la droite inferieur et la droite supérieur.

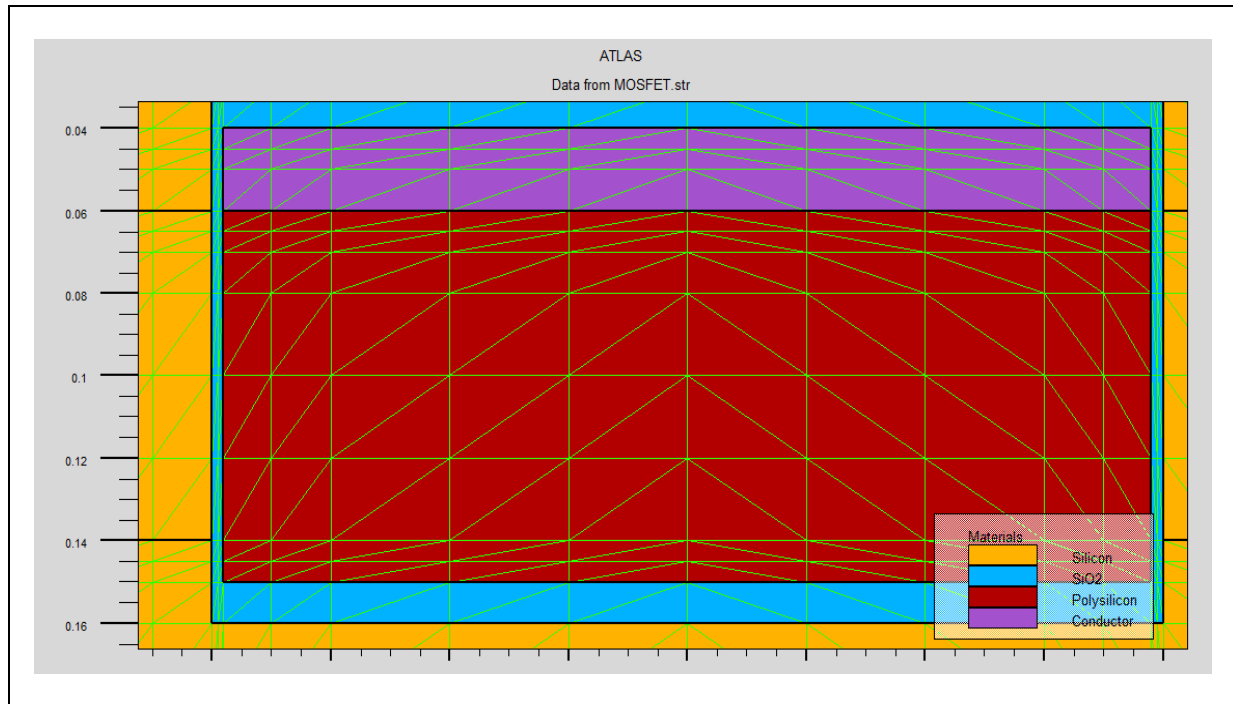
Les régions doivent être numérotées du 1 jusqu'au maximum nombre de régions existantes sur la structure. Sur le simulateur Atlas il est possible de représenter jusqu'à 55 régions différentes.

Exemple

region number=4 x.min=0.0 x.max=0.0975 y.min=0.225 y.max=0.275 material= poly

Les paramètres x.min, x.max définissent les lignes verticales, les paramètres y.min, y.max définissent les lignes Horizontales ce ci définit une région d'aire rectangulaire . La commande « material= » désigne la nature

du matériau utilisé (le poly silicium dans notre exemple). La figure suivante montre la simulation d'une telle région :



Il est très important de définir les régions tel que les limites de chaque région doivent être correctes et n'aient pas la même valeur afin d'éviter les chevauchement des régions, dans le cas échéant la partie commune entre les deux régions portera un matériau de même type que la nouvelle région. Il faut s'assurer aussi que toute partie incluse dans la structure doit être définie par un matériaux sinon le programme est non exécutable.

3.1.3-Définition des électrodes

Les électrodes sont définis de manière qu'ils soient en contact avec les régions semi-conductrices pour cela la commande nécessaire est « ELECTRODE », sous l'environnement SILVACO il est possible d'introduire jusqu'à 50 électrodes sur le même programme. Généralement la forme de l'électrode est aussi rectangulaire et limité par les paramètres x.min, x.max, y.min, y.max.

III.1.4 - Définition de dopage

Dans cette étape on doit préciser le dopage dans les régions semi-conductrices on utilise pour cela la commande « doping » le profil du

dopage peut être uniforme sur toute la région considérée comme il peut être Gaussien. Dans notre travail la concentration en porteurs de charge sur les régions est considéré uniforme.

L'instruction qui spécifie le dopage est la suivante :

Doping Uniform conc=1e20 n.type direction=y region=1

Doping Uniform conc=1e20 n.type direction=y region=2

Les deux instructions signifient que les régions 1 et 2 sont uniformément dopée de type n a une concentration de $1e20 /cm^3$.

III.3.2 - Spécification du model et matériaux

III.3.2.1 - Définition des matériaux

Dans un programme SILVACO il est obligatoire de spécifier le matériau utilisé pour chaque région de la structure. Cette étape doit être faite au même temps que l'étape de définition des régions ceci est faisable en utilisant la commande « material= (Si, Ge, SiO₂, Polysilicium) » ajoutée à la fin de l'instruction de définition de la région.

3.2.2 - Définition du model

Le simulateur Atlas utilise cinq modèles différents ; le Model YAMAGUTCHI, le Model WATT, Le Model TASCH, SHIRAHATA, et le Model CVT. Pour obtenir un résultat plus Précis lors d'une simulation MOSFET, il est très important de prendre en considération les effets associés à l'inversion des couches de population ainsi la mobilité des porteurs qui dépend de champ électrique le dopage et la température. Parmi les cinq modèles le model CVT est le plus adéquat pour simuler une structure MOSFET verticale du fait que le champ électrique a deux composantes parallèle et perpendiculaire par rapport au plan de l'interface Si/SiO₂. Ce modèle est défini à l'aide de l'instruction :

Model cvtsrhprint

L'instruction **cvtsrhprint** définit le modèle, et sert à l'exécution temporelle du programme. La commande « print » permet à l'utilisateur de vérifier le modèle et les paramètres utilisés durant la simulation.

La mobilité des électrons est prédéfinie dans le modèle CVT par une relation connue par la règle de **Mathiessen** qui combine trois composantes de mobilité ; μ_{AC} , μ_{sr} et μ_b

μ_{AC} est la mobilité limitée par la surface des phonons acoustiques. Elle est donnée par l'expression suivante :

$$\mu_{AC} = \left[\frac{BT}{E_{\perp}} + \frac{CN^{\tau}}{E_{\perp}^{1/3}} \right] T^{-1} \dots\dots\dots eq(III.9)$$

μ_{sr} est la mobilité limitée par la surface elle est donnée par :

$$\mu_{sr} = \frac{\delta}{E_{\perp}^2} \dots\dots\dots eq(III.10)$$

μ_b est troisième composante de mobilité qui est limitée par le domaine des phonons optiques. Elle est donnée par la relation suivante :

$$\mu_b = \mu_0 \exp\left(\frac{-P_c}{N}\right) + \frac{\left[\mu_{max} \left(\frac{T}{300}\right)^{-\gamma} - \mu_0 \right]}{1 + \left(\frac{N}{C_r}\right)^{\alpha}} - \frac{\mu_1}{1 + \left(\frac{C_s}{N}\right)^{\beta}} \dots\dots\dots eq(III.11).$$

La composante totale de la mobilité est donnée par la règle de Mathiessen suivante :

$$\mu_T^{-1} = \mu_{AC}^{-1} + \mu_b^{-1} + \mu_{sr}^{-1} \dots\dots\dots eq(III.12).$$

Cette règle peut être donnée en fonction de la composante parallèle de champ électrique E_{||}

$$\mu = \frac{\mu_T}{\left(1 + \left[\frac{(\mu_T) E_{||}}{V_{sat} \left(\frac{T}{300} \right)^\lambda} \right]^\beta \right)^{1/\beta}} \dots\dots\dots eq(III.13).$$

Ou :

- T est la température.
- E[⊥] est le champ électrique perpendiculaire.
- E_{||} est le champ électrique Horizontal.
- N est la concentration totale en impuretés.

Le reste des paramètres on peut les retrouver avec plus d'explication dans le manuel d'utilisateur Atlas a partir la page (3.23).

3.2.3 - Définition des contacts et des interfaces

a- Les contacts

La commande CONTACT spécifie le travail de sortie du métal utilisé comme contact pour les électrodes de la structure. Pour des processus de fabrication plus facile le métal est remplacé actuellement par un poly silicium.

Exemple

Contact name= grille n.poly

Cette instruction définit un contact pour la grille à base de polysilicium de type n.

b- l'interface

Dans la simulation Atlas la concentration des charges sur l'interface Si/SiO₂ est prise en considération. Cette concentration est définie par le paramètre q_f , une valeur de $3e10 / \text{cm}^2$ est représentative pour les interface Si/SiO₂ dans le simulateur Atlas. L'instruction de définition est la suivante :

$$\text{interface}q_f= 3e10$$

3.2.4 - définition de la méthode d'itération

Le Simulateur Atlas peut utiliser plusieurs méthodes numérique pour calculer les solution des équations pendant l'exécution du programme. Pour les différents modèles qui existent il y a trois types de méthodes de résolutions techniques :

- La Méthode de GUMMEL
- La Méthode de NEWTON
- La Méthode BLOCK

Pour la méthode de GUMMEL, elle est utilisée pour la résolution des équations a une seule inconnue et des variables fixées constantes, la résolution se faite d'une manière itérative jusqu'à la solution est achevée. La deuxième méthode de NEWTON est la méthode la plus répandu dans les programme Atlas, elle est utilisée pour résoudre des systèmes d'équations à plusieurs inconnues. La troisième méthode est une combinaison des deux méthodes, elle est utiles pour les systèmes d'équation mixtes. L'instruction suivante définit la méthode Newton pour le calcul.

```
method newton itlimit=20 trap atrap=0.5 maxtrap=3 autonrnrcriterion=0.1 \
tol.time=0.005 dt.min=1e-25
```

- la commande **itlimit** fixe le nombre d'itérations.
- **atrap** indique le facteur de réduction pour une itération.
- **maxtrap** est le total des pas de calcul.
- **Nrcriterium** est le minimum du rapport de Jacobien réutilisé.
- **tol.time** est le temps maximal pour une itération.
- **dt.min** est le temps minimal pour un pas.

Pour obtenir des résultats plus performants on peut introduire un nombre important d'itération, de nombre de pas et une petite valeur de dt.min.

III.3.2.5 - Définition des Solutions

Cette Commande sert à calculer les caractéristiques du composant durant l'exécution du programme elle fonctionne une fois ; une ou plusieurs électrodes sur lesquelles est appliqué une tension. Les différentes instructions incluses dans cette partie sont :

1- *Solve init*

Cette solution est nécessaire quand aucune solution n'existe au préalable dans le programme. La première estimation pour un potentiel et une concentration en porteurs définis ; dépend du dopage.

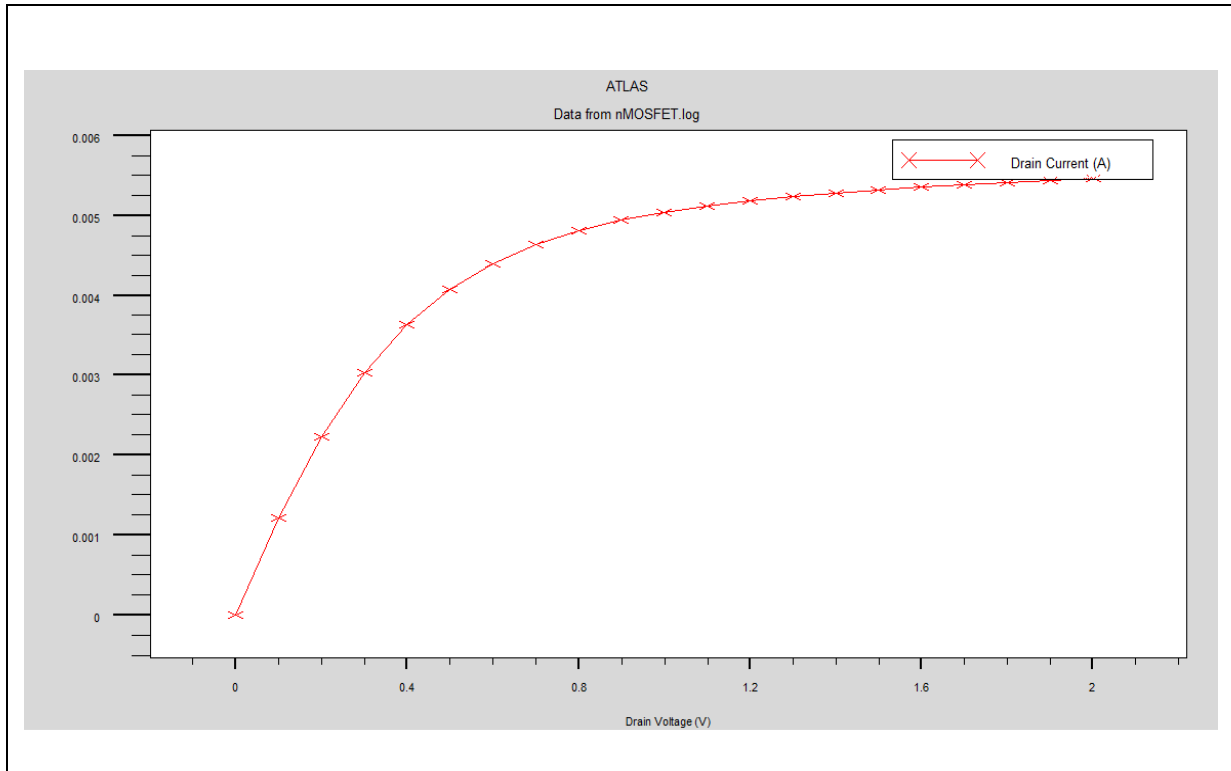
Dans la mesure d'avoir une bonne résolution il est recommandé d'éliminer la concentration en porteur et résoudre avec des tensions appliquées sur les électrodes.

III.3.2.6 - Tracé des courbes

Après une analyse DC et pour sauvegarder et tracer les caractéristiques obtenus , deux commandes sont utilisés respectivement :

Log : c'est une commande qui doit être insérée avant l'instruction de balayage des valeurs de potentiel appliqué sur l'électrode afin de sauver et charger les résultats obtenus dans un fichier de sortie « out file » qu'on a le soin de le renommer à travers cette commande.

Tonyplot : cette commande assure le tracé des courbes on exportant les valeurs chargées dans fichier « Outfile ». Cette instruction doit être insérée après le l'instruction de balayage.



Figure(III.7): caractéristique I_D - V_{DS} pour un nMOSFET

III.4 - LA SIMULATION D'UNE STRUCTURE MOSFET VERTICALE SOUS ENVIRONNEMENT ATLAS -SILVACO

III.4.1 – Structure simulée

Avant de présenter notre dispositif on rappelle que les transistors MOSFET vertical ont été longtemps considérés comme une bonne alternative permettant de concevoir des transistors à canaux courts. Dans ce type de dispositif , le canal est perpendiculaire à la surface du wafer contrairement à une structure planaire ou le canal lui est parallèle. Il existe plusieurs configurations possibles pour les transistors MOSFET à conduction verticale. En ce qui nous concerne, nous avons élaboré la structure MOSFET verticale que nous présentons dans ce qui suit.

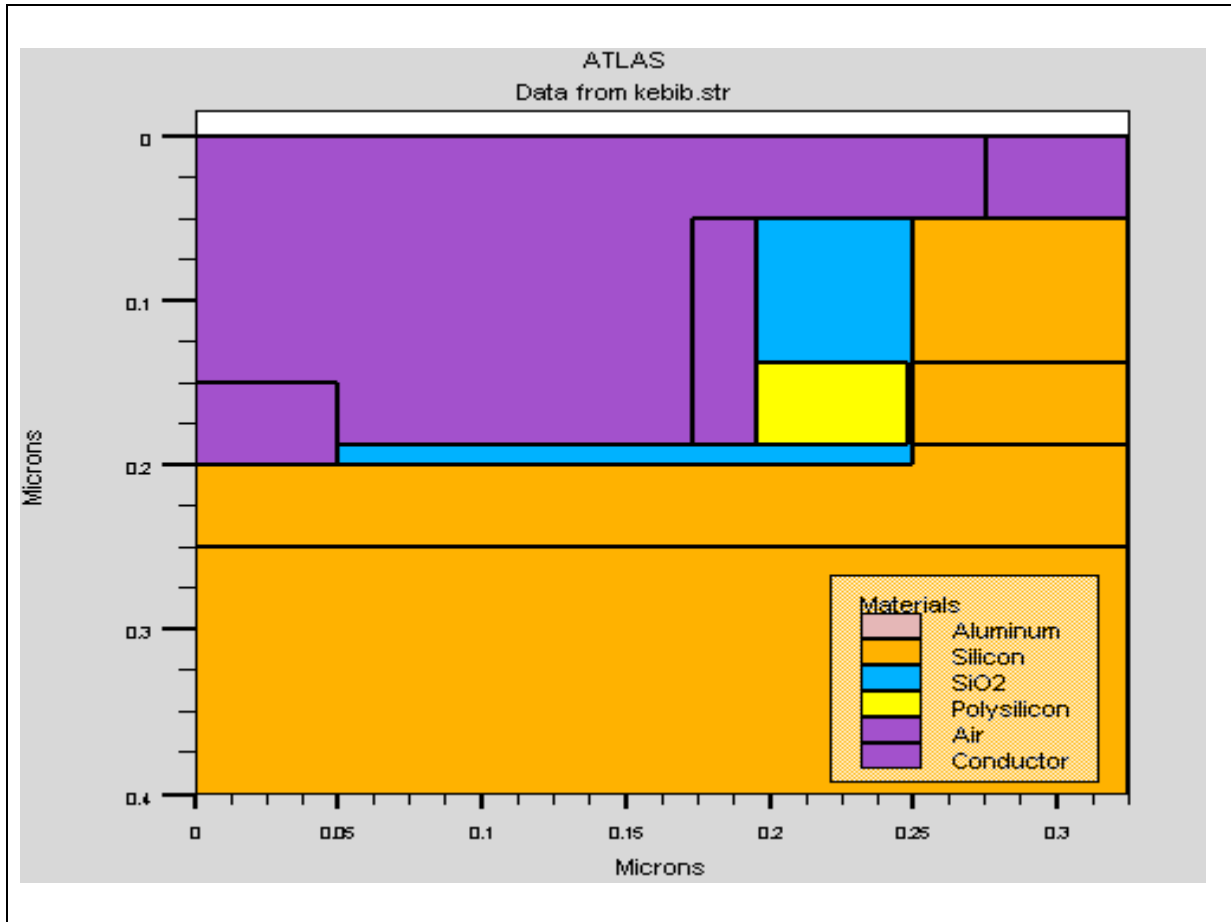


Figure (III.8) : Structure VMOSFET Verticale réalisée avec le simulateur Atlas(2D).

Lors de l'élaboration de notre programme atlas, nous avons précisé les différentes régions constituant notre structure, tel que la source, le drain, la grille et les zones d'isolation. Nous avons défini au départ le maillage adéquat pour chacune des zones constituant le transistor et raffiné le maillage au niveau de l'interface Si/SiO₂.

III.3 Choix de paramètres technologiques pour le MOSFET double-grille

<i>Paramètres</i>	<i>Notations</i>	<i>Valeurs simulées</i>
<i>Epaisseur de la couche d'oxyde</i>	t_{ox}	<i>1nm à 3nm</i>
<i>Longueur de la grille</i>	L_g	<i>15nm à 50nm</i>
<i>Dopage du film (type p)</i>	N_A	$N_A=2.10^{17} /cm^3$
<i>Dopage source /drain (type n)</i>	N_D	$N_D=2.10^{19}/cm^3$.

Tableau (III-1): Paramètres technologiques et géométriques du MOSFET vertical définis lors des simulations 2-D

La Figure (III.9) montre la coupe transversale d'une des structures développées au cours des simulations 2-D.

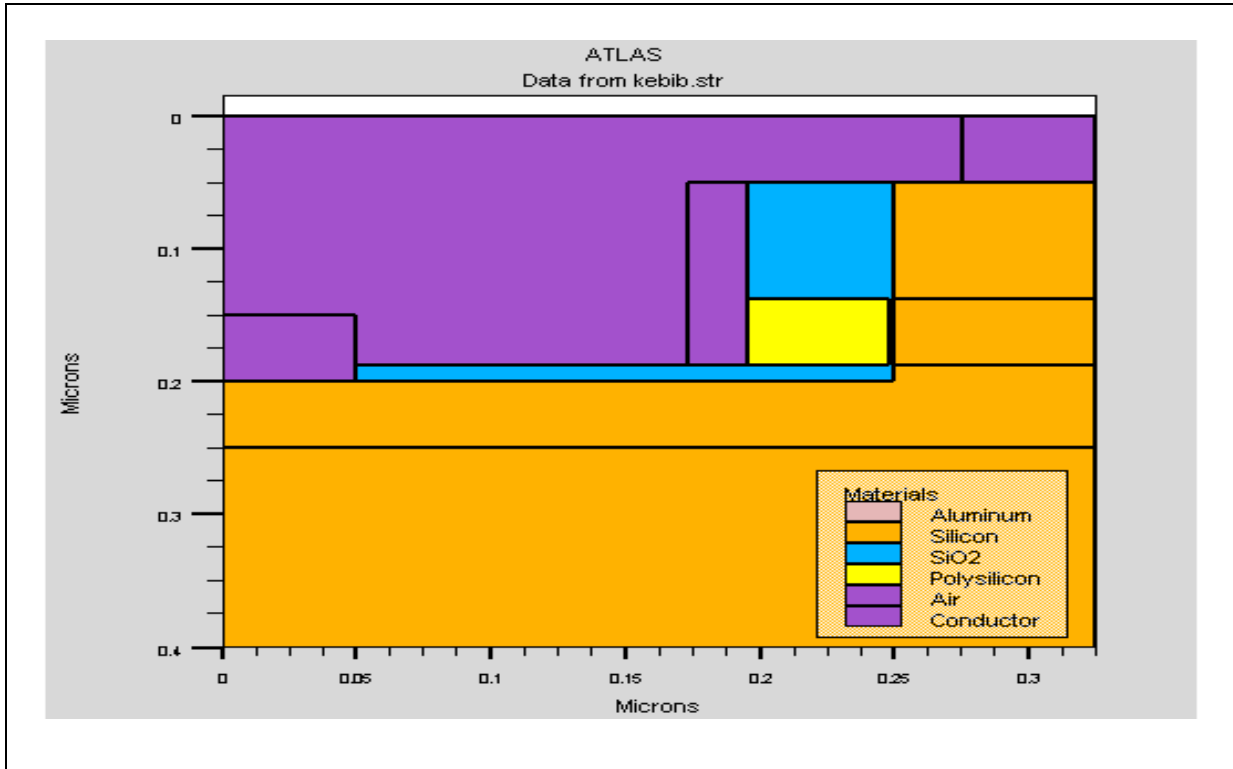


Figure (III.9) : Structure MOSFET Verticale à canal unique réalisée avec le simulateur Atlas(2D).

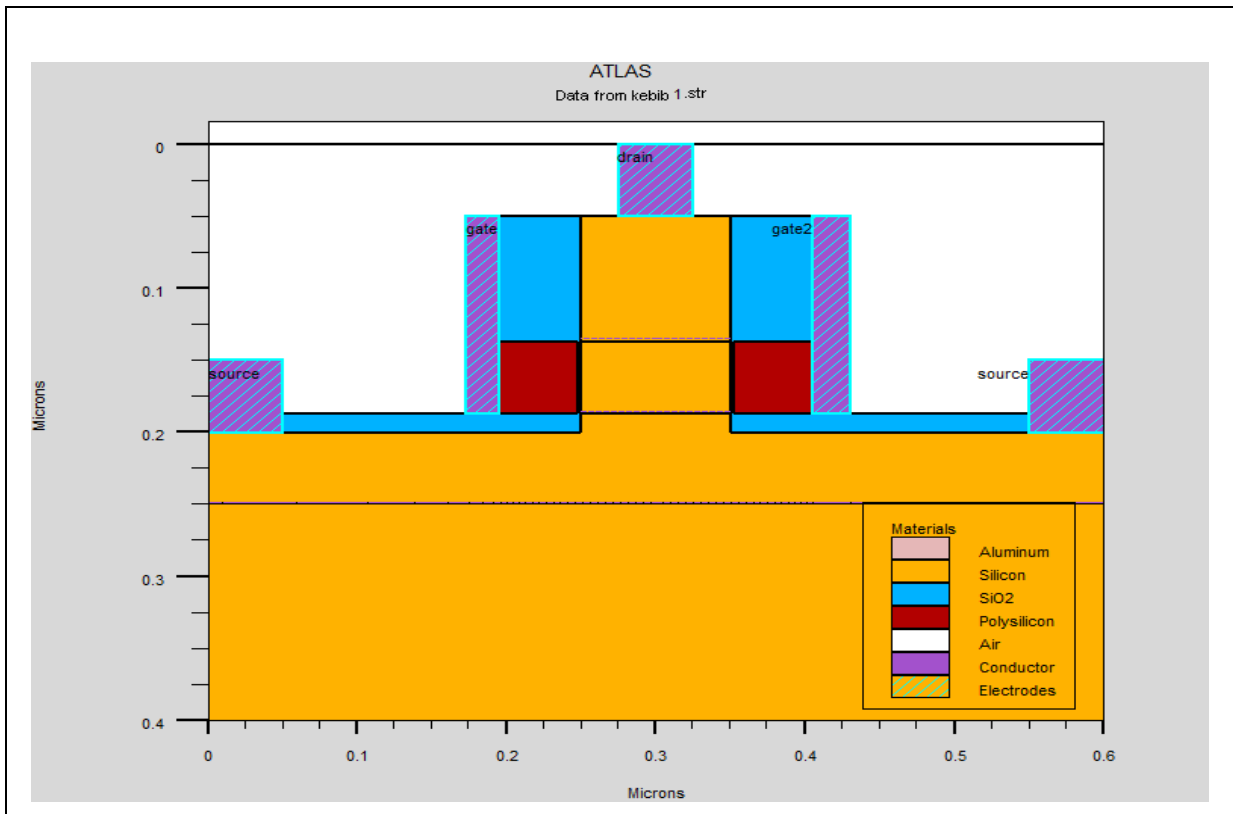


Figure (III.10) : Structure MOSFET Verticale à deux canaux réalisée avec le simulateur Atlas(2D).

Les régions en couleur violette correspondent aux électrodes (i.e. la source, le drain et les deux grilles), les régions en couleur bleu correspondent aux couches d'oxyde et finalement la région en jaune représente le film de silicium.

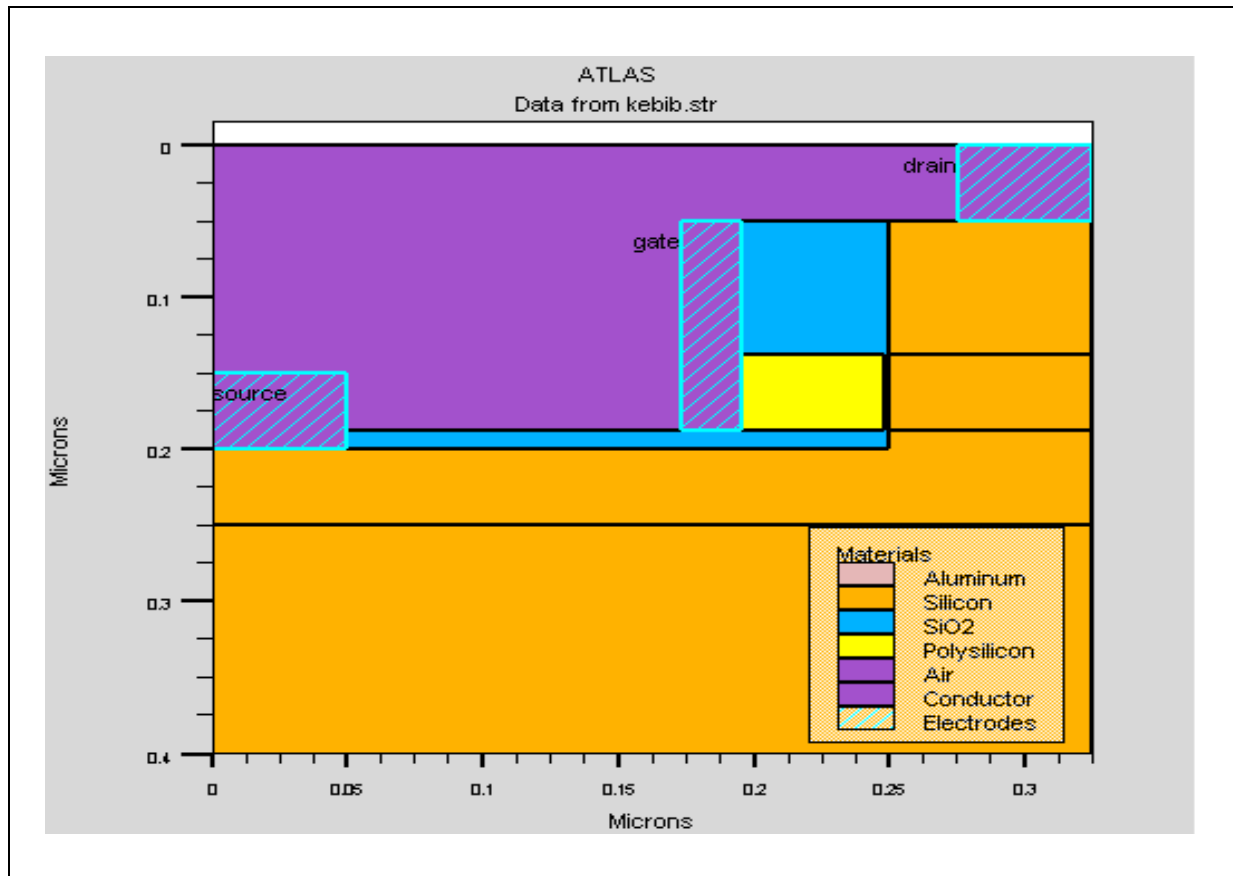


Figure (III.11) : Structure n-MOSFET Verticale a canal unique avec Electrodes.

la concentration en impuretés (ou dopage) pour les différentes régions de la structure est présentée sur la figure (III.12).

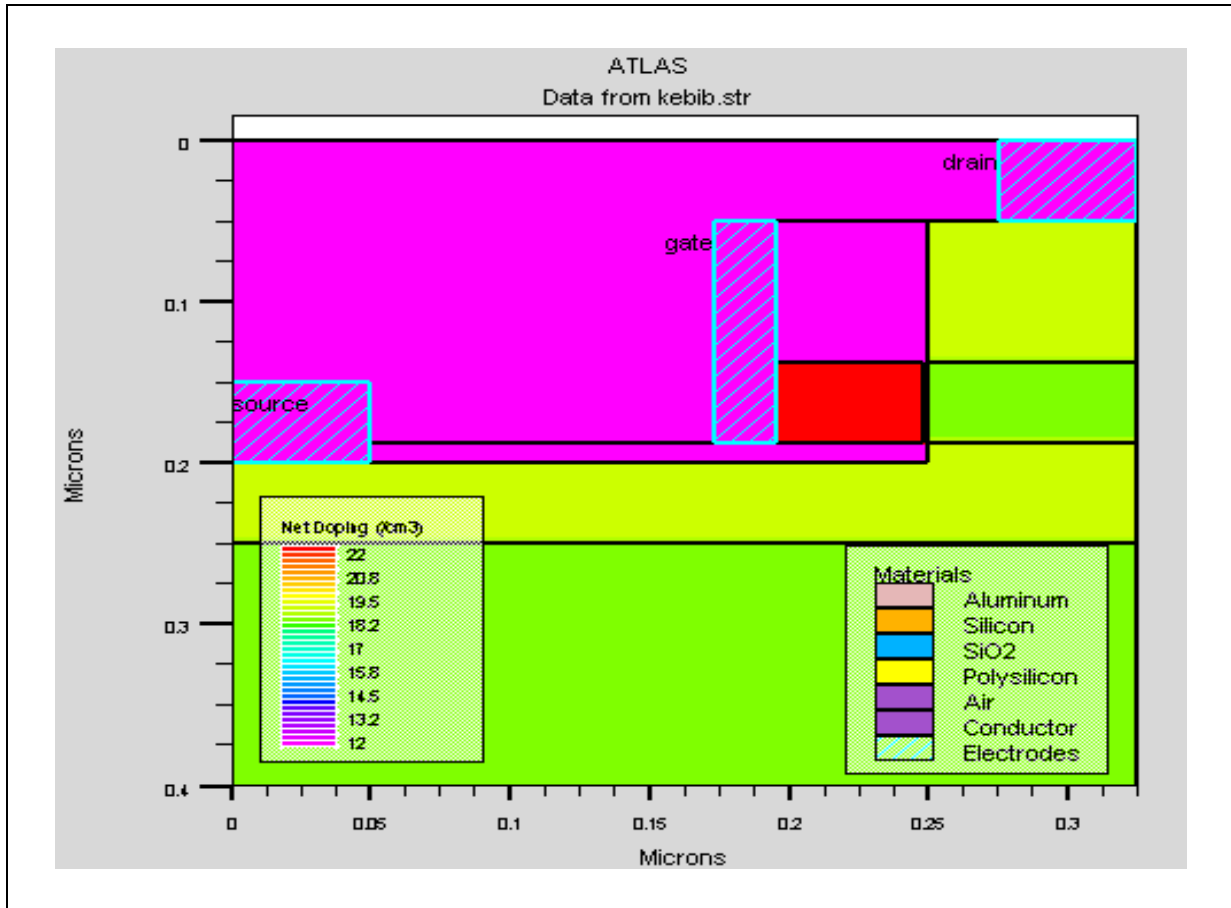


Figure (III.12) : Structure n-MOSFET Verticale à canal unique avec les profils de Dopage.

Ainsi que nous l'avons signalé précédemment la précision est meilleure si le maillage est raffiné dans les zones adéquates. La Figure (III.13) présente le résultat du maillage défini sur le fichier de simulation de notre structure MOSFET verticale. Nous observons bien que le maillage n'est pas uniforme dans toute la structure.

Le maillage que nous avons adopté pour notre simulation est représenté sur la figure qui suit. On remarque bien que ce maillage n'est pas uniforme. Qu'il est par exemple grossier dans le substrat et raffiné aux niveaux des interfaces, et des jonctions.

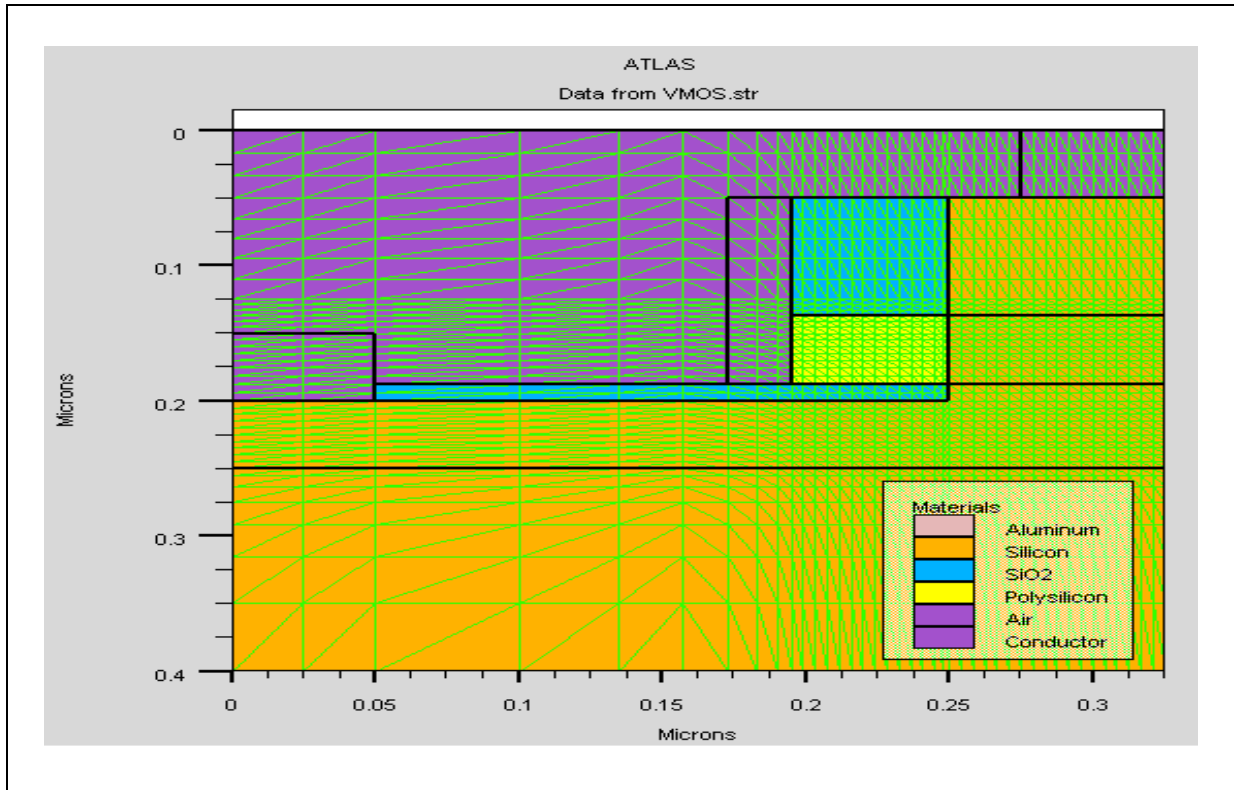
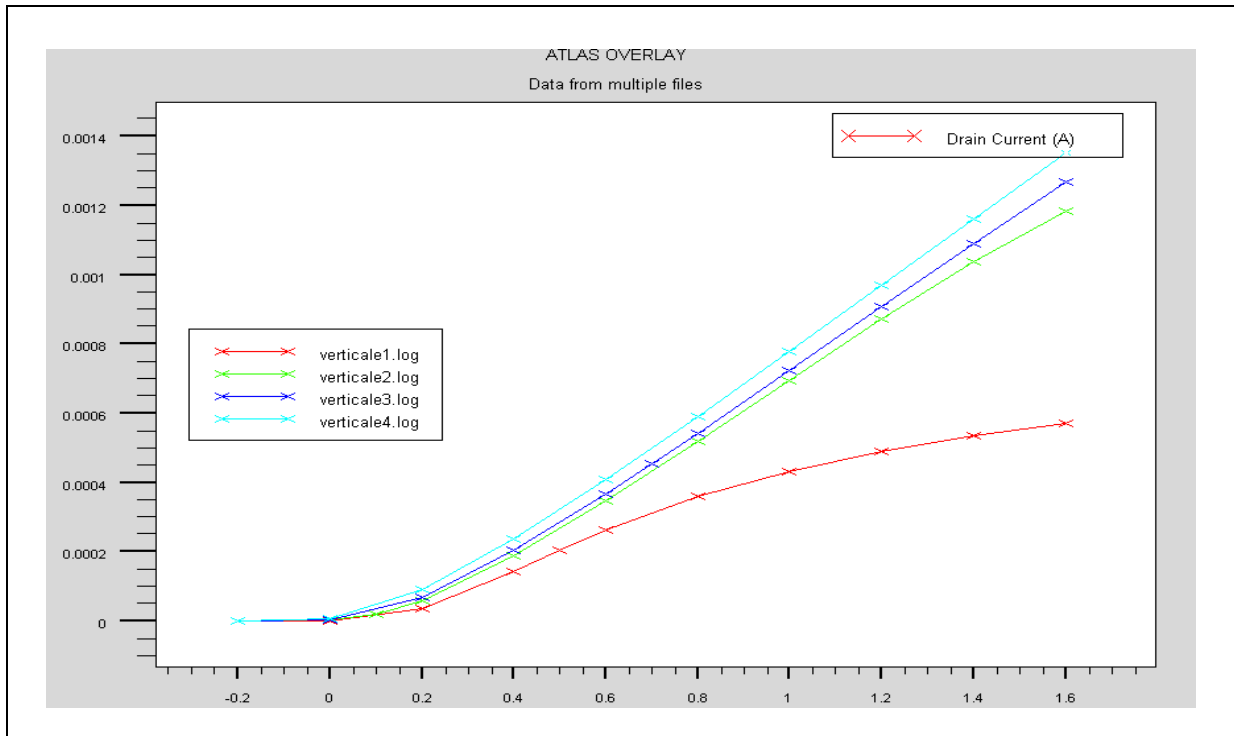


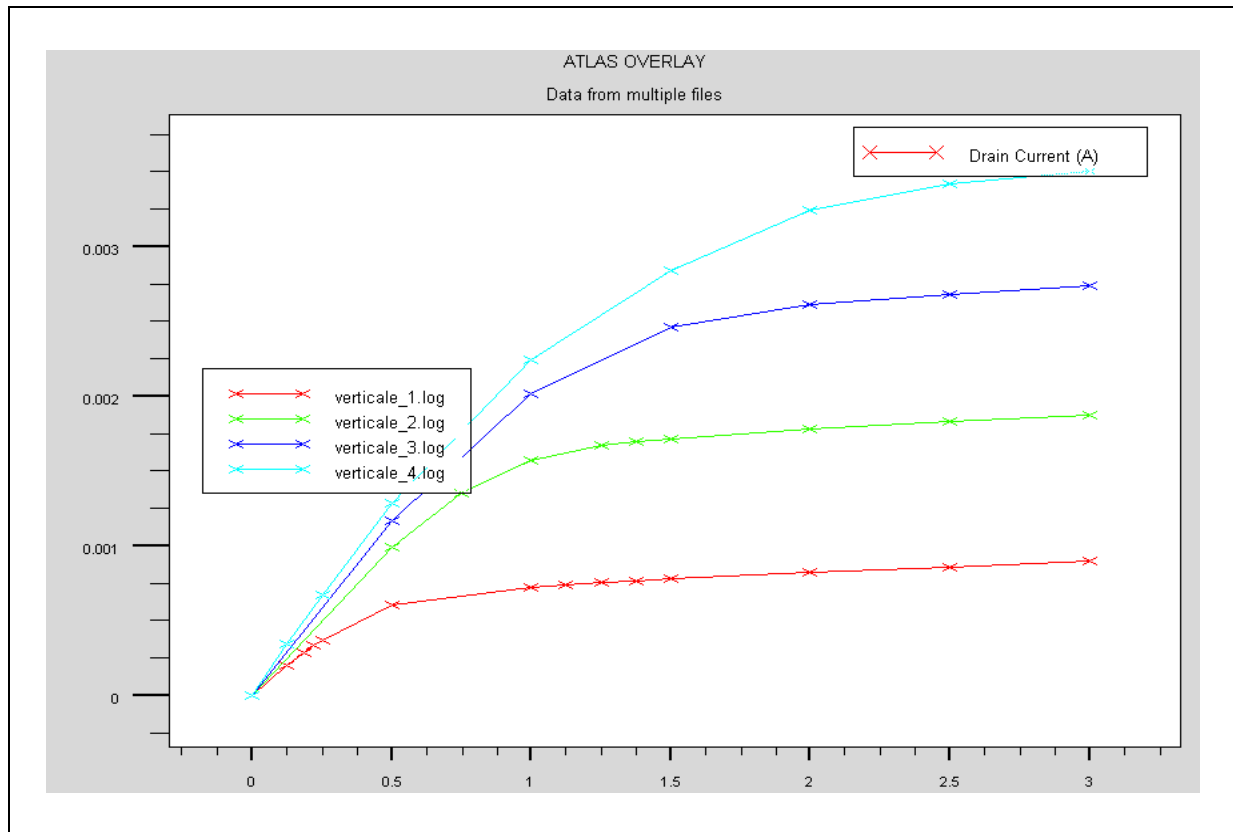
Fig (III.13) :Le Maillage dans la Structure n_MOSFET Verticale.

III.4.3 –Caractéristiques de transfert (I_D-V_{GS}) et de sortie (I_D-V_{DS}) du dispositif simulé

Les caractéristiques de transfert et de sortie de notre dispositif font l’objet des figures qui suivent.



Figure(III.14) Caractéristiques de transfert du MOSFET verticale simulé.



Figure(III.15). Caractéristiques de sortie du MOSFET verticale simulé.

Cette caractéristique de transfert nous permet de déterminer la tension de seuil du transistor qui correspond à la tension de grille à partir de laquelle notre transistor devient passant. Notons que notre transistor est un transistor à enrichissement de canal.

En examinant la caractéristique de sortie nous pouvons aisément identifier les différentes zones de fonctionnement du transistor, à savoir la zone où le transistor est bloqué et qui correspond à la zone où le transistor est polarisé avec une tension inférieure à sa tension de seuil, la zone ohmique et la zone saturé où le transistor se comporte comme une source de courant.

III.5.1 – Effet de la variation des paramètres de notre structure sur son courant de drain

Afin d'examiner les effets de la variation de certains paramètres de notre structure tel que la concentration de la zone du canal N_a , la longueur de la grille L_G , et l'épaisseur de l'oxyde de grille t_{ox} sur son courant de drain, nous avons pu effectuer différentes simulations ou nous avons pu faire varier à chaque fois les grandeurs d'un paramètre en maintenant les autres grandeurs constantes. Nous avons ainsi pu déterminer l'impact et l'effet de la variation du

paramètre que nous avons fait varier sur les caractéristiques électriques du transistor.

Lors de la simulation sous environnement Atlas, les paramètres du silicium sont fixés par défaut, et sont représentés dans le tableau suivant :

paramètre	valeur
Energie de gap (E_g)	1.8 ev
Affinité électronique (χ_{si})	1.0 ev
Densité de porteur dans la bande de conduction (N_C)	$2.8 \cdot 10^{19} / \text{cm}^3$
Densité de porteur dans la bande de valence (N_V)	$1.04 \cdot 10^{19} / \text{cm}^3$
Concentration Intrinsèque (n_i)	$1.15 \cdot 10^{10} / \text{cm}^3$
Le travail de sortie du métal (Φ_m)	4.612 ev
Mobilité des électrons (μ_n)	$1000 \text{ cm}^2/\text{v.s}$
Mobilité des électrons (μ_p)	$500 \text{ cm}^2/\text{v.s}$

Tableau (III-2): parametres physique fix par defauxdans le simulateur.

III.5.2 - Influence de la variation de la longueur de la grille

Lors de cette simulation nous avons varié la longueur de la grille L_g sur la zone active du substrat. Le but de cette manipulation est d'avoir des canaux entièrement ou partiellement couverts par la grille, ces valeurs sont précisées dans le tableau qui suit.

Les caractéristiques de transfert et de sortie permettant d'examiner l'effet de la variation de la longueur de la grille sur le courant du drain et la tension de seuil sont données au niveau des figures qui suivent

L_g	L_{g1}	L_{g2}	L_{g3}	L_{g4}
valeur	20nm	30nm	40nm	50nm

Tableau (III-3): différentes longueurs de grille simulées.

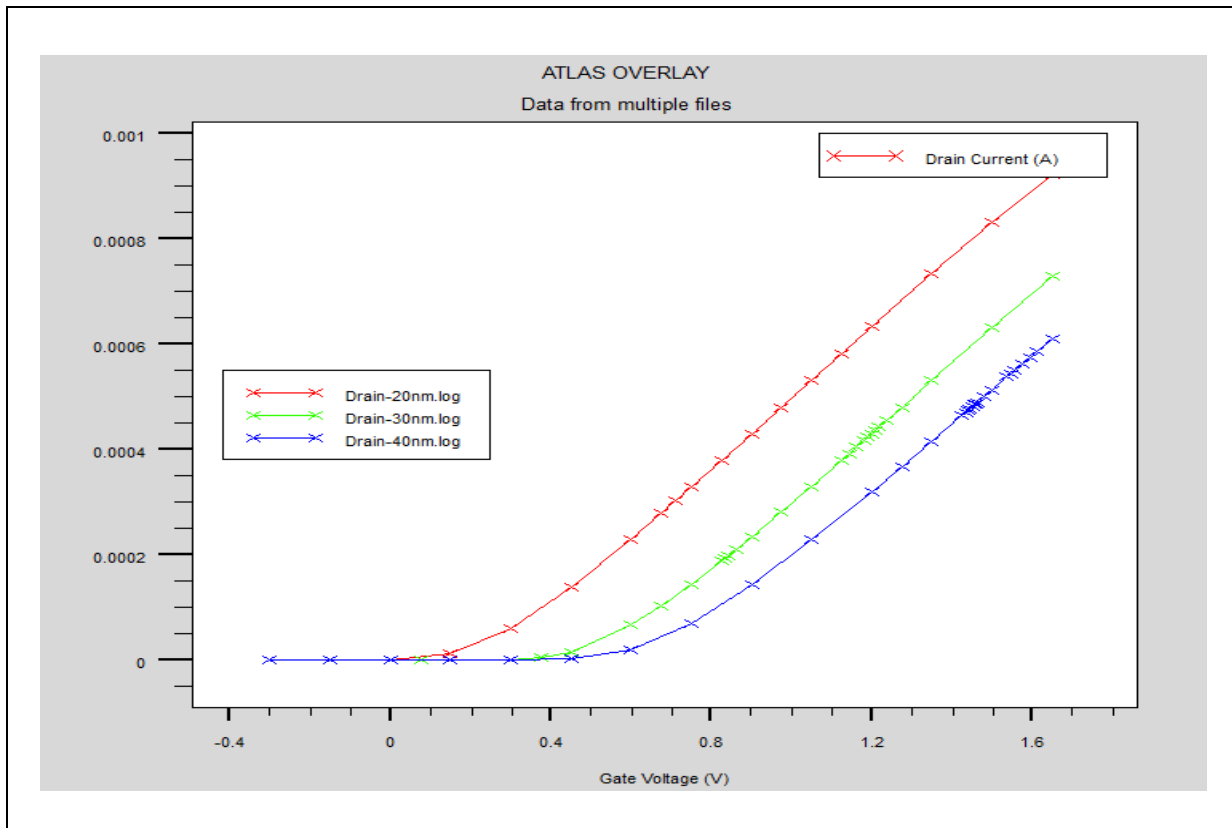


Fig (III.16) : Caractéristiques (I_D - V_{GS}) pour différentes longueurs de grille.

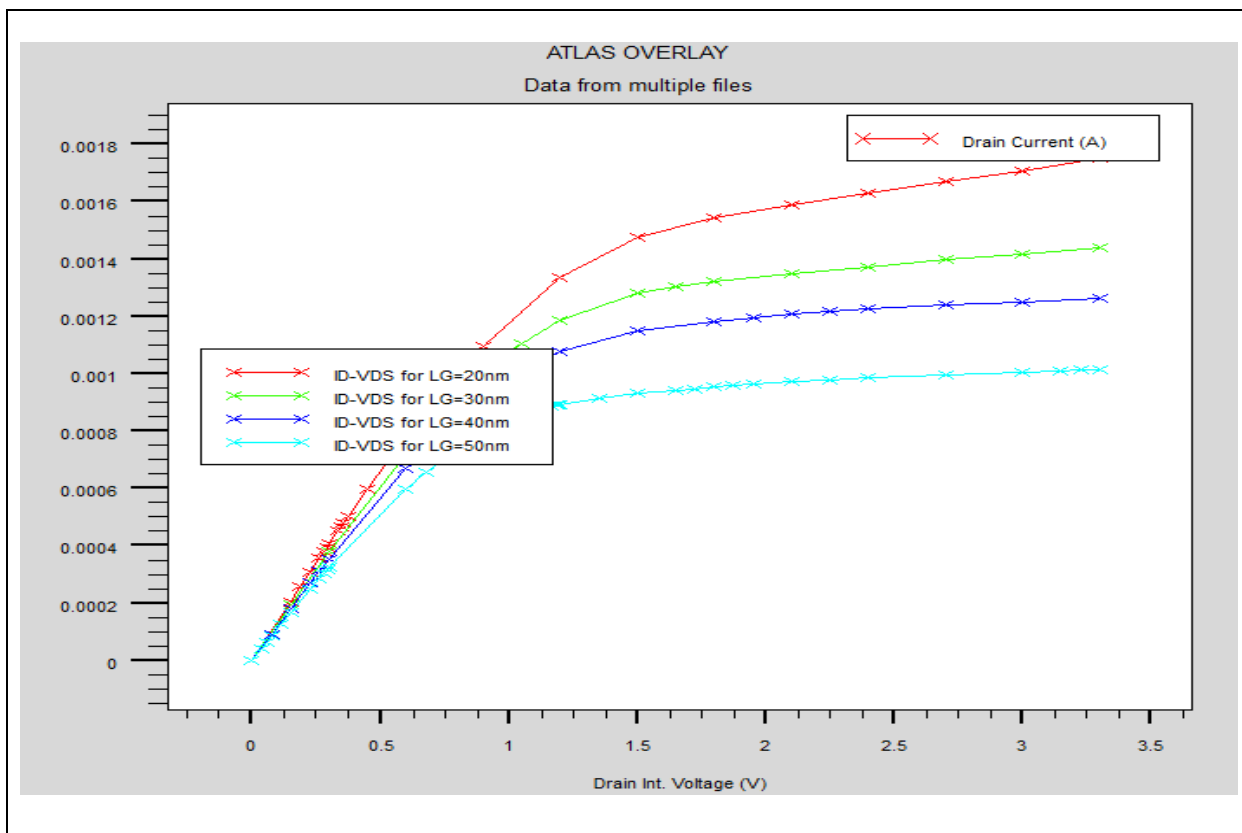


Fig (III.17) : Caractéristiques (I_D - V_{DS}) pour différentes longueurs de grille.

On remarque sur la caractéristique de sortie $I_{DS}-V_{DS}$, que le courant de saturation de drain augmente, quand la longueur de la grille diminue. En diminuant encore plus cette longueur et pour une valeur typique de L_g , la tension de saturation risquerait d'augmenter fortement et la grille perdrait son contrôle sur le transistor. On remarque aussi que la tension de seuil est affectée par la variation de la longueur de la grille et augmente quand cette longueur augmente. On conclut donc que la longueur de grille affecte la valeur de la transconductance qui est un paramètre très important. En diminuant plus qu'il ne faut cette grandeur, la grille risquerait de perdre le contrôle sur le canal. De ce fait il est important de ne pas réduire la longueur de la grille aléatoirement.

III.5.3 - Influence de la variation de l'épaisseur de l'oxyde t_{ox}

L'augmentation de la densité de capacité de l'oxyde de grille a été obtenue jusqu'à ces dernières années en réduisant son épaisseur. Ceci a été possible grâce à l'utilisation de la silice (SiO_2) amorphe matériau de grande qualité aux propriétés électriques excellentes. En effet la silice possède une importante largeur de bande interdite (9 eV) et un grand décalage de bande de conduction et de valence avec le silicium (respectivement 3.5 eV et 4.4 eV). Il est possible de la faire croître sur le silicium par oxydation thermique avec un excellent contrôle de son épaisseur et son uniformité.

Afin de montrer l'effet de l'épaisseur de l'oxyde sur la valeur de courant du drain I_D et la tension de seuil, nous avons fait varier cette épaisseur de l'oxyde afin d'examiner l'effet de cette variation sur le courant du drain du transistor ainsi que sur sa tension de seuil. Les résultats de simulation que nous avons obtenus pour trois valeurs de l'épaisseur de l'oxyde sont celles des figures qui suivent.

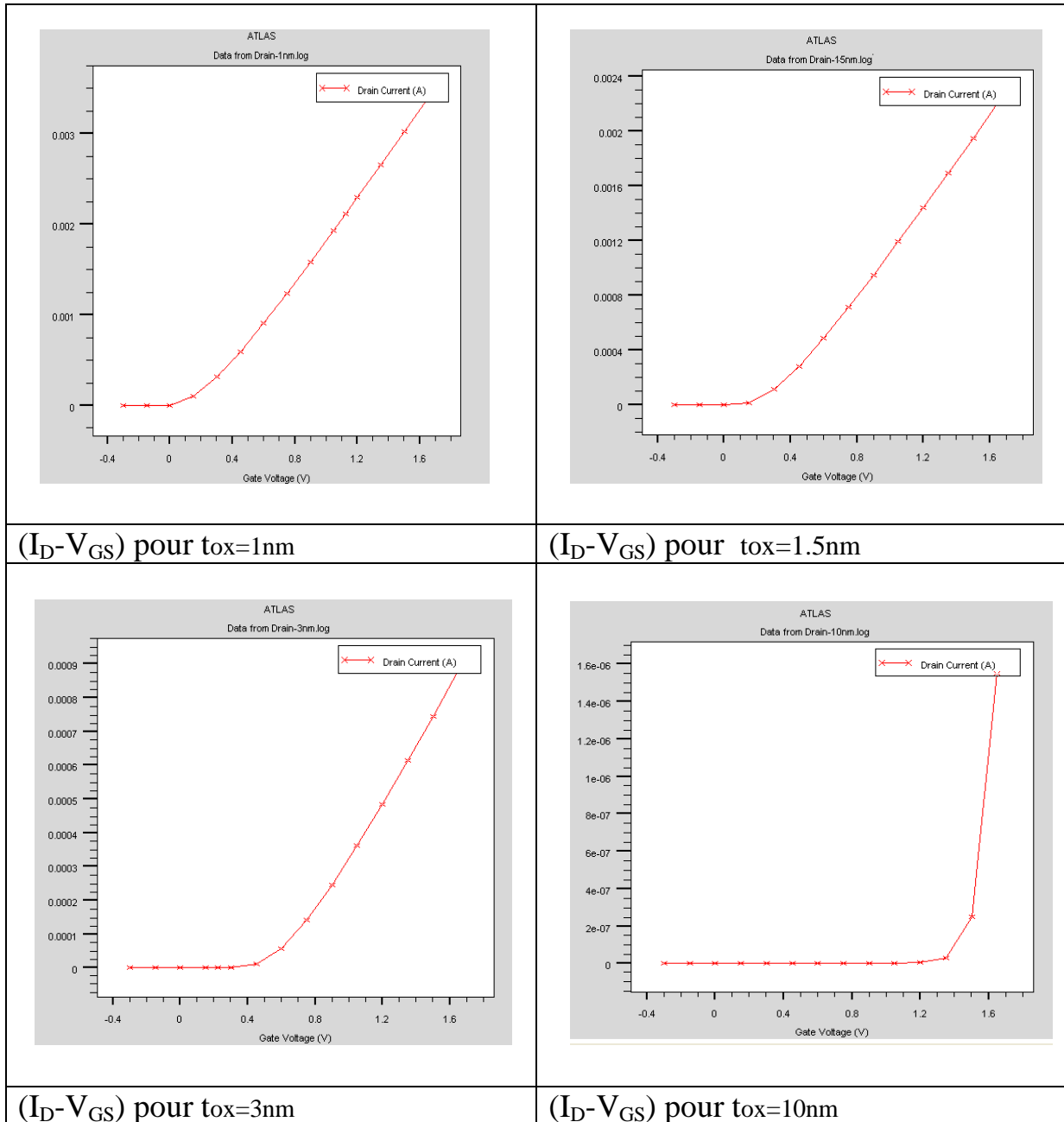


Fig (III.18) : Caractéristiques $(I_D - V_{GS})$ pour différentes valeurs de t_{ox}

Nous pouvons remarquer en exploitant la courbe de transfert $I_{DS} - V_{GS}$ que la tension de seuil dépend de l'épaisseur de l'oxyde de grille. En effet cette tension de seuil augmente quand l'épaisseur de l'oxyde augmente. Une épaisseur très importante tel que $t_{ox} = 10nm$ isole en fait la grille du canal.

On examiné alors l'effet de la variation de cette oxyde sur la caractéristique de sortie du transistor. Les résultats de simulation que nous avons obtenus sont donnés dans ce qui suit.

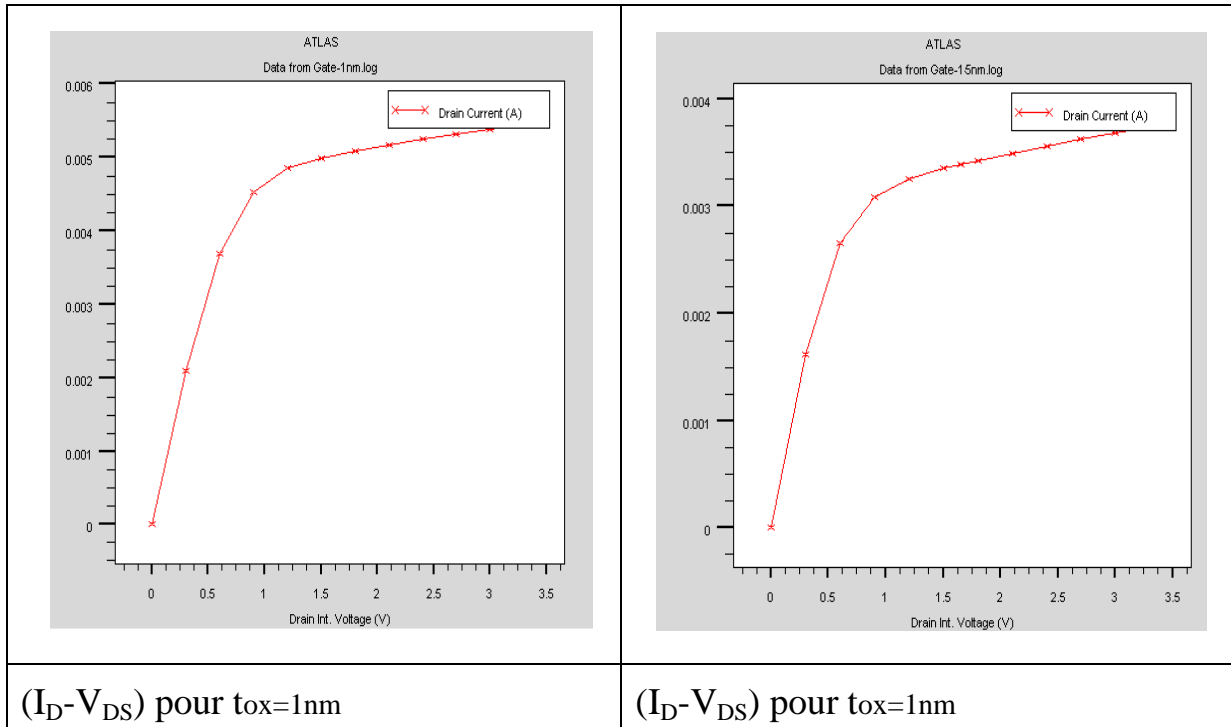


Fig (III.19) : Caractéristiques $(I_D - V_{DS})$ pour différentes valeurs de t_{ox} .

Nous pouvons tout de suite remarquer que même une faible augmentation de l'épaisseur de l'oxyde a une influence sur le courant de sortie du transistor. En effet nous avons pu faire varier cette épaisseur en prenant deux valeurs soit $t_{ox}=1nm$ et $t_{ox}=1.5nm$.

Nous avons alors remarqué que le courant du drain augmente quand l'épaisseur de l'oxyde diminue ce qui était en fait prévisible. La figure qui suit permet de mettre en évidence l'effet de la variation de cette épaisseur en reportant sur le même graphe les caractéristiques de transfert puis sur un deuxième graphe les caractéristiques de sortie pour deux valeurs de l'oxyde de grille, soit 1nm et 3nm.

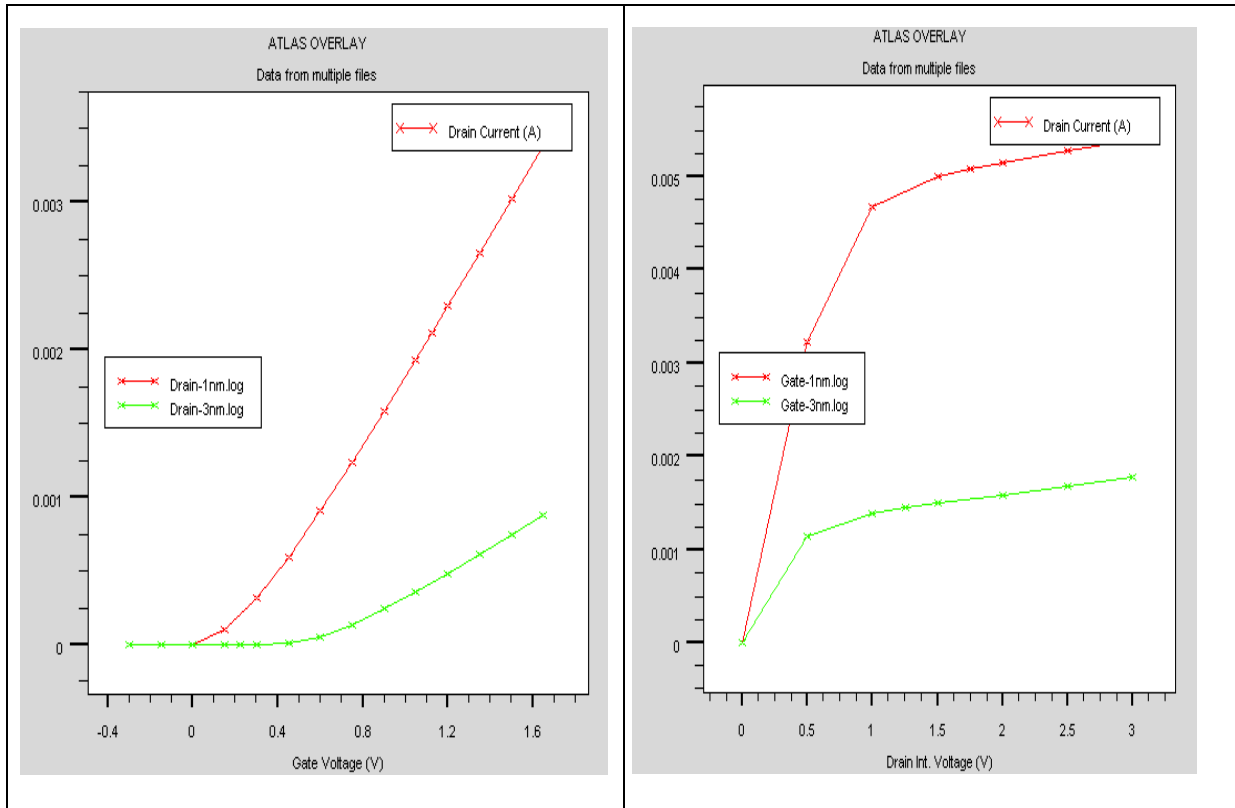


Fig (III.20) : Caractéristiques (I_D - V_{GS}) et I_D - V_{DS} pour $t_{ox}=1\text{nm}$ et $t_{ox}=3\text{nm}$.

L'épaisseur de l'oxyde de grille doit être choisie adéquatement. En effet, une fine épaisseur de l'oxyde impliquerait le passage de porteurs de charges à travers le diélectrique par effet Tunnel dont la probabilité de passage croit exponentiellement avec la diminution de l'épaisseur t_{ox} le courant Tunnel augmente d'un ordre de grandeur pour chaque diminution de 0.2 nm [ghani 2000]. Par ailleurs un travail de spectroscopie de pertes d'énergie d'électrons a défini la valeur de 0.7nm comme limite physique au-delà de laquelle le SiO₂ perd les propriétés électronique du matériau massif [muller1999]. D'autre part une couche épaisse de 10nm ne présente même pas un effet transistor ceci est dû à l'affaiblissement de l'effet de champ électriques sur les porteurs minoritaires dans le canal. Pour conclure on peut avancer que l'épaisseur de l'oxyde doit être la plus réduite possible afin d'améliorer le contrôle du canal de conduction.

III.5.4- Influence de la variation de la concentration N_A sur les caractéristiques électriques du transistor

Le comportement électrique d'un composant semi-conducteur en général dépend d'une manière très forte de la répartition des dopants à l'intérieur de la structure. Le profil du dopant dans la zone du canal, sous l'oxyde de grille, détermine l'importance des courbures de bande en fonction des différentes tensions appliquées. Les profils de dopants dans cette zone conditionnent donc directement la valeur de la tension de seuil et le courant de drain du dispositif.

Afin d'estimer l'impact de la variation de la concentration N_A sur le courant du drain, nous avons choisi 3 concentrations

concentration	N_{A1}	N_{A2}	N_{A3}
valeur	$2e 18/cm^3$	$4e 18/cm^3$	$6e 18/cm^3$

Tableau (III-4) : différentes variation en N_A simulées.

Les résultats de simulation obtenus permettant d'examiner l'effet de cette variation sur V_{TH} et sur le courant du drain du transistor sont regroupés sur les figures qui suivent.

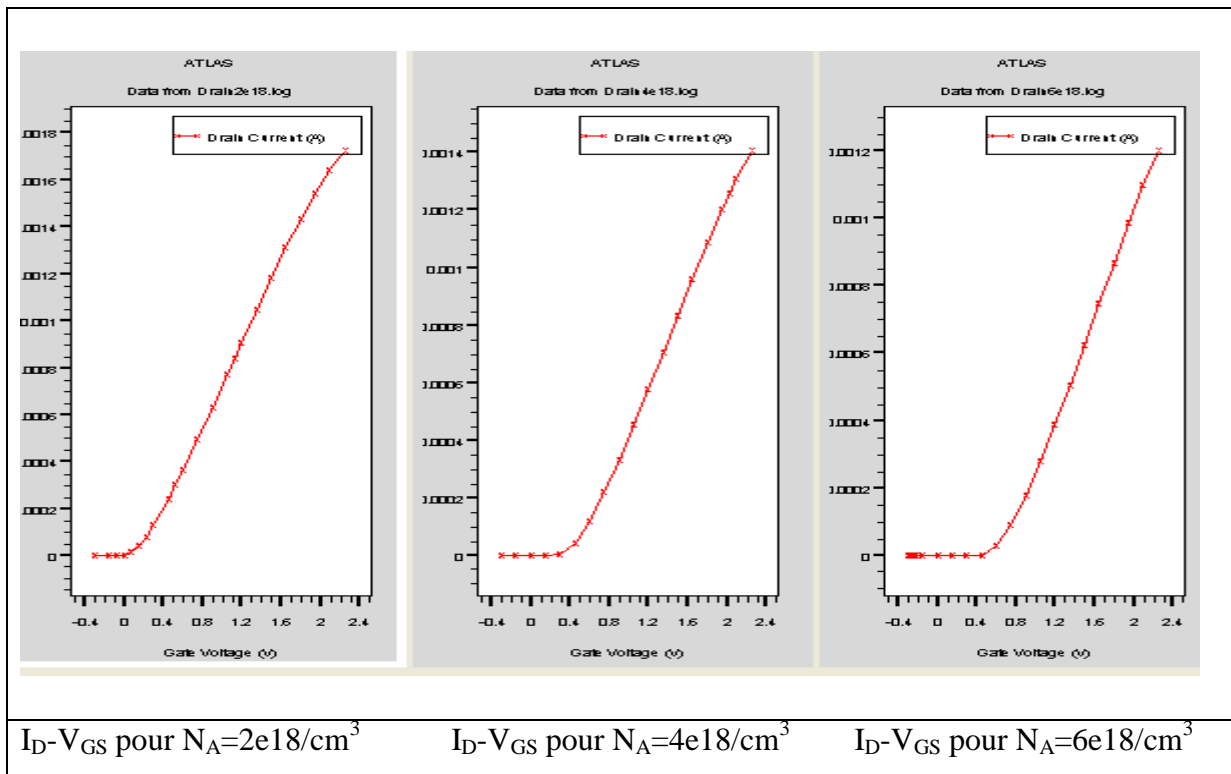


Fig (III.21) : Caractéristiques (I_D-V_{GS}) pour différentes valeurs de N_A .

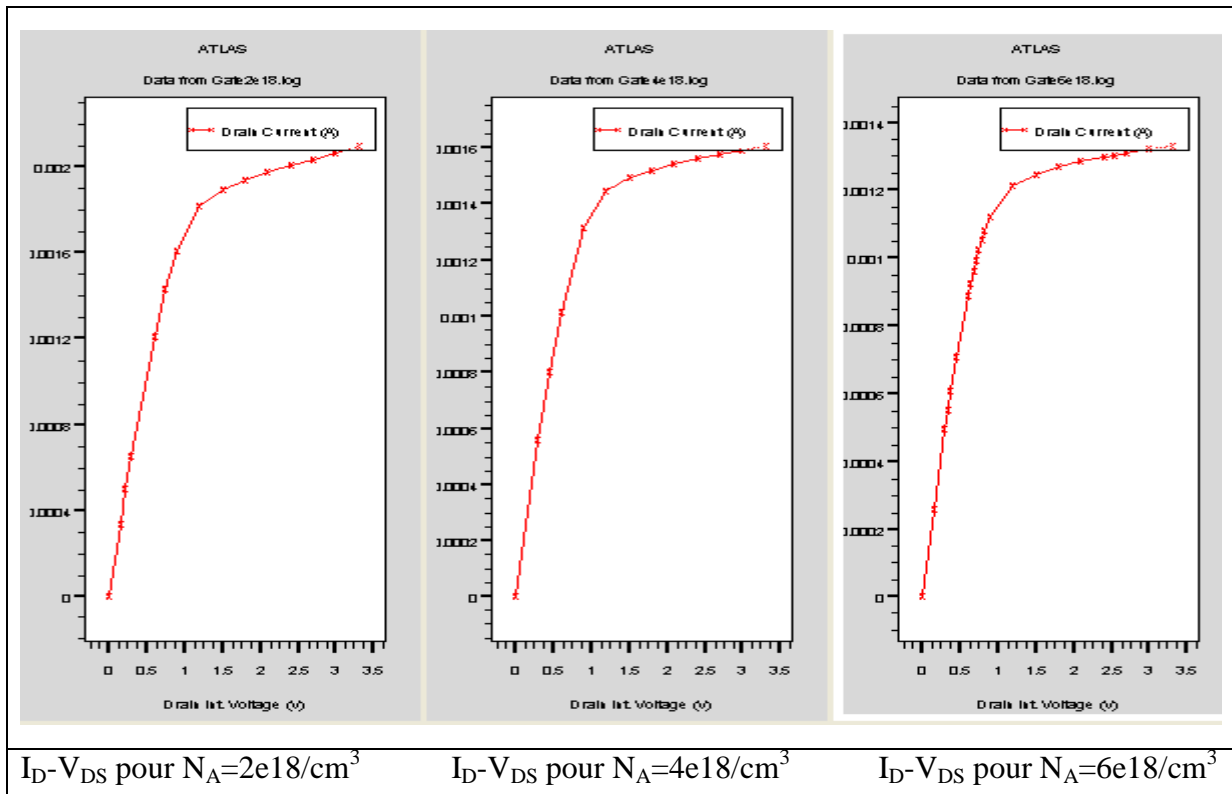


Fig (III.22) : Caractéristiques (I_D-V_{DS}) pour différentes valeurs de N_A .

En regroupant tous ces graphes sur la même figure on peut aisément examiner l'effet de la variation de N_A sur le courant de saturation du transistor.

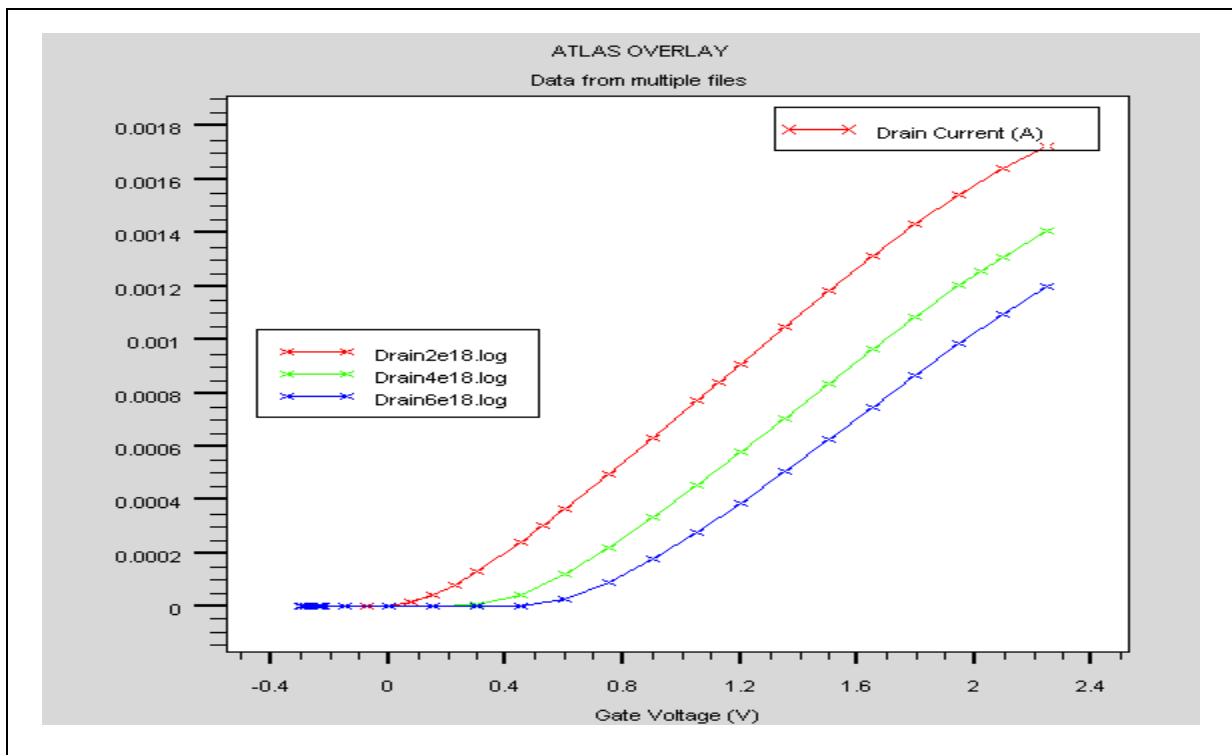


Fig (III.23) : Caractéristiques (I_D-V_{GS}) pour différentes valeurs de N_A .

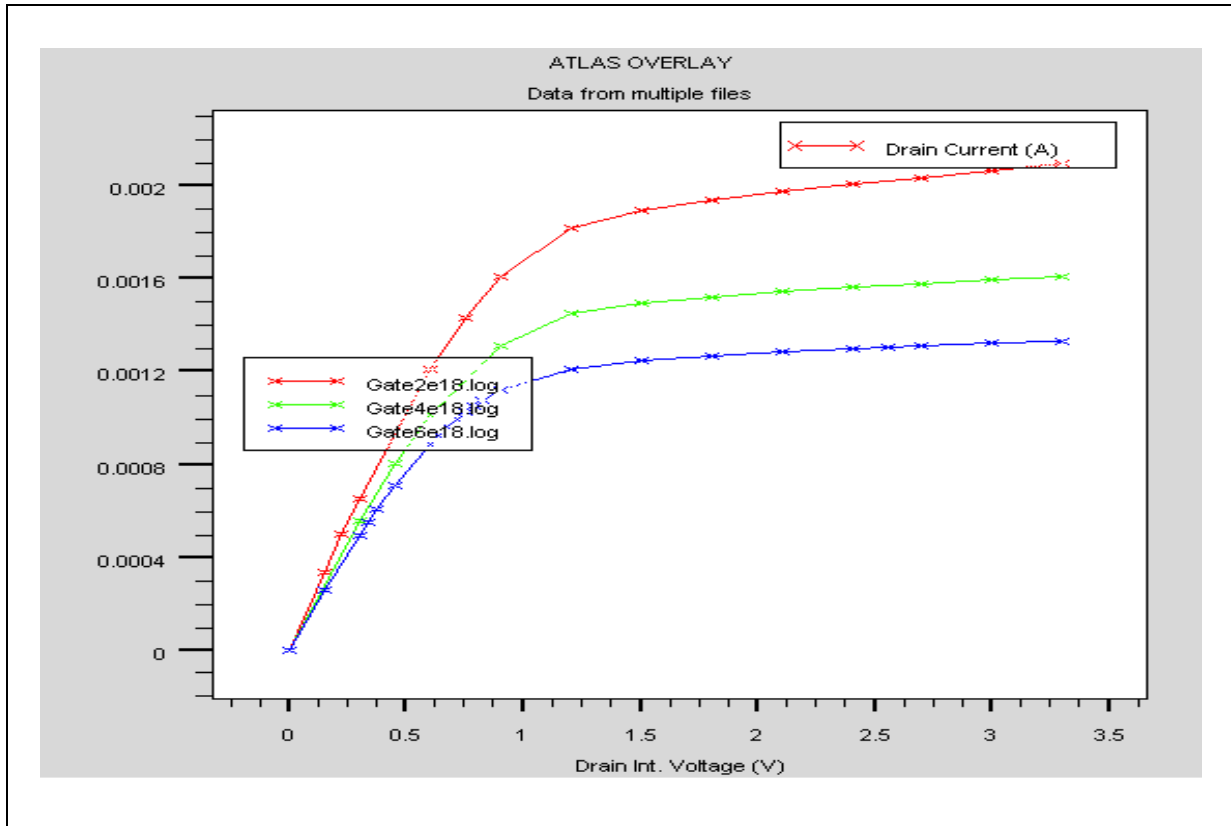


Fig (III.24) : Caractéristiques (I_D - V_{DS}) pour différentes valeurs de N_A .

On remarque que l'augmentation de la concentration des dopants du canal cause une dégradation du courant du drain et par conséquent sur la résistance R_{DS} . La tension de seuil aussi dépend fortement de la concentration des dopants dans les canaux de conduction et augmente quand cette concentration augmente.

III.5.5- Influence de la variation de la concentration N_D de la source/drain sur les caractéristiques électriques du transistor.

La variation de la concentration des dopants de la source et du drain nous a permis de mettre en évidence les effets de ces variations sur le courant de sortie du transistor et sur sa tension de seuil. Afin d'estimer l'impact de la variation de la concentration N_D sur le courant du drain, nous avons choisi 3 concentrations.

concentration	N_{D1}	N_{D2}	N_{D3}
valeur	8e 18/cm ³	4e 19/cm ³	8e 18/cm ³

Tableau (III-5): différentes variation en N_A

Nos résultats de simulation nous permettent de constater que la variation de la concentration des dopants dans les régions de la source et du drain n'a pratiquement pas d'effet sur la tension de seuil, mais provoque néanmoins l'augmentation de la transconductance et par conséquent entraîne l'augmentation du courant du drain du transistor.

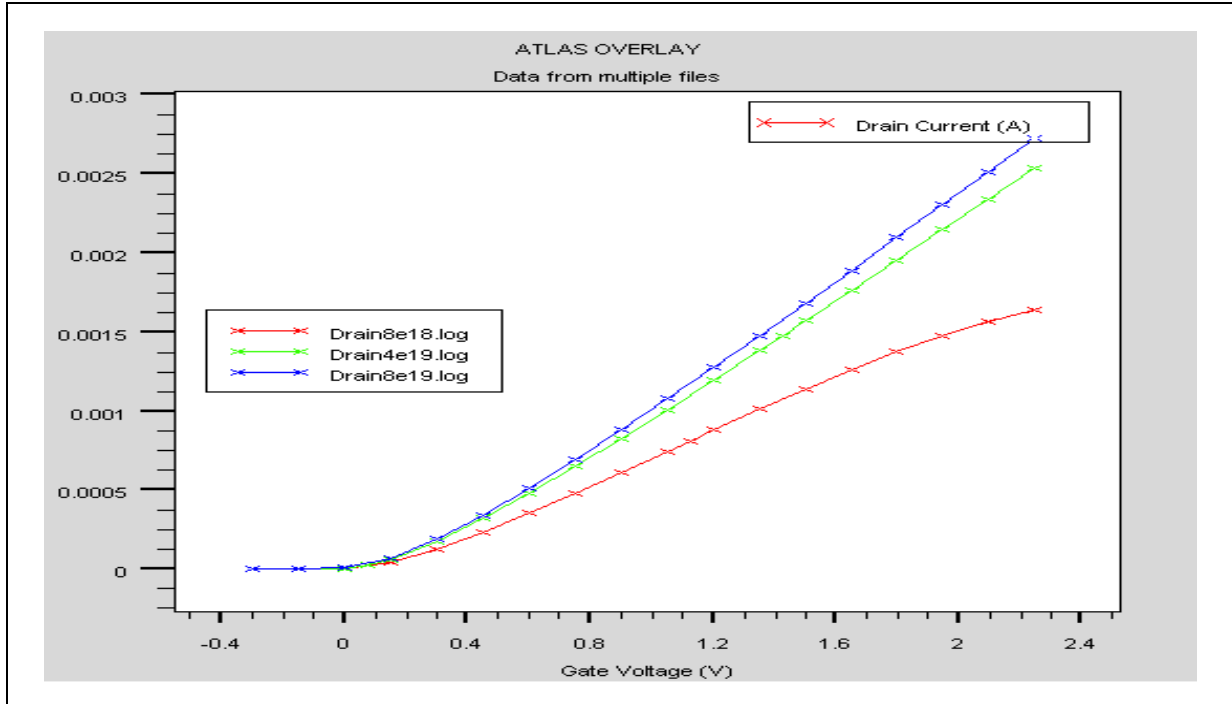


Fig (III.25) : Caractéristiques (I_D - V_{GS}) pour différentes valeurs de N_D .

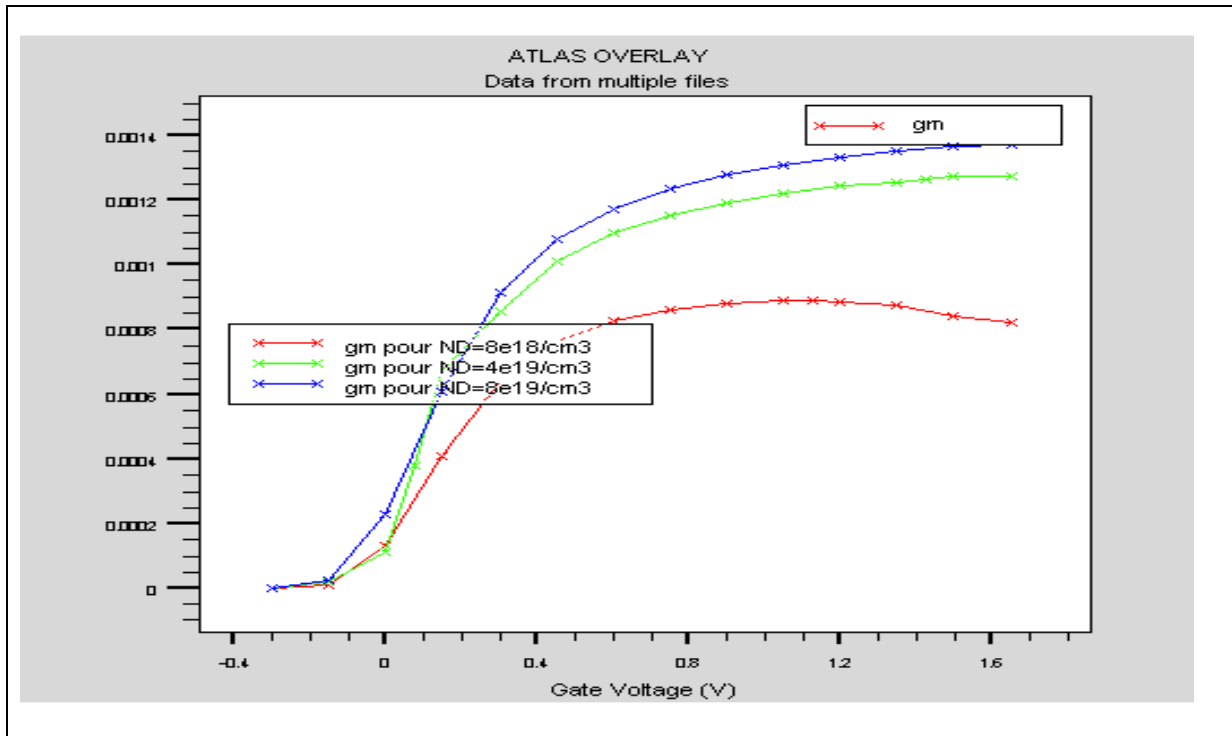


Figure (III.26) : Variation de la transconductance avec la variation de N_D

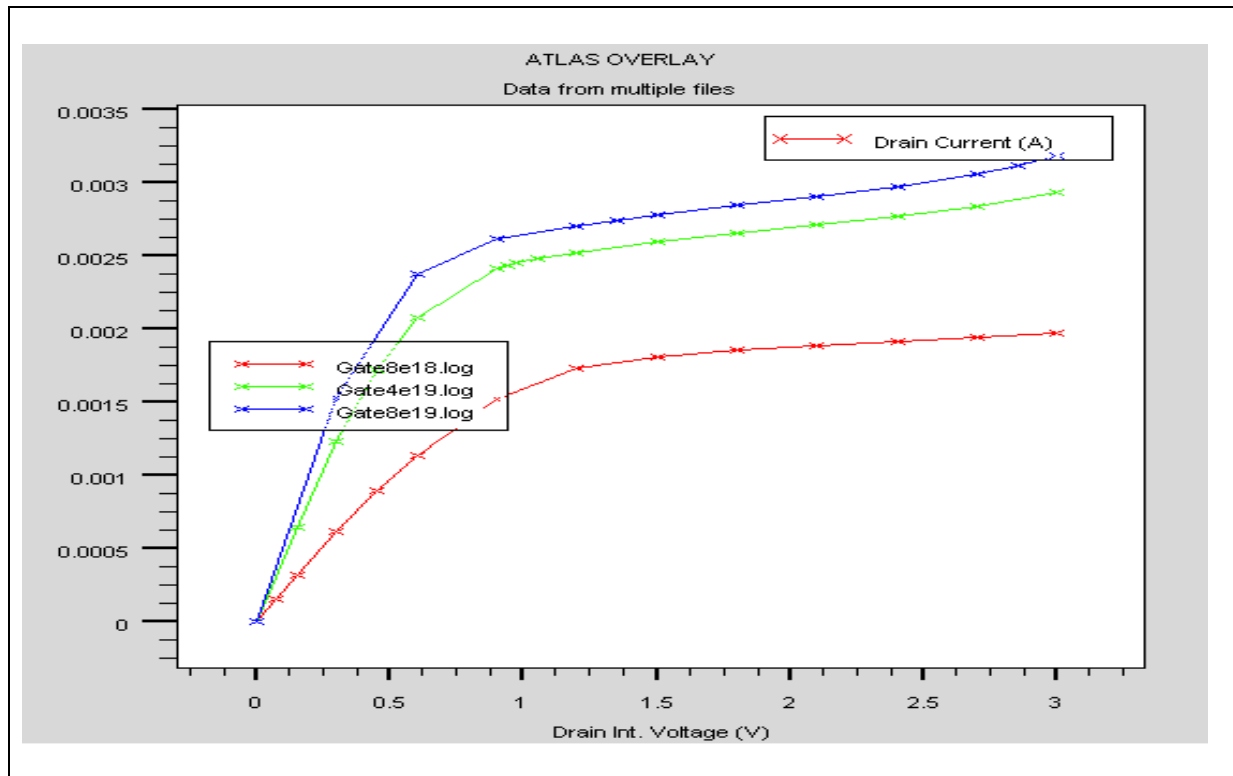


Figure (III.27) : Caractéristiques (I_D - V_{DS}) pour différentes valeurs de N_D .

III.6 – Les Effets des canaux courts Dans Le Mosfet Vertical: Notion de DIBL

Rappelons que la réduction de la longueur de canal est associée à des effets parasites appelés effets de canaux courts ou SCE- Short Channel Effects), entraînant une perte de contrôle électrostatique de la grille sur le canal. Deux phénomènes en sont principalement responsable : le partage de charge (CSE, Charge sharing effects) et la diminution de la barrière de potentiel du canal par polarisation du drain (DIBL, Drain Induced Barrier lowering). nous nous intéressons dans ce qui suit à l'effet DIBL.

III.6.1 - L'effet de polarisation du drain (DIBL)

L'effet (DIBL) va également modifier la répartition du potentiel au niveau de la source. Les résultats de simulation que nous avons obtenus et permettant de mettre en évidence l'effet DIBL dans notre structure sont présentés sur la figure qui suit.

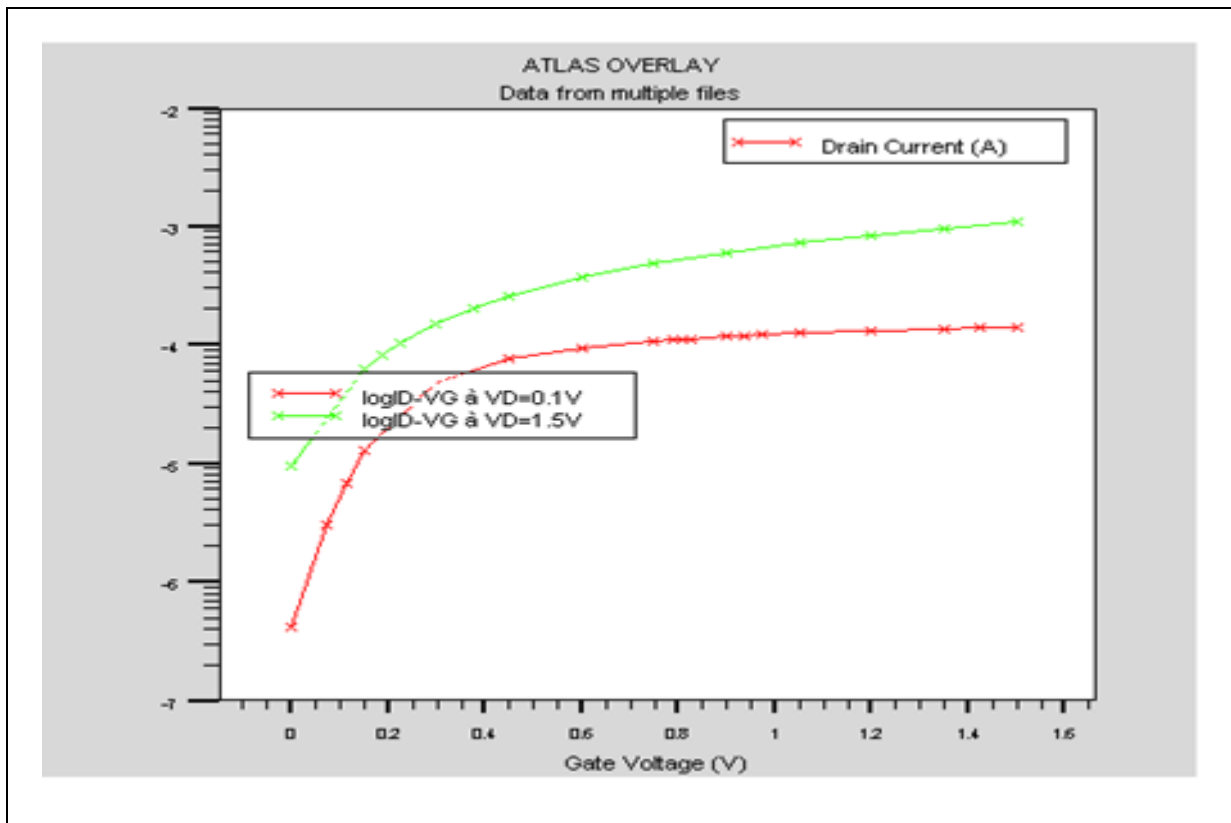


Figure (III.28) : Mise en évidence du DIBL

On remarque bien l'existence du DIBL. Le phénomène de DIBL est pris en compte lorsque le transistor travaille en régime sous seuil (ou faible inversion) et concerne le potentiel de surface. En effet la distribution du potentiel dans le canal dépend à la fois du champ transversal (contrôlé par la tension de grille et du champ longitudinal (contrôlé par la tension de drain). Un accroissement de la ZCE coté drain , provoque alors l'abaissement de la barrière de potentiel source/substrat. Cet effet est plus remarqué que la tension du drain augmente et que la longueur du canal diminue.

L'effet DIBL peut être mesuré par le décalage de la courbe de transfert en régime sous seuil ΔV_T , divisé par ΔV_D entre deux courbes résultant de deux tensions de drain ($V_{D1} = 0.1$, $V_{D2} = 1.5V$).

On peut aussi noter en exploitant cette caractéristique $\log I_D - V_{GS}$ que le courant de fuite I_{OFF} qui est définie comme le courant I_{DS} à $V_{GS} = 0$ dépend de la tension de polarisation du drain.

En effet pour les nouvelles générations de transistors, une épaisseur du diélectrique avoisinant le nanomètre soulève bien des difficultés. Un phénomène qui y est associé ; c'est les courants de fuite I_{OFF} de la grille

croissants avec la réduction de l'épaisseur du diélectrique, qui vont être problématiques, En effet le courant à travers l'oxyde n'est plus négligeable. Dans notre structure le courant de fuite I_{OFF} et à faible V_{DS} , peut être dominé par le mécanisme de génération-recombinaison dans la zone de déplétion de la jonction canal drain (en polarisation inverse).

CONCLUSION GENERALE

Notre travail a consisté à faire l'étude d'une structure MOSFET à conduction verticale, à partir d'une analyse bidimensionnelle sous environnement SILVACO-TCAD. Cette étude nous a été bénéfique, car elle nous a permis de connaître différentes architectures innovantes des transistors MOSFET, tel que les transistors à conduction planaire type DGFET planaire, des structures à conduction latérale tels que les FINFETs et des transistors à conduction verticale. Nous avons alors pu nous rendre compte qu'il existait plusieurs configurations possibles de transistors MOSFETS verticales. Nous nous sommes inspirés pour notre étude d'une structure que nous avons retrouvée lors de notre recherche bibliographique.

Notons alors que même si les MOSFETs ont gardé leurs structures initiales, l'industrie microélectronique a pu évoluer ce composant et par conséquent et bien entendu les circuits dans lesquels ce composant est bien évidemment intégré et ceci afin de répondre aux exigences des consommateurs et ceci grâce aux processus technologiques modernes dans la fabrication des transistors et les circuits intégrés de manière générale, et particulièrement la photolithographie, les progrès ont touché non seulement la forme mais aussi les dimensions de la zone active des transistors et le passage des porteurs de charge dans les structures verticales est désormais vertical et donc perpendiculaire au « wafer », rendant ce type de transistors assez intéressant dans des applications de puissance.

Notre travail a consisté alors à étudier une structure MOSFET vertical et à la modéliser sous environnement ATLAS de SILVACO. Nous avons ainsi pu dans un deuxième temps examiner les effets de la variation des paramètres de notre structure sur ses caractéristiques électriques à savoir son courant de drain,

et sa tension de seuil. Nous avons pu alors constaté que la variation de l'épaisseur de l'oxyde, de la longueur de la grille, concentration des dopants de la source et du drain, concentrations des dopants du canal avaient un impact non négligeable sur les caractéristiques électriques de la structure. Nous avons pu pour finir, examiner l'effet DIB qui se manifeste dans les transistors de petites dimensions dits transistors à canaux courts, ce qui est bien le cas de notre dispositif. Cette étude a pour but de déterminer une structure MOSFET optimal avec un courant de drain important.

Nous pouvons dire pour finir que les résultats de simulation que nous avons obtenus paraissent assez prometteurs en comparaison des résultats rencontrés en bibliographie.

PERSPECTIVES

Les structures verticales contribuent largement à minimiser les effets canaux courts. Il serait alors intéressant de continuer ce travail en étudiant d'autres structures tels que :

- les structures verticales à canaux multiples,
- des structures cylindriques verticales, car ces dernières bien que complexe en simulation permettent un meilleure contrôle des effets canaux courts.

BIBLIOGRAPHIE

- [1] GORDON Moore 'Progress in digital integrated electronics', International Electron Device Meeting (IEDM) techn. Digest, 11-13,1975
- [2] 'International Technological roadmap of semiconductors' section Front and Process, ITRS 2005
- [3] SILVACO-TCAD 'SILICON VALEY CORPORATION' Site Official: www.silvaco.com
- [4] JULIUS Edgar Lilienfeld Brevet US 174575 "Method and apparatus for controlling electric current" déposé au Canada 22.10.1925.
- [5] HENRY Mathieu Physique des semi-conducteurs et des composants électroniques
- [6] LOIC Theolier, Thèse de doctorat 'conception de transistors MOS haut tension (1200 volts) pour l'électronique de puissance.
- [7] MULLER Dorothee. 'Optimisation des potentialité d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium'.
- [8] JASPRIT Singh semiconductor devices basic principles.
- [9] Dimitri GALAYCO 'Régimes du transistor MOS' Unité d'enseignement Elec-info
- [10] Enrico GILI 'Fabrication of vertical Mosfet with reduced parasitics and suppression of short channel effects'
- [11] Analyse expérimentale du comportement en fréquence du transistor MOS conséquences sur l'approche de modélisation en RF 1,2Emmanuel ouhana, 1Patrick Scheer, 2Gilles Dambrine 1STMicroelectronics.
- [12] Guilhem LARRIEU 'Elaboration et caracterisation de transistors MOS

- Schottky en régime nanométrique' université des sciences et de Technologie de Lille, UFR Electronique
- [13] Transistor MOS Submicronic par 1, Bawedine Maryline et 2, Izamova Dilarom.
- [14] Xiang-Lei HAN Thèse de doctorat ; 'réalisation et caractéristique de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux en silicium. Université de Lille I sciences et technologie.
- [15] Mathieu MOREAU Thèse de doctorat ; 'Modélisation et simulation numérique des nano-transistors multi-grilles à matériaux innovants.
- [16] PUB : Reduction of Parasitic Capacitance in Vertical MOSFETs by Spacer Local Oxidation V. Dominik Kunz, Takashi Uchino, Member, IEEE, C. H. (Kees) de Groot, Member, IEEE, Peter Ashburn, Member, IEEE, David C. Donaghy, Steven Hall, Member, IEEE, Yun Wang, and Peter L. F. Hemment, Member, IEEE
- [17] PUB : Single, double and surround gate vertical MOSFETs with reduced parasitic capacitance E. Gili a, V.D. Kunz a, C.H. de Groot a,*, T. Uchino a, P. Ashburn a, D.C. Donaghy b, S. Hall b, Y. Wang c, P.L.F. Hemment c
 a Department of Electronics and Computer Science, University of Southampton, Southampton, UK
 b Department of Electrical Engineering and Electronics, University of Liverpool, Liverpool, UK
 c School of Electronics, Computing and Maths, University of Surrey, Guildford, UK
- [18] TEJAS Krishnamohan 'Physics And Technology Of High Mobility, Strained Germanium Channel, Heterostructure MOSFETs' STANFORD UNIVERSITY.
- [19] Stephane ALVES , These de Doctorat 'Conception De Transistors Flymos™ Verticaux De Puissance Adaptes Aux Applications Automobiles Du Futur (Batterie 42v). INSA de Toulouse
- [20] Gabriel DELAYE, docteur de l'école centrale de Lyon ; ' Oxyde Cristallin à haute permittivité électrique épitaxié sur silicium SrO et SrTiO₃

- [21] Sankaran Jayanarayanan, B.Tech.; M.S. ‘Silicon-based Vertical MOSFETs’ Faculty of the Graduate School of The University of Texas at Austin
- [22] Clément Charbuillet ; Docteur de l’Université des Sciences et Technologies de Lille ‘Recherche et étude de dispositifs à commutation’ abrupte
- [23] PUB : Nanoscale CMOS Hon-Sum Philip Wong, Senior Member, Ieee, David J. Frank, Member, Ieee, Paul M. Solomon, Fellow, Ieee, Clement H. J. Wann, And Jeffrey J. Welser, Member, Ieee
- [24] Claudia NEGULESCU; ‘ASYMPTOTICAL MODELS AND NUMERICAL SCHEMES FOR QUANTUM SYSTEMS’ Universite Paul Sabatier Toulouse III
- [25] PUB: The Vertical Replacement-Gate (VRG) MOSFET: A 50-nm Vertical MOSFET with Lithography-Independent Gate Length J.M. Hergenrother¹, D. Monroe, F.P. Klemens, A. Kornblit, G.R. Weber, W.M. Mansfield, M.R. Baker, F.H. Baumann, K.J. Bolan, J.E. Bower, N.A. Ciampa, R.A. Cirelli, J.I. Colonell, D.J. Eaglesham, J. Frackoviak, H.J. Gossmann, M.L. Green, S.J. Hillenius, C.A. King, R.N. Kleiman, W.Y-C. Lai, J.T-C. Lee, R.C. Liu, H.L. Maynard, M.D. Morris, S-H. Oh², C-S. Pai, C.S. Rafferty, J.M. Rosamilia, T.W. Sorsch, H-H. Vuong Bell Laboratories, Lucent Technologies, Murray Hill, NJ 07974, USA
- [26] Olivier WEBER ; thèse de doctorat ‘ Etude, Fabrication et Propriete de transport de Transistor CMOS associant un diélectrique Haut permittivité et un canal haut mobilité. Institut national des sciences Appliqués de LYON.
- [27] Christophe CHARBONNIAUD ; Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l’amplification de puissance micro-onde. UNIVERSITE DE LIMOGE.
- [28] Jean marie GALIERE, Jérôme BOCH ; Mise en œuvre de la simulation Mixte électrique/ TCAD pour décloisonner l’enseignement de la microélectronique. Pole CEM de Montpellier.

- [29] SHAOBO Men; 'Simulation of 0.35 CMOS Process and devices use SILVACO-TCAD tools' SILVACO SINGAPORE
- [30] KAGHOUCHE Bessem ; 'Etude par TCAD-SILVACO d'une structure MOS pour la réalisation de capteurs ISFET en variant les paramètres technologique et électriques.
- [31] NEO KOK Peng 'Simulation of Vertical Channel MOSFET' university of Queensland AUSTRALIA.
- [32] S.M Sze (National Chiao tung University Hsinchu, TAIWAN) and Kwok K.Ng (Central laboratory of proMOS Technologies,TAIWAN) San Jose, CALIFORNIA. 'PHYSICS OF SEMICONDUCTOR DEVICES.
- [33] Jean-Pierre Colinge (California State University), Cynthia A. colinge (University of California, Davis), 'PHYSICS OF SEMICONDUCTOR DEVICES.
- [34] Mlle LARIBI Asma (Université de Tlemcen) ' Etude des performances d'une structure MOS Nanométrique' mémoire de magister.
- [35] Mr BOUDELIA Kamel (Université de Tlemcen) ' Etude des performances d'une structure MOS Nanométrique ,application au Transistor MOSFET double grille a canal vertical mémoire de magister.

Résumé

L'évolution de la technologie CMOS actuelle a pour but de concevoir des Transistors et par conséquent des circuits intégrés dans les échelles submicronique

Cette réduction d'échelle a concerné évidemment les dimensions de la zone active du Transistor MOSFET. La miniaturisation s'accompagne indéniablement d'effets indésirables appelés effets canaux courts (SCE) qui viennent s'ajouter à la difficulté de la réalisation de ces dispositifs de petites dimensions.

L'apparition des nouveaux procédés de fabrication notamment la photolithographie a donné naissance à de nouvelles architectures pour les transistors MOSFETs avec une orientation verticale du canal. Ce procédé a permis entre autre, un meilleur contrôle des effets canaux courts.

Le travail effectué dans ce mémoire nous a permis une étude théorique et de simulation un transistor MOSFET à canal vertical. Ce travail fut réalisé par le biais du simulateur SILVACO- TCAD et nous a permis d'examiner les caractéristiques électriques d'une telle structure pour laquelle nous avons pu examiner les effets de la variation de certains de ses paramètres sur ses caractéristiques électriques

Mots clés : Transistor MOSFET, n-MOSFET à canal vertical, SILVACO-TCAD, ATLAS.

Abstract

The evolution of actual CMOS technology aims to design transistors and therefore integrated circuits in submicron scales. This reduction of scale has concerned the size of the active region of the MOSFET. Miniaturization comes undeniably with short channel effects (SCE) in addition to the difficulty of achieving these small-scale devices. The emergence of new manufacturing processes including photolithography has given rise to new architectures for MOSFETs with a vertical orientation of the channel. This process has, among other things, a better control of these short channel effects. Our work has allowed us to study theoretical and to simulate a vertical channel MOSFET. This work has been performed using ATLAS SILVACO-TCAD software, and allowed us to examine the electrical characteristics of a such structure for which we were able to examine some parameters variation effects on these electrical characteristics.

Key words: MOSFET, vertical n channel MOSFET, SILVACO TCAD-ATLAS

ملخص

ان تكنولوجيا CMOS الحديثة تهدف الى تطوير الترانزستور وبالتالي الدارات المندمجة في مقاييس لا تتعدى 1 ميكرومتر.

هذا التقليل في حجم المركبات الالكترونية يخص بالدرجة الأولى طول القناة وسمك عازل البويبة في الترانزستور MOSFET الا انه كثيرا ما يرافقه عدة مشاكل تعرف بتأثيرات القنوات القصيرة بالإضافة الى صعوبة صناعة هذه المركبات في مثل هذا الحجم.

ان ظهور التكنولوجيا الحديثة في ميدان الصناعة الالكترونية وخاصة ما يعرف بتقنية الفوطوليثوغرافيا سمح بظهور جيل جديد من الترانزستور ذو قناة عمودية وذلك ان التقنية تمكن من التحكم الكامل لمثل هذه الابعاد.

في خضم هذا العمل قمنا بدراسة شاملة للترانزستور MOSFET بقناة عمودية تم تطرقنا الى انجاز المركب VMOSFET (ترانزستور موسفت بقناة عمودية) باستعمال برنامج المحاكات SILVACO -TCAD بالأخص برنامج ATLAS ثم تطرقنا الى تغيير بعض الخصائص التكنولوجية للمركب كطول البويبة L_g وسمك العازل t_{ox} وقيمة تركيز كل من N_A و N_D ومدى تأثيرها على تيار المصرف I_D وتوتر العتبة V_{TH} .

الكلمات المفتاحية الترانزستور احادي الوصلة MOSFET، الترانزستور احادي الوصلة بقناة عمودية n

n-MOSFET برنامج المحاكاة SILVACO -TCAD, ATLAS.