

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي والبحث العلمي

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

جامعة أبي بكر بلقايد- تلمسان

Université Aboubakr Belkaïd- Tlemcen –
Faculté de TECHNOLOGIE



THESE

Présentée pour l'obtention du **grade de DOCTEUR EN SCIENCES**

En : Electronique

Spécialité : Microélectronique

Par : Mme. MERAD FAIZA

Sujet

**Etude et Modélisation d'un Transistor Multi-grilles sans jonctions
« Junctionless »**

Soutenue publiquement, le 07 / 05 / 2022 , devant le jury composé de :

Mr BOUMEDIENE Abdel Madjid	Professeur	Univ. Tlemcen	Président
Mme. BOUAZZA née GUEN Ahlam	Professeur	Univ. Tlemcen	Directeur de thèse
Mr HAMOUNI Mohammed	Professeur	Univ. Tlemcen	Examineur
Mr MERAD Lotfi	Professeur	ESSAT	Examineur
Mme SAYAH Choukria	Professeur	Univ Ain Temouchent	Examineur
Mr MEGNAFI Hicham	MCA	ESSAT	Examineur

Dédicaces

A mes très chers parents MERAD ABDELAZIZ ET MERAD BADYA,

Je vous remercie pour tout le soutien et l'amour que vous me portez depuis mon enfance et j'espère que votre bénédiction m'accompagne toujours. Que ce modeste travail soit l'exaucement de vos vœux tant formulés, le fruit de vos innombrables sacrifices, bien que je ne vous en acquitterai jamais assez.

A mon époux Ahmed-Ali

Je te suis reconnaissante, de ton soutien et je ne te remercierai jamais assez pour tes encouragements

A mes très chères petites anges Nesrine et Razane.

A ma défunte sœur Nisrine

A ma très chère sœur Sarah et à son époux Lotfi et leurs enfants Anes et Linda

A ma petit sœur Manal.

A mes cher beaux-parents KANOUN Smain et BENMANSOUR Hafida

Merci pour votre aide et votre soutien durant ce parcours

A mon beau-frère Benali et sa femme Souraya et leurs enfants Mehdi, Smain et Meriem.

A mon beau-frère Adil et sa femme Ikram et leurs fils Youcef Amir et Zyad Charaf eddin mohammed.

A ma belle-sœur Nawal et son mari Fouad et leurs enfants Sanaa, Raweda et Ahmed Abderrahmane.

A ma belle-sœur Souhila et son mari Abdelmalek et leurs enfants Arslane, Nihel et Serine.

A ma directrice de thèse Madame BOUAZZA née GUEN Ahlam pour son soutien et son aide et ses conseils tout au long de mon parcours universitaire,

A toute ma famille pour leur soutien tout au long de mon parcours universitaire,

Que ce travail soit l'accomplissement de vos vœux tant allégués, et le fruit de votre soutien infailible,

Merci d'être toujours là pour moi.

Remerciements

Tout d'abord, je remercie, notre Dieu **ALLAH** l'Omniscient, le Sage.

Cette thèse a été réalisée l'Unité de Recherche Matériaux et Energie Renouvelable

Mes sincères remerciements et mes profondes reconnaissances s'adressent à mon encadreur Madame **BOUAZZA née GUEN Ahlam**, Professeur à l'université de Tlemcen pour son soutien, ses conseils et sa rigueur, elle a toujours été disponible et très ouverte à toutes les discussions. Je lui exprime mes sincères expressions de ma reconnaissance pour tout ce qu'elle m'a appris durant la période dans laquelle on a travaillé ensemble, que ce soit par ses qualités scientifiques, et que humaines. J'ai bénéficié de ses grandes connaissances scientifiques, de sa rigueur et de sa persévérance.

Je tiens à remercier vivement Monsieur **BOUMEDIENE Abdel Madjid** Professeur à l'université de Tlemcen, de m'avoir fait l'honneur d'accepté de présider le jury.

Mes respectueux remerciements s'adressent également à Monsieur **HAMOUNI Mohammed** Professeur à l'université de Tlemcen, à Monsieur **MERAD Lotfi** Professeur à l'école supérieur en sciences appliquées (ESSAT), à Madame **SAYAH Choukria** Professeur à l'université de Ain Témouchent et Monsieur **MEGNAFI Hicham** de m'avoir fait l'honneur d'accepté de faire partie du jury.

Enfin, je ne saurais oublier de remercier toutes les personnes qui me sont chères, et particulier mon père, ma mère, mon époux et mes sœurs pour leurs encouragements, la confiance et le soutien morale dont ils ont fait preuve tout au long de ces années de thèse. Je tiens à remercier toutes les personnes qui ont contribué de près ou de loin au succès de ce travail de thèse.



WRITING: JUST ADD COFFEE.

WWW.PHDCOMICS.COM

Table des matières

Table des illustrations.....	i
Constantes	viii
Notations	viii
Introduction générale.....	2
Chapitre I: Tansistor MOSFET	
I.1 Introduction	6
I.2 Enjeux et dilemme de la miniaturisation.....	6
I.3 Généralités sur les transistors MOSFET	6
I.3.1 Régimes de fonctionnement du transistor MOSFET	7
I.3.2 Caractéristique électrique idéale du transistor MOSFET.....	14
I.4 Les phénomènes parasites dans les transistors MOSFET	16
I.4.1 Les effets canaux courts	17
I.4.1.1 Vitesse de saturation	17
I.4.1.2 Effet de réduction de la barrière de potentiel induit par le drain (DIBL)	18
I.4.2 Les effets quantiques	20
I.4.3 Effet GIDL	21
I.5 Amélioration des performances des MOSFET	23
I.5.1 Transistor MOSFET SOI	23
I.5.1.1 Défauts dans les matériaux SOI.....	24
I.5.1.2 Avantages fondamentaux du SOI	24
I.5.2 Grille métallique.....	25
I.5.3 Transistor à base d'architecture non-planaire	26
I.6 Conclusion.....	28

Chapitre II: Transistor sans jonction JLT-MOSFET

II.1 Introduction	30
II.2 Description du transistor sans jonction JLT-MOSFET	31
II.3 Mécanisme de conduction du transistor sans jonction	32
II.3.1 Déplétion totale	34
II.3.2 Déplétion partielle.....	35
II.3.3 Condition de bande plate	40
II.3.4 Accumulation	41
II.4 Différentes architectures du transistor MOSFET sans jonction	43
II.4.1 JLFET multi-grille	43
II.4.1.1 Structure du transistor sans jonction JLT MOSFET	43
II.4.1.2 Caractéristique de transfert des JLT-MOSFETs	44
II.4.1.3 Principe de fonctionnement.....	45
II.4.2 JLFET planaire.....	47
II.4.2.1 Structure du JLTFET planaire.....	47
II.4.2.2 Caractéristique de transfert.....	47
II.4.2.3 Principe de fonctionnement.....	48
II.4.3 Bulk FinFET JL-MOSFET	49
II.4.4 Nanofil JLFET	49
II.5 Avantages et limites des transistors sans jonction.....	50
II.6 Conclusion.....	52

Chapitre III: Modélisation du transistor sans jonction

III.1 Introduction	54
III.2 Modélisation en potentielle de surface des JLFETs.....	54
III.3 Modélisation de transistor MOSFET double grille sans jonction.....	57

III.3.1	Approximation de déplétion de " <i>Crude</i> "	57
III.3.2	Approche basé sur le potentiel de surface.....	58
III.3.2.1	DGJLFET en mode d'accumulation	60
III.3.2.2	DGJLFET en mode partiellement déplété.....	61
III.3.2.3	DGJLFET en mode de déplétion totale (sous-seuil)	64
III.3.3	Approche basée sur la charge:	66
III.3.4	Modélisation du courant de drain	69
III.3.5	Modélisation de DGJLFET à canal court	73
III.4	Conclusion.....	76
Chapitre IV: Résultats et interpretations		
IV.1	Introduction	78
IV.2	Présentation du logiciel SILVACO TCAD	78
IV.2.1	Présentation du paquet des programmes SILVACO.....	78
IV.2.1.1	Les outils de simulation	80
IV.2.1.2	Les outils interactifs	81
IV.2.2	Présentation d'ATLAS	81
IV.2.2.1	Entrées et sorties d'ATLAS	82
IV.2.2.2	Commandes dans un programme ATLAS	85
IV.3	Structure du transistor GAA sans jonction simulée	90
IV.4	Simulation et discussion.....	92
IV.4.1	Structure de Bande dans un transistor GAA sans jonction	92
IV.4.1.1.	Déplétion totale	92
IV.4.1.2.	Déplétion partielle	94
IV.4.1.3.	Condition de bande plate	97
IV.4.1.4.	Accumulation	99
IV.4.2	Caractéristique électrique du transistor GAA sans jonction	100

IV.4.2.1. Caractéristique de sortie et de transfert	100
a) Tension de seuil (V_{Th} : Threshold voltage)	102
b) Abaissement de la barrière de potentiel induite par le drain(DIBL: Drain-induced-barrier-lowering)	103
c) Sub-threshold slope (SS).....	104
d) I_{ON} , I_{OF} et le rapport I_{ON}/I_{OFF}	105
IV.4.3 Variation des paramètres technologiques de la structure	106
IV.4.3.1 Variation de la concentration des dopants	107
IV.4.3.2 Variation de la longueur de la grille	109
IV.4.3.3 Variation de l'épaisseur de l'oxyde	112
IV.4.3.4 Variation de la hauteur du film de silicium.....	114
IV.4.3.5 Variation de la largeur du film de silicium	117
IV.4.3.6 Etude comparative entre Si-JLT GAA et Ge-JLT GAA	119
IV.5 Conclusion.....	122
CONCLUSION GÉNÉRALE.....	123
Bibliographie.....	126
PUBLICATION ET COMMUNICATIONS.....	138
Publication.....	139

Table des illustrations

Chapitre I

Figure I. 1: Transistor MOSFET [4].	7
Figure I. 2 : Régime de fonctionnement du MOSFET.	13
Figure I. 3: Caractéristique statique d'un transistor MOSFET: (a) $I_{DS}-V_{DS}$ et (b) $I_{DS}-V_{GS}$.	14
Figure I. 4: Régime de conduction : (a) régime linéaire (b) régime de pincement (c) régime de saturation.	16
Figure I. 5: Représentation des lignes de champ électrique dans le MOSFET. L'orientation des vecteurs des champs électriques E est illustrée à droite [6].	17
Figure I. 6: $I_{DS,sat}(L_g)$ pour différentes valeurs la largeur W du MOSFET [6].	18
Figure I. 7: Variations de la tension de seuil en fonction de la longueur du canal pour la technologie MOSFET 0,13 μm [6].	19
Figure I. 8: Effets DIBL sur la caractéristique $I_{DS}(V_{GS})$ prononcée pour un n-MOSFET de longueur 0,12 μm à gauche, par rapport à un dispositif avec $L_g=2 \mu\text{m}$ à droite[6].	20
Figure I. 9: Représentation de l'épaisseur effective de l'oxyde de grille dans un MOSFET. a) et illustration des effets de mécanique quantique et de polydésertion par le diagramme des bandes b)[6].	21
Figure I. 10: Variations de la caractéristique $I_{DS}(V_{GS})$ en fonction de V_{DS} [6].	22
Figure I. 11: Représentation de la structure des bandes proche de la région de drain, avec l'effet GIDL [6].	22
Figure I. 12: Transistors MOSFETs - (a) sur Silicium massif, - (b) sur SOI[37].	24
Figure I. 13 : (a) présentation schématique de vue en coupe de transistors simple à multi-grilles ainsi que (b) l'arbre généalogique des transistors à multi-grilles[45].	26
Figure I. 14: (a) représentation schématique de transistors triple-grille, (b) image MET en haute résolution sur vue de coup du canal[41].	27
Figure I. 15 : représentation schématique (vue de coupe) de principe de transistor, .	27

Chapitre II

Figure II. 1 : Transistors à grille multiple.	30
--	----

Figure II. 2 : Transistor JLFET : (a) vue en trois dimensions et (b) mise en évidence de capacité MOS.	31
Figure II. 3 : Diagramme de bande d'énergie de la capacité MOS (coupe A-A'). (a) avant équilibre et (b) à l'équilibre thermodynamique.	33
Figure II. 4 : Mécanisme de conduction dans un transistor sans jonction de type N. a) déplétion totale, b) déplétion partielle, c) bande plate et d) mode d'accumulation.	34
Figure II. 5 : DGJLFET en déplétion totale : (a) tracé du contour de la concentration d'électron et (b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur du film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [69].	35
Figure II. 6 : a) la concentration des électron dans un DG-JLT en mode de déplétion totale, b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur de film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$, c)vue schématique du JLFET simple grille et d).profile de charge de déplétion dans le film de silicium [69].....	36
Figure II. 7 : DGJLFET en déplétion partiel: a) tracer de contour de la concentration d'électron et b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur de film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [69].	39
Figure II. 8 : Chemin de conduction dans un a) mode d'inversion, b) mode d'accumulation et c) mode de déplétion partielle (transistor sans jonction) pour $V_{GS}>V_{Th}$ [75].	40
Figure II. 9 : DGJLFET en condition de bande plate: a) tracé du contour de la concentration d'électron et b) diagramme de bande avec une coupe au centre de la région du canal le long de l'épaisseur du film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [69].	41
Figure II. 10 : DGJLFET en accumulation: a) profil de la concentration des électron en mode d'accumulation , b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur du film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [69].	42
Figure II.11 : Mécanisme de conduction dans les transistors MOSFET a)inversion b) accumulation et c) JLFET (partiellement déplété).	43
Figure II. 12 : Vue en trois dimension (a) double-grille, (b) triple grille et (c) GAA nanofils JLFET.	44
Figure II. 13 : Caractéristique de transfert de SOI-JLFET simple grille et multi-grille (DG,TG et GAA NW JLFET[69].	45
Figure II. 14 : Tracé de contour de concentration d'électrons dans la région du canal (épaisseur = 10 nm et concentration de dopage = 10^{19} cm^{-3}) dans des JLFET multi-grille à l'état off ($V_{GS} = 0,0 \text{ V}$): (a) SOI-JLFET, (b) DGJLFET, (c) TGJLFET, et (d) GAANW JLFET[69].	46

Figure II. 15 : Diagramme d'énergie d'un transistor JLFET multi-grille de type N (a) canal entièrement déplété (état off), (b) condition de bande plate (état-on).....	46
Figure II. 16 : représentation schématique planaire JLFET sur substrat.	47
Figure II. 17 : Caractéristique de transfert du JLFET sur substrat et SOI JLFET[74].....	48
Figure II. 18 :Diagramme d'énergie du BPJLFET et du SOI JLFET, (a) état-offet (b) état-ON [74].	48
Figure II. 19 : Image en MET d'une coupe transversale d'un transistor sans jonction à nano-fil	50
Figure II. 20 : DIBL et pente sous-seuil à $V_{DS}=50\text{mV}$ dans les dispositifs multi-grilles JLFET et en mode d'inversion avec $TSC=5\text{ nm}$ [65].	51

Chapitre III

Figure III. 1 : vue tridimensionnelle (3D) d'un JLFET à canal long.	54
Figure III. 2 : Profil du champ électrique du JLFET à l'état OFF ($V_{GS}=0$) dans les directions x et y le long de la ligne de coupe A – A'	55
Figure III. 3 : Profil de charge de déplétion dans la région du canal dans un JLFET.	56
Figure III. 4 : Vue 3D du DGJLFET.	59
Figure III. 5 : charge de déplétion dans un DGJLFET en mode partiellement déplété.....	62
Figure III. 6 : Charges de déplétion dans le DGJLFET en mode de déplétion total.	64
Figure III.7 : DGJLFET avec modification des coordonnées du système en utilisant la modélisation du courant du Bulk.	70
Figure III. 8 : vue en 3D d'un DGJLFET à canal court.....	73

Chapitre IV

Figure IV. 1: Organigramme de la structure VWF.	80
Figure IV. 2 : Entrées et sorties d'ATLAS.	82
Figure IV. 3: les composants (ou modules) d'Atlas.....	83
Figure IV. 4 : Les commandes fondamentales dans un programme ATLAS.	85
Figure IV. 5 : (a) structure du dispositif de GAA et GAA-JLT de type n, (b) maillage de la structure GAA et GAA-JLT de type n	91

Figure IV. 6 : section transversal du GAA MOSFET avec concentration du dopage (a) JL GAA, (b) GAA.....	92
Figure IV. 7 : Représentation de la concentration en électron dans le mode de déplétion totale pour un GAA JLFET a $V_{GS}=0$	93
Figure IV. 8 : Diagramme de bande pour un JLTGAA en mode de déplétion totale à $V_{GS}=0$	94
Figure IV. 9 : Représentation de la concentration en électron dans le mode de déplétion partiel pour un GAA JLFET a $V_{GS}=V_{Th}>0$	95
Figure IV. 10 : Diagramme de bande du JLTGAA en mode de déplétion partiel a $V_{GS}=V_{Th}>0$	96
Figure IV. 11 : Représentation de la concentration en électron dans le mode de déplétion partiel pour un GAA JLFET a $V_{GS}>V_{Th}$	96
Figure IV. 12 : Diagramme de bande du JLTGAA en mode de déplétion partiel a $V_{GS}>V_{Th}$	97
Figure IV. 13 : Représentation de la concentration en électron en condition de bandes plates pour un GAA JLFET a $V_{GS}=V_{FB}$	98
Figure IV. 14 : Diagramme de bande du JLTGAA en condition de bande plate à $V_{GS}=V_{FB}$	98
Figure IV. 15: Représentation de la concentration en électron dans le mode d'accumulation pour un GAA JLFET a $V_{GS}>V_{FB}$	99
Figure IV. 16 : Diagramme de bande du JLTGAA en condition de bande plate à $V_{GS}=V_{FB}$	100
Figure IV.17 : Caractéristique de sortie $I_{DS}-V_{DS}$ du transistor GAA JLT à section rectangulaire.	101
Figure IV.18 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire.	102
Figure IV.19 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire.	104
Figure IV. 20 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA sans jonction.	105
Figure IV. 21: Structure 3D d'un GAAJLFET.	106
Figure IV. 22: Caractéristique de sortie $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la concentration du dopage N_D	107
Figure IV.23 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de la concentration du dopage N_D	108
Figure IV.24 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de la concentration du dopage N_D	108
Figure IV. 25 : Caractéristique de sortie $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la longueur de la grille L_g	110

Figure IV.26 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de la longueur de la grille L_g	110
Figure IV. 27 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox}	111
Figure IV. 28 : Caractéristique de transfert $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox}	112
Figure IV. 29 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox}	112
Figure IV. 30 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox}	113
Figure IV. 31 : Caractéristique de sortie $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la hauteur du FIN H_{fin}	114
Figure IV. 32 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de la hauteur du FIN H_{fin}	115
Figure IV. 33 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de la hauteur du FIN H_{fin}	116
Figure IV. 34 : Caractéristique de sortie $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la largeur du FIN W_{fin}	117
Figure IV. 35 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de la largeur du FIN W_{fin}	118
Figure IV. 36 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec la variation de la largeur du FIN W_{fin}	118
Figure IV. 37 : Caractéristique de sortie du Ge et Si GAAJLT.	119
Figure IV. 38 : Caractéristique de transfert du Ge et Si GAAJLT.....	120

Liste des tableaux

Tableau IV. 1 : Diagramme de la simulation numérique de Silvaco.	90
Tableau IV. 2 : les paramètres du dispositif conçu[4].	91
Tableau IV.3 : Variation of the device electrical parameters.	106
Tableau IV. 4 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation du dopage.	109
Tableau IV. 5 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de la longueur de la grille.	111
Tableau IV. 6 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de l'épaisseur de l'oxyde.	113
Tableau IV. 7 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de la hauteur du FIN.	116
Tableau IV. 8 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de la largeur du FIN.	119
Tableau IV. 9 : Performances DC obtenues pour Si et Ge GAA JLT	121
Tableau IV. 10 : Diffèrent résultats obtenus pour le JLT GAA trouvé dans la littérature.	121

Table des symboles et Notations

Symboles

CMOS	« Complementary Metal Oxide Semiconductor »
DGMOSFET	« Double Gate Metal Oxide Semiconductor Field Effect Transistor »
DIBL	« Drain Induced Barrier Lowering » : Effets de l'abaissement de la barrière de potentiel.
ECB	Electron de la bande de conduction
EVB	Electron de la bande de valence
FD-SOI	Fully depleted Silicon on insulator
FET	« Field Effect Transistor » :
GAA	« Gate all around »: grille enrobe
Ge	Germanium.
GIDL	Gate Induced Drain Leakage.
HiSIM	Hiroshima-University STARC IGFET Model
HP	High Performance.
HVB	Trous de la bande de valence
IDGMOSFET	« Independent Double Gate MOSFET » : MOSFET double grille indépendante
ITRS	International Technology Roadmap for Semiconductors.
JLFET	« Junction Less Field Effect Transistor » : Transistor à effet de champ sans jonction
JLT	Junction Less Transistor
LDD	Lightly Doped Drain.
LOCOS	LOCAl Oxidation
MET	« Microscopy Electron Transmission » : Microscopie à transmission électronique.
MOS	Metal Oxide Semiconductor.
MOSFET	Metal Oxide Semiconductor Field Effect Transistor (transistor à effet de champ MOS).
NMOS	Transistor à effet de champ MOS à canal N.
PD-SOI	Partially depleted silicon on insulator.
PMOS	Transistor à effet de champ MOS à canal P.
SCE	Short Channel Effect : effets des canaux courts

Symboles, constantes et notations

SDG	« Symetrical Double Gate »
Si	Silicium
SILVACO	Silicon VALley Corporation.
SOI	Silicon On Insulator : silicium sur isolant.
SON	Silicon on nothing
SRGMOSFET	MOSFET Cylindrique
STI	Shallow Trench Isolation.
TaN	Nitru de Tantal
TCAD	Technology Computer Aided Design, Design de technologie assisté par ordinateur.
TiN	Nitru de Titane
VeSFET	Vertical Split Field Effect Transistor

Constantes

k	Constante de Boltzmann,	$k=8,617385 \cdot 10^{-5}$	eV/K
q	Charge élémentaire	$q=1,6 \cdot 10^{-19}$	C
ϵ_0	Permittivité du vide	$\epsilon_0=8,85 \cdot 10^{-12}$	F/m
ϵ_{si}	Permittivité du Silicium	$\epsilon_{si}=11,8 \cdot \epsilon_0$	F/m
ϵ_{ox}	Permittivité de l'oxyde de Silicium	$\epsilon_{ox}=3,9 \cdot \epsilon_0$	F/m

Notations

C_{ox}	Capacité de l'oxyde de grille.	F. m ⁻²
$C_{ox,eff}$	Capacité effective de l'oxyde de grille.	F. m ⁻²
d_B	Profondeur de la zone de charge d'espace	m
d_j	Profondeur de la jonction	m
E_c	Champ électrique critique.	V/m

Symboles, constantes et notations

E_g	Energie de gap : largeur de la bande interdite du semi-conducteur.	eV
E_{gb}	Champ électrique transversal (grille \rightarrow bulk).	
E_y	Champ électrique transversal.	V/m
I_{DS}	Courant de drain.	A
$I_{DS,Sat}$	Courant de saturation du drain.	A
I_{off}	Le courant de drain à $V_{DS} = V_{DD}$ et $V_{GS} = 0$.	A
I_{on}	Le courant de drain à $V_{DS} = V_{GS} = V_{DD}$.	A
L_g	Longueur du canal.	m
L_{eff}	Longueur effective du canal.	m
N_A	Concentration en atomes accepteurs ionisés	cm ⁻³
N_D	Concentration en atomes donneurs ionisés.	cm ⁻³
N_G	Concentration en atome dans le polysilicium de grille.	cm ⁻³
Q'_{inv}	Charge de la zone d'inversion.	C. m ⁻²
SS	« Sub-thresholdslope » : pente sous-seuil	mV/dec
T	Température.	K
t_{Box}	« Burie oxidethickness » : Épaisseur de l'oxyde enterré	m
t_{ox}	Épaisseur de l'oxyde	m
t_{si}	Épaisseur du silicium	m
$v_d(E)$	Vitesse des porteurs en fonction du champ électrique	m/s
$v_{d,max}$	Vitesse maximal des porteurs	m/s
$V_{DS,Sat}$	Tension de saturation du drain.	V
V_{DS}	Tension drain source.	V
V_{FB}	Tension de « Flat Bande » : tension de bande plate.	V
V_{GS}	Tension de polarisation de la grille.	V
V_{Th}	« Threshold voltage » : tension de seuil.	V
$V_{Th,eff}$	« Effective threshold voltage » : tension de seuil effective	V
W_E	Largeur effective du canal.	m
W_{Fin}	Largeur du Fin (largeur du canal).	m

Symboles, constantes et notations

ϕ_{bi}	Potentiel intégré des jonctions source/substrat ou drain/substrat	eV
ϕ_M	Travail de sortie du métal.	eV
ϕ_{MS}	Différence de travail de sortie entre le métal et le semi-conducteur	eV
ϕ_s	Travail de sortie du semi-conducteur.	eV
Ψ_G	Chute du potentiel	V
Ψ_s	Potentiel de surface.	V
$\Psi(x,y)$	Potentiel électrostatique	V
χ_{si}	Affinité électronique du silicium.	eV
μ	Mobilité des porteurs.	m ² V ⁻¹ s ⁻¹
μ_0	Mobilité à faible champ électrique.	m ² V ⁻¹ s ⁻¹
μ_{eff}	Mobilité effective des porteurs dans le canal.	m ² V ⁻¹ s ⁻¹
ΔV_{ThL}	Variation de la tension de seuil	V

INTRODUCTION GENERALE

Introduction générale

Les dispositifs électroniques occupent une part considérable de l'économie mondiale actuelle. Depuis que J. Kilby a introduit le concept de circuits intégrés (CI) en 1958, le nombre de composants électroniques sur les puces électroniques a subi un accroissement exponentiel au fil du temps, les performances des transistors sur les puces électroniques se sont également améliorées. En 1965, Gordon Moore a prédit que le nombre de transistors sur une puce doublerait tous les 18 mois.

Les transistors à effet de champ à grille isolée dits MOSFET (metal oxide field effect transistors) comportent deux jonctions: une à l'interface source-canal et autre à l'interface canal – drain. Pour réduire davantage les transistors modernes au régime inférieur à 10 nm et exploiter les améliorations de performances apportées par le processus de mise à l'échelle, le dopage doit changer brusquement d'une valeur élevée (généralement $\sim 10^{20} \text{ cm}^{-3}$) dans les régions de source et de drain à une faible valeur (généralement $\sim 10^{14} - 10^{16} \text{ cm}^{-3}$) avec des dopants complémentaires dans la région du canal sur une plage de quelques nanomètres ($\sim 1 - 2 \text{ nm}$). La réalisation expérimentale d'un tel profil de dopage est extrêmement difficile, même avec le processus d'implantation ionique standard de l'industrie. Pour ajouter à cette difficulté, l'obtention d'une activation dopante élevée dans les régions de Source / Drain fortement dopées nécessite un recuit à haute température. Le processus de recuit, à son tour, conduit à une diffusion latérale assistée thermiquement des atomes de dopant des régions Source / Drain dans la région du canal. Cela restreint davantage la possibilité de réaliser des profils de dopage abrupte dans les MOSFET. La vie des concepteurs de dispositifs auraient été beaucoup plus faciles s'il n'y avait pas de jonctions métallurgiques. Ainsi, pour pallier à ce type de contraintes, des transistors à effet de champ sans jonction métallurgique ont été proposés facilitant la réduction des MOSFET conventionnels. Ces FET sans jonction (JLFET) utilisent un film semi-conducteur ultrafin avec un empilement de grille pour contrôler sa résistance et moduler le courant qui le traverse. L'absence d'une jonction métallurgique conduit à un tout nouveau mécanisme de conduction et propriétés de dispositif, qui sont différents des MOSFET conventionnels.

Étonnamment, le principe de fonctionnement du JLFET a été conceptualisé et breveté par le physicien austro-hongrois Julius Edgar Lilienfeld en 1930 avant même la découverte du transistor à contact ponctuel par Shockley, Brattain et Bardeen en 1947. Mais ce n'est qu'avec les récentes avancées dans la technologie de fabrication que les JLFET nanofils ont été

Introduction générale

expérimentalement réalisés en 2010, inspiré par le travail de Lilienfield. Depuis, une recherche exhaustive a été menée sur les JLFET. Le nombre de documents de recherche sur les JLFET a augmenté de façon exponentielle, et notre compréhension des JLFET s'est également considérablement améliorée au fil des ans. L'architecture sans jonction, en raison de son faible coût, de sa faible complexité de fabrication et de son faible budget thermique, a ouvert un nouveau domaine de possibilités passionnantes grâce auxquelles les JLFET pourraient être utilisés comme capteurs, mémoires, telles que DRAM sans condensateur, mémoire flash NAND, dispositifs d'affichage et pour les applications de circuits intégrés séquentiels biocompatibles, optoélectroniques et tridimensionnelles (3D) en dehors des applications logiques. Les énormes possibilités offertes par l'architecture de transistor sans jonction sont des opportunités passionnantes pour les chercheurs d'explorer et d'inventer de nouvelles structures de dispositifs pour une variété d'applications allant des circuits logiques aux mémoires, aux capteurs, à l'intégration 3D et à la technologie d'affichage.

Dans cette étude, nous nous sommes intéressés au fonctionnement des JLFET pour fournir une analyse comparative des différents paramètres de performance des JLFET par rapport aux MOSFET, afin de voir dans quelle mesure les JLFET pouvaient éventuellement remplacer les MOSFET.

Ainsi ce travail comporte quatre chapitres:

Le premier chapitre est consacré à la présentation générale des transistors MOSFET, ses limites lors de sa miniaturisation, et les solutions technologiques énoncées de manière à dépasser la barrière technique.

Le second chapitre présente dans un premier temps une description du transistor JLFET, puis son mécanisme de conduction et les différentes architectures utilisées dans cette technologie.

La modélisation et la conception du transistor sans jonction JLFET, est brièvement présentée au troisième chapitre.

Le quatrième chapitre résume les différents résultats de simulations obtenus suite à la simulation d'un GAA JLT-MOSFET faites à l'aide du logiciel SILVACO TCAD, une étude

Introduction générale

comparative avec le GAA MOSFET de même grandeurs géométrique a permis de mettre en évidence les performances des JLT-MOSFET et l'intérêt de concevoir ce type de structures.

CHAPITRE I

TRANSISTOR MOSFET

I.1 Introduction

Dans ce premier chapitre, nous allons présenter le transistor MOSFET conventionnel et son fonctionnement. Le transistor MOSFET conventionnel sur substrat massif est considéré comme le dispositif de base de la microélectronique, son développement, et particulièrement la diminution de ses grandeurs géométriques au fil des années a laissé apparaître certains phénomènes parasites non négligeables. Ces phénomènes parasites dits effets canaux courts seront brièvement présentés à la fin de ce chapitre.

I.2 Enjeux et dilemme de la miniaturisation

De nos jours une partie importante de l'économie mondiale est détenue par l'industrie électronique. Le concept du circuit intégré a été introduit en 1958 par J.Kilby. Quelques années après, en 1965, Gordon MOORE a énoncé une loi formulant que le nombre de transistors sur une puce doublera tous les 18 mois [1]. La diminution de la taille des transistors MOSFET a fait augmenter la densité d'intégration et le temps de réponse des circuits intégrés, ce qui a alors entraîné une diminution des coûts de fabrications. La réduction des dimensions du transistor MOSFET conventionnel a atteint ses limites en raison de l'apparition de certains effets indésirables appelés effet canaux court [2]–[4].

I.3 Généralités sur les transistors MOSFET

Le transistor FET « Field Effect Transistor » est un dispositif unipolaire où le courant électrique est transporté par un seul type de porteurs de charge les électrons ou les trous.

Le dispositif le plus utilisé en microélectronique est le transistor MOSFET (Figure I.1) acronyme de « Metal Oxide Semiconductor Field Effect Transistor », il est constitué d'un substrat uniformément dopé, de deux réservoirs de charge constituant la source et le drain ayant un dopage opposé à celui du substrat, un oxyde qui sépare la grille du substrat, et un canal de conduction. La polarisation de la grille crée un champ transversal qui commande dans le cas du MOSFET à enrichissement du canal la formation de ce dernier entre l'électrode de source et l'électrode de drain. L'absence de polarisation de la grille empêche le courant de circuler, le transistor est en mode bloqué. Quand on applique une tension V_{GS} supérieure à un certain seuil sur la grille qui représente la tension de seuil notée V_{Th} pour "threshold voltage", le canal se forme, l'application

d'une tension entre le drain et le substrat permettra le passage des électrons de la source vers le drain et la circulation du courant dans le sens inverse.

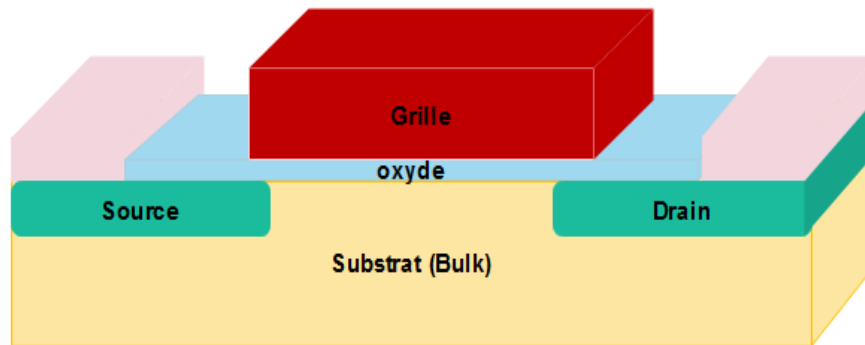


Figure I. 1: Transistor MOSFET[5].

I.3.1 Régimes de fonctionnement du transistor MOSFET

Nous allons dans ce qui suit expliquer le fonctionnement physique du transistor MOSFET, mais tout d'abord nous jugeons utile de présenter sa structure qui n'est autre qu'une diode MOS, cœur du MOSFET, placée entre deux régions dopées N pour le cas d'un MOSFET à canal N et P pour le MOSFET à canal P formant alors deux jonctions pn adjacentes.

I.3.1.1 La structure MOS

La structure métal – isolant - semi-conducteur dite MIS est l'une des pièces maîtresses de l'électronique moderne. Elle est à la base de l'électronique moderne et par conséquent des circuits intégrés à VLSI et ULSI. La structure MIS est assez facile à réaliser, car elle est obtenue par l'oxydation thermique d'un semi-conducteur permettant de fournir la couche d'isolant. Les contacts électriques sont obtenus par dépôts métalliques (voir Figure I.2).

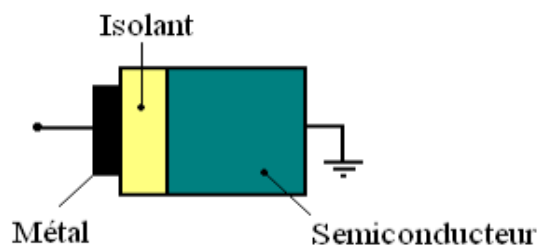


Figure I. 2: La capacité MOS.

I.3.1.2. La structure MOS idéal

On considère un métal de travail de sortie $q \cdot \phi_M$ et un semi-conducteur de silicium dopé P de travail de sortie $q \cdot \phi_S$ et d'affinité $q\chi$ séparés par une couche d'isolant. Le diagramme de bande de cette structure MOS idéale est donné en Figure I.3.

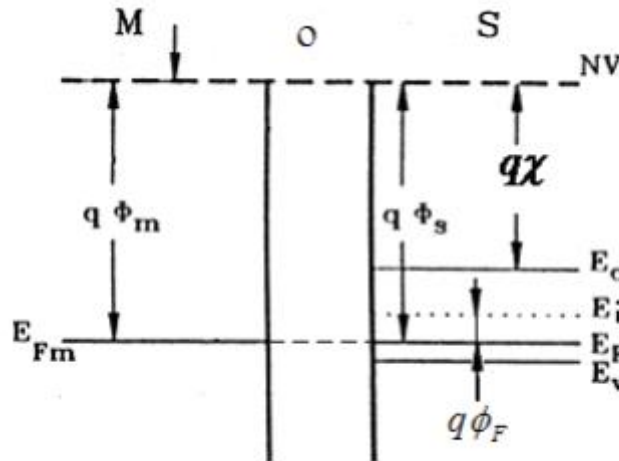


Figure I. 3: Le diagramme de bande de la structure MOS idéale.

On peut alors écrire:

$$q\phi_{MS} = q\phi_M - \left(q\chi + \frac{E_g}{2} + q\phi_F \right) \quad \text{I. 1}$$

$$q\phi_F = E_i - E_F \quad \text{I. 2}$$

où:

$q\phi_{MS}$: est la différence entre le travail de sortie du métal et du semi-conducteur

E_i : est le niveau de Fermi intrinsèque, situé au milieu de la bande interdite

E_F : est le niveau de Fermi du semi-conducteur,

q : la charge élémentaire de l'électron,

E_g : est la largeur de la bande interdite.

La hauteur de la barrière située entre le semi-conducteur et le métal représente la différence des travaux de sortie du métal et du semi-conducteur.

La structure MIS idéale est telle que:

Si aucune tension extérieure n'est appliquée alors la différence entre le travail de sortie du métal et du semi-conducteur est nulle, $q\phi_{MS} = 0$. C'est le régime des bandes plates.

Les seules charges dans la structure sont celles contenues dans le semi-conducteur et à la surface métal en même quantité, mais de signes opposés.

Chapitre I : Transistor MOSFET

La polarisation de la diode avec une tension positive ou négative fait apparaître trois cas au niveau de l'interface oxyde/ semi-conducteur; $\phi_M \neq \phi_S$.

$$V_{FB} = \phi_M - \phi_S \quad \text{I. 3}$$

Par ailleurs, la présence des charges localisées Q_{SS} à l'interface oxyde/ semi-conducteur, modifie la barrière de potentiel ainsi que les régimes de fonctionnement de la structure. Ces charges Q_{SS} induisent dans le semi-conducteur une charge équivalente est de signe opposé à Q_S ainsi $\phi_{SS} = -\phi_S$, Il existe alors entre le métal et le semi-conducteur une différence de potentiel additionnelle, on peut alors écrire:

$$\Delta V = V_M - V_S = \frac{Q_M}{C_{ox}} = \frac{-Q_S}{C_{ox}} = \frac{Q_{SS}}{C_{ox}} \quad \text{I. 4}$$

C_{ox} : est la capacité de l'oxyde et est telle que:

$$C_{ox} = \frac{\epsilon_{ox}}{T_{ox}} \quad \text{I. 5}$$

ϵ_{ox} : est la constante diélectrique de l'oxyde,

T_{ox} : est l'épaisseur de l'oxyde;

et Q_{SS} représente la densité de charge d'interfaces.

Ainsi, en considérant d'une part la différence des travaux de sortie et en considérant d'autre part la présence des charges d'interface, la tension de polarisation nécessaire afin d'établir le régime de bande plate "Flat band" est tel que:

$$V_{FB} = \phi_M - \phi_S - \frac{Q_{SS}}{C_{ox}} \quad \text{I. 6}$$

V_{FB} est la tension de bandes plates (flat band voltage). $V_{FB} < 0$ car $\phi_M < \phi_S$, par ailleurs Q_{SS} est toujours positif.

La structure métal oxyde semi-conducteur idéale est déterminée comme suit: les travaux de sortie du métal et du semi-conducteur sont supposés égaux, on suppose par ailleurs, qu'il n'existe pas d'états d'interface entre oxyde et le semi-conducteur, que l'oxyde est parfait.

La hauteur de barrière de potentiel entre le métal et le semi-conducteur est représentée par la différence des travaux de sortie du métal et du semi-conducteur.

Le diagramme de bandes d'énergies et distribution des charges dans une structure MOS idéale dans ses différents régimes de fonctionnement est donné en Figure I.4.

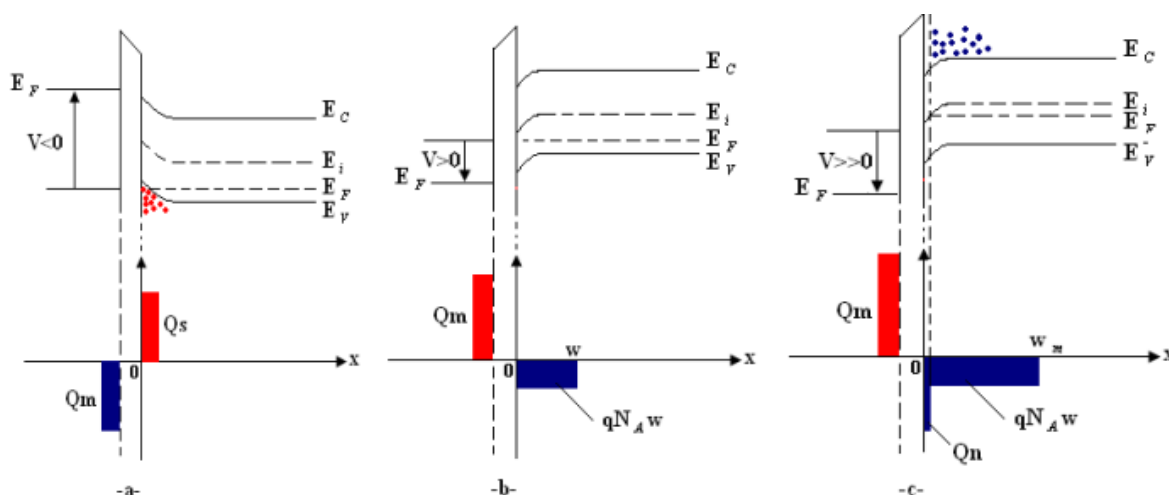


Figure I. 4: Diagramme des bandes d'énergies et distribution des charges dans une structure MOS idéale dans les différents régimes de fonctionnement -a-)accumulation, -b-) déplétion et -c)inversion.

En appliquant sur la grille du MOS conçu sur un substrat type P une tension de polarisation V telle que:

1) Pour $V < 0$ on obtient une accumulation de trous qui sont des charges positives à l'interface isolant/ semi-conducteur, avec une courbure des bandes vers le haut et aucun courant ne circule. Une augmentation de la densité de charge à l'interface due à l'augmentation de la différence d'énergie $E_i - E_F$ qui lui-même est dû au déplacement des bandes vers le haut à l'interface isolant semi-conducteur conduit à ce régime de fonctionnement **dit régime d'accumulation** où la densité d'électron par unité de surface dans le semi-conducteur Q_s et la densité des trous par unité de surface dans le métal Q_M sont tels que:

$$|Q_M| = Q_s \quad \text{I. 7}$$

2) Pour une faible tension positive $V > 0$, la courbure des bandes d'énergies à la surface isolant/semi-conducteur se fait maintenant vers le bas. Il se produit alors une désertion des trous majoritaires de cette surface. **Ce régime est appelé régime de déplétion.** Dans ce cas la densité des porteurs minoritaires par unité de surface est donnée par:

$$Q_s = -qWN_A \quad \text{I. 8}$$

N_A est la concentration des accepteurs dans le substrat et W la largeur de la zone de charge d'espace

3) Pour une tension de polarisation positive plus importante, la courbure des bandes se fait vers le bas à la surface isolant/semi-conducteur et est bien plus accentuée et le niveau de Fermi passe au-dessus du niveau de Fermi intrinsèque ce qui veut dire que la tension de polarisation est alors suffisante pour induire un excès d'électrons dans cette surface, ainsi la densité des porteurs

minoritaires ou électrons est supérieure à la densité des porteurs majoritaires soit les trous dans la surface isolant/semi-conducteur; **c'est alors le régime d'inversion.**

À l'interface isolant semi-conducteur $\psi = \psi_s$, ψ_s est alors le potentiel de surface mis en évidence sur la Figure I.5.

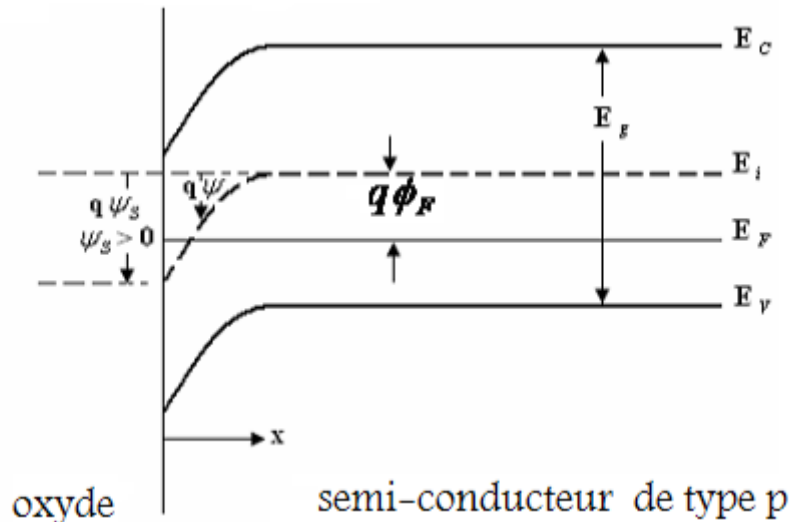


Figure I. 5 : Structure de bandes à la surface d'un semi-conducteur dopé P

On peut déterminer le régime de fonctionnement du transistor par rapport au potentiel de surface à l'interface isolant/ semi-conducteur

$\psi_s < 0$ on aura une accumulation des trous, si $\psi_s = 0$ on a un régime de bandes plates, $0 < \psi_s < \phi_F$, on a un régime de déplétion ou désertion de trous, $\psi_s > \phi_F$ on a un régime d'inversion.

En considérant l'équation de poisson, on peut écrire:

$$\frac{d^2\psi}{dx^2} = -\frac{\rho_s(x)}{\epsilon_S} \quad \text{I. 9}$$

$\rho_s(x)$ est la densité de charge, ϵ_S est la permittivité

Le potentiel ψ_s est égal à :

$$\psi_s = \frac{qN_A W^2}{2\epsilon_S} \quad \text{I. 10}$$

W est la largeur de la zone de déplétion.

En régime de forte inversion, le potentiel est tel que:

$$\psi_{s(inversion)} = 2\phi_F = \frac{2KT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad \text{I. 11}$$

$\psi_{s(inversion)}$ En forte inversion, la concentration des électrons est égale à N_A .

I.3.1.3. La structure MOS réelle (SiO₂-Si)

Chapitre I : Transistor MOSFET

La structure MOS la plus étudiée est la structure Métal-SiO₂-Si, car ses caractéristiques sont proches de celle de la structure idéale. Toutefois la barrière de potentiel ϕ_{MS} n'est pas nulle, par ailleurs il y a diverses charges à l'intérieur de l'oxyde qui affectent les caractéristiques du MOS idéal.

Rappelons tout d'abord que le travail de sortie du métal $q\phi_M$ est constant, alors que celui du semiconducteur $q\phi_S$ qui représente la différence d'énergie entre le niveau de Fermi et celui du vide dépend du dopage du semiconducteur et n'est donc pas constant, ainsi la barrière de potentiel varie donc en fonction du dopage.

Pour une structure réelle, on représente la structure de bande en régime des bandes plates. Et la structure de bandes à équilibre thermique où le niveau de Fermi doit demeurer constant dans tout le système alors que le niveau du vide doit être continu, on aura donc une courbure vers le bas des bandes à l'interface oxyde /semi-conducteur due à la différence des travaux de sortie entre le métal et le semi-conducteur (Figure I.6). Dans ce cas le métal sera chargé positivement et le semi-conducteur le sera négativement. Pour ramener le système à l'état des bandes plates, on doit nécessairement appliquer une tension égale à la différence des travaux de sortie; cette tension est appelée tension des bandes plates (flat-band voltage).

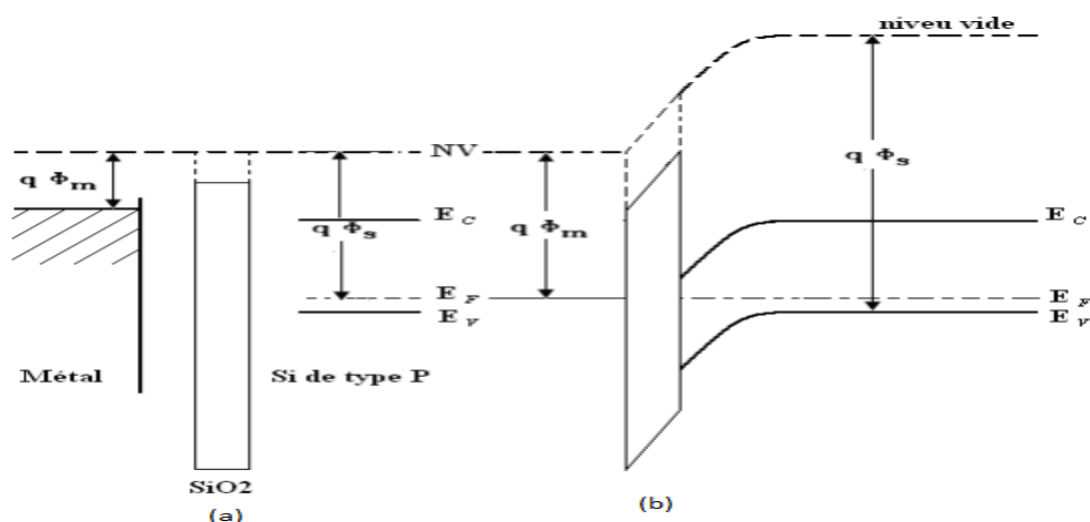


Figure I. 6 : Diagramme des bandes: (a) pour un système isolé, (b) pour un système en équilibre thermique

Ainsi on peut dire en résumé que la conduction du transistor est contrôlée par la polarisation de sa grille qui permet de distinguer trois régimes de fonctionnement: régime d'accumulation, régime

Chapitre I : Transistor MOSFET

d'inversion et régime de déplétion [5],[6] (voir Figure I.7). En supposant que le travail de sortie du métal ϕ_M est égal au travail de sortie du semiconducteur ϕ_S de manière à se placer en situation de bandes plates à une tension de grille nulle on a :

a) **Un Régime d'accumulation :**

Quand la tension V_{GS} est négative, les trous vont migrer vers la surface du canal créant une quantité de charge positive importante, ce qui correspond à un potentiel de surface négative [5], [6].

b) **Un Régime de déplétion :**

Lorsque la tension V_{GS} est positive, et inférieure à la tension de seuil V_{Th} , les trous sous la grille sont repoussés laissant uniquement les charges fixes, ce qui rend le potentiel de surface nul, et les atomes à leur état naturel [5], [6].

c) **Un régime d'inversion :**

Le phénomène d'inversion correspond à un potentiel de surface positif qui va provoquer une augmentation de la concentration d'électrons. Deux régions se distinguent, la faible inversion (weak inversion) où on dispose d'une faible concentration d'électrons et la forte inversion (strong inversion) dans ce cas on dispose d'une forte concentration d'électrons [5], [6].

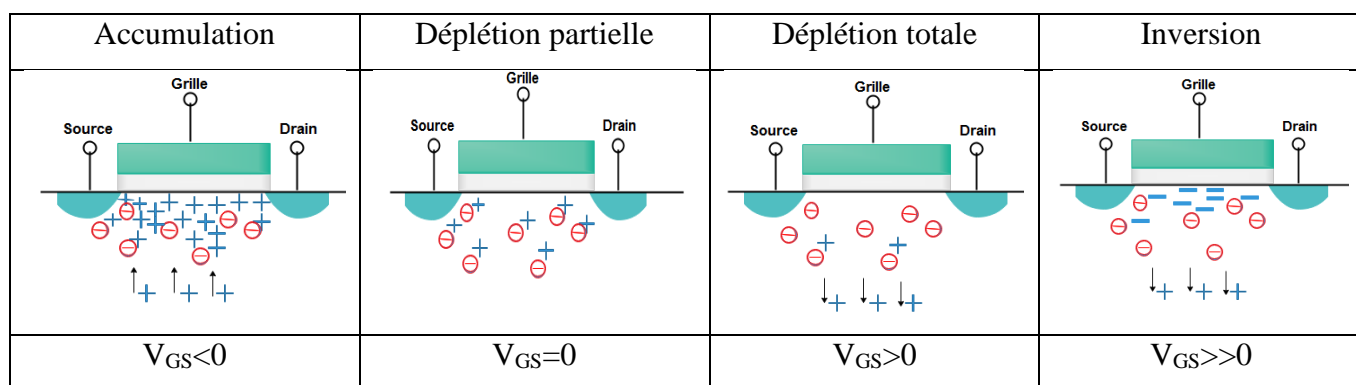


Figure I. 7 : Différents régimes de fonctionnement du MOSFET.

On rappelle que la tension de seuil notée V_{Th} pour threshold voltage est la tension de polarisation de l'électrode métallique nécessaire à l'établissement du régime de forte inversion. Cette tension s'exprime par:

$$V_{Th} = 2\phi_F + \frac{\sqrt{4\epsilon q N_A \phi_F}}{C_{ox}} \tag{I. 12}$$

I.3.2 Caractéristique électrique idéale du transistor MOSFET

Les caractéristiques en mode DC du transistor MOSFET se fait par des mesures statiques en courant-tension au niveau du drain $I_{DS}=f(V_{DS})$ et courant- tension au niveau de la grille, $I_{DS}=f(V_{GS})$. La Figure I.8 représente des caractéristiques idéales associées à des transistors MOSFET à canal long [6].

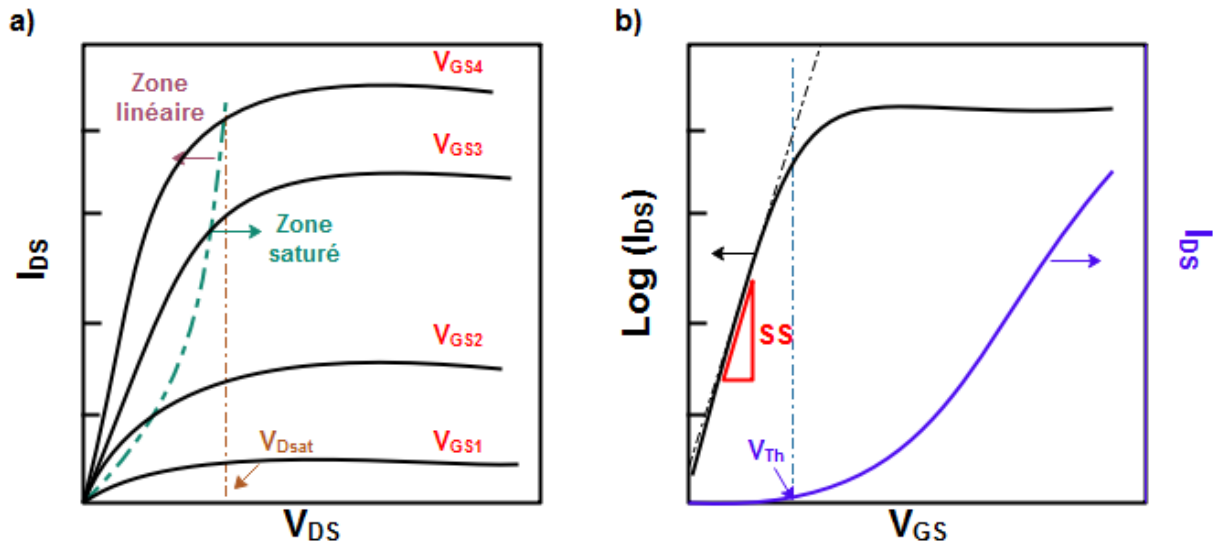


Figure I. 8: Caractéristique statique d'un transistor MOSFET: (a) I_{DS} - V_{DS} et (b) I_{DS} - V_{GS} .

a) Régime de faible inversion ($V_{GS} < V_{Th}$).

La polarisation de la grille permet de moduler la concentration des porteurs en surface dans le canal, ainsi que la hauteur de barrière Drain/ Source. Lorsque la tension $V_{GS} < V_{Th}$ (mode bloqué), le transistor est en régime de déplétion ou de faible inversion. Le courant de drain I_{DS} est défini par l'équation I.13 [6] :

$$I_{DS} = \frac{W}{L_{eff}} C_{dep} \cdot \mu_0 \left(\frac{kT}{q} \right)^2 \cdot \left(1 - \exp\left(-\frac{qV_{DS}}{kT}\right) \right) \cdot \exp\left(q \frac{V_{GS} - V_{Th}}{\alpha kT}\right) \quad \text{I. 13}$$

W : est la largeur du canal.

L_{eff} : est la longueur effective du canal.

μ_0 : est la mobilité des porteurs.

Le facteur α est tel que:

$$\alpha = (1 + C_{dep}/C_{ox}) \quad \text{I. 14}$$

C_{ox} est la capacité de l'oxyde de la grille, C_{dep} est la capacité de la zone de déplétion.

Chapitre I : Transistor MOSFET

k : constante de Boltzmann.

q : charge élémentaire.

T : température.

En régime de faible inversion, le courant de drain est exponentiellement proportionnel à la différence de tension ($V_{GS} - V_{Th}$). On définit alors la pente sous le seuil SS (« Subthreshold Slope ») par l'équation I.15 [6] :

$$SS = \frac{\partial V_{GS}}{\partial (\log I_{DS})} = \left(1 + \frac{C_{dep}}{C_{ox}}\right) \cdot \frac{kT}{q} \ln 10 (\text{mV/dec}) \quad \text{I. 15}$$

C_{dep} et C_{ox} sont respectivement la capacité de la zone de déplétion et la capacité de l'oxyde de grille.

La pente sous le seuil correspond à la tension de la grille nécessaire pour augmenter le courant de drain d'une décade. Dans le cas d'un transistor idéal à température ambiante (300 K), la pente sous le seuil est de 60 mV/dec.

b) Régime de forte inversion ou mode passant ($V_{GS} > V_{Th}$)

Quand $V_{GS} > V_{Th}$, le transistor est en régime de forte inversion, le schéma du régime linéaire est représenté dans la Figure 1.9 (a). Pour les faibles polarisations du drain, la charge d'inversion dans le canal est totalement contrôlée par la grille. Le courant passant dans le transistor est quasi-linéaire et s'exprime par [6]:

$$I_{DS} = \frac{W}{L_{eff}} \mu_0 C_{ox} \left[V_{GS} - V_{Th} - \frac{1}{2} V_{DS} \right] V_{DS} \quad \text{I. 16}$$

Lorsque la polarisation du drain augmente, le champ vertical de la grille place le canal en limite de pincement et la charge d'inversion est modifiée. Pour, $V_{DS} = V_{DS,sat}$, un point de pincement se crée à l'interface drain/canal ce point est mis en évidence en Figure I.9 (b). Ce point de pincement se déplace vers la source quand la polarisation du drain augmente (Figure I.9 (c)). Au-delà du point de pincement, la charge d'inversion diminue quand V_{DS} augmente, et le courant du drain sature et atteint la valeur $I_{DS,sat}$. Ce courant de saturation est tel que [6] :

$$I_{DS,sat} = \frac{W}{L_{eff}} \mu_0 C_{ox} (V_{GS} - V_{Th})^2 \quad \text{I. 17}$$

W est la largeur du canal, L_{eff} est la longueur effective du canal, μ_0 est la mobilité des porteurs et C_{ox} est la capacité de l'oxyde de grille.

En considérant l'équation I.17, on remarque qu'afin d'augmenter le courant de saturation $I_{DS,sat}$ tout en conservant la même valeur de la tension de saturation $V_{DS,sat}$, on doit diminuer la longueur effective du canal L_{eff} et augmenter sa largeur W , la mobilité des porteurs μ_0 et la capacité de l'oxyde de grille C_{ox} . La diminution de L_{eff} peut être réalisée par une miniaturisation de la grille du dispositif. L'augmentation de la mobilité μ_0 peut être obtenue par l'introduction d'une contrainte dans le canal ou l'utilisation de matériaux de haute mobilité (III-V ou graphène). La capacité de grille, C_{ox} peut être augmentée par la diminution de l'épaisseur de la couche d'oxyde de grille avec notamment l'introduction de matériaux à forte permittivité diélectrique (high-k). Concernant la largeur du dispositif, si elle est élargie et si cette dernière est accompagnée d'une diminution de sa longueur effective L_{eff} , la perte du contrôle électrostatique du canal deviendrait inévitable et entrainerait une augmentation des courants de fuite du transistor.

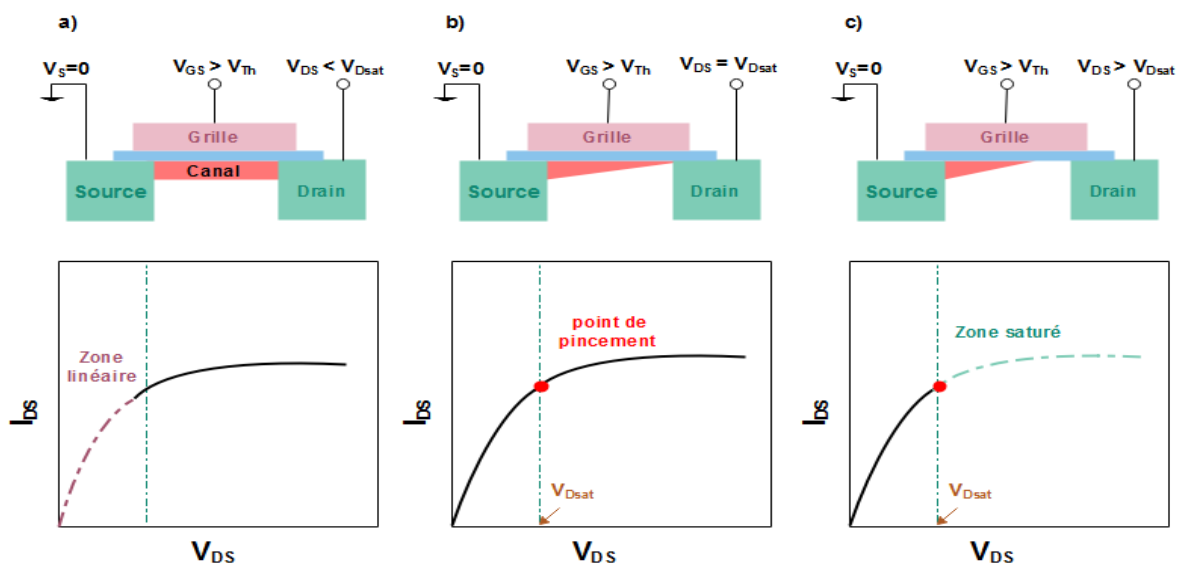


Figure I. 9: Régime de conduction : (a) régime linéaire (b) régime de pincement (c) régime de saturation.

I.4 Les phénomènes parasites dans les transistors MOSFET

Vu que les dimensions des MOSFETs ont atteint cette dernière décennie des valeurs nanométriques, nous allons présenter brièvement dans ce qui suit quelques phénomènes physiques rencontrés pour les transistors de faibles dimensions.

Par rapport aux axes grille→substrat, drain→source et l'axe parallèle à W , les champs électriques sont, respectivement, le champ électrique transversal, longitudinal et latéral (Figure I.10). Le champ électrique global du canal et dans le reste du silicium est une combinaison d'au moins deux de ces champs [7].

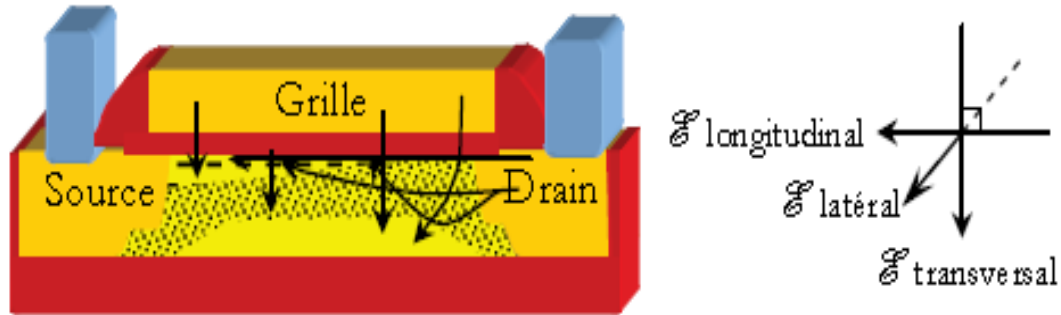


Figure I. 10: Représentation des lignes de champ électrique dans le MOSFET. L'orientation des vecteurs des champs électriques E est illustrée à droite [7].

I.4.1 Les effets canaux courts

Dans cette partie on examine l'impact de la réduction des dimensions du MOSFET sur son fonctionnement intrinsèque. En effet, un accroissement des performances des MOSFET s'obtient par la réduction de la longueur de leur canal, pour les mêmes conditions de polarisation, en théorie, le courant I_{DS} est plus élevé pour une longueur de canal plus faible. Or, des effets physiques négligés pour les MOSFET à canal long se révèlent être importants pour des transistors de faibles dimensions, on cite par exemple la modulation de la longueur du canal, la saturation de la vitesse des porteurs en fonction du champ électrique, etc..... [7].

I.4.1.1 Vitesse de saturation

La vitesse des porteurs minoritaires est proportionnelle au champ électrique longitudinal. Cette vitesse atteint un seuil appelé $v_{d,max}$, quand le champ électrique atteint une valeur critique E_c qui est tel que[7]:

$$E_c = \frac{|v_{d,max}|}{\mu} \quad \text{I. 18}$$

Une approximation de la vitesse des porteurs minoritaires du dispositif notée $v_d(E)$ en fonction du champ électrique longitudinal et de la vitesse de saturation, est donnée par [8] :

$$|v_d(E)| = |v_{d,max}| \frac{|E|/E_c}{1+|E|/E_c} \quad \text{I. 19}$$

Lorsque la longueur du canal diminue, le champ électrique dans ce dernier peut atteindre une valeur critique à partir de laquelle la vitesse des porteurs commence à saturer et le lien entre le courant sans les effets de saturation de la vitesse, $I_{DS,v0}$, et le courant $I_{DS,v}$ prenant en considération ces mêmes effets aura pour expression:

$$I_{DS,v} = \frac{I_{DS,v0}}{1 + \frac{V_{DS}}{L_g E_c}} \quad \text{I. 20}$$

Dans ce cas, on remarque que la caractéristique $I_{DS,sat}(L_g)$ ne tend plus vers l'infini lorsque L_g tend vers 0, mais tend plutôt vers une valeur constante, comme illustrée en Figure I.11.

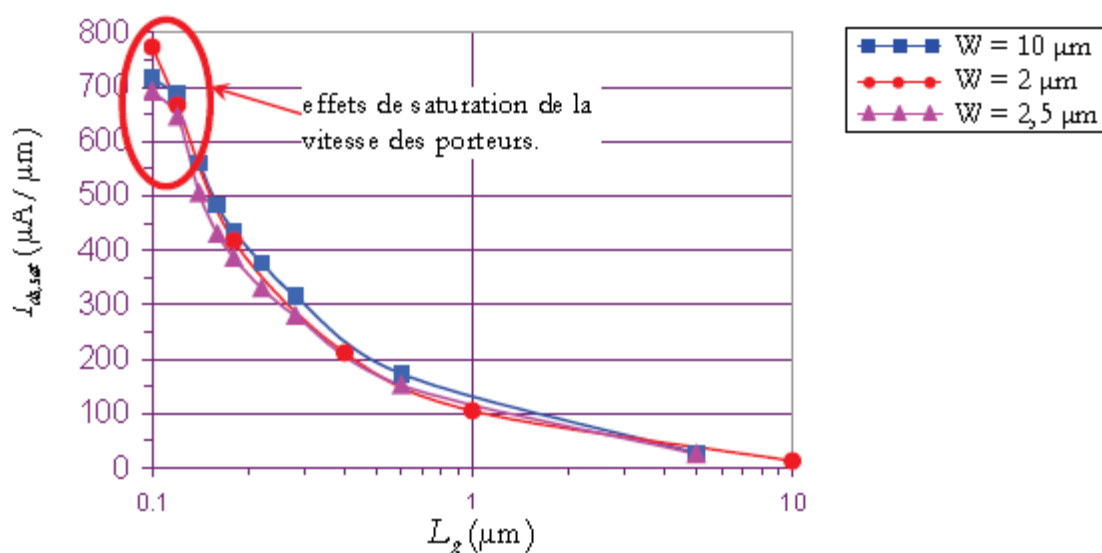


Figure I. 11: $I_{DS,sat}(L_g)$ pour différentes valeurs la largeur W du MOSFET [7].

La saturation de la vitesse des porteurs minoritaires entraîne une diminution de la tension $V_{DS,sat}$, ainsi que celle du courant $I_{DS,sat}$ sur les caractéristiques des MOSFETs [8–10].

Une autre conséquence concerne la variation du courant $I_{DS,sat}$, car avec la saturation de la vitesse des porteurs, le courant $I_{DS,sat}$ est fonction de la tension ($V_{GS}-V_{Th}$) surtout quand la longueur L_g est petite, car en négligeant ces effets, le courant $I_{DS,sat}$ est proportionnel à la tension $(V_{GS}-V_{Th})^2$ [7].

I.4.1.2 Effet de réduction de la barrière de potentiel induit par le drain (DIBL)

En augmentant le potentiel de drain V_{DS} , la zone de charges d'espace liée à la jonction drain/substrat s'élargit. En conséquence, la quantité des charges de désertion contrôlée par la grille

diminue par rapport à la tension V_{DS} appliquée. Ainsi, la tension de seuil diminue en fonction de V_{DS} , (la Figure I.12). Ce phénomène est appelé effet DIBL ou "Drain Induced Barrier Lowering".

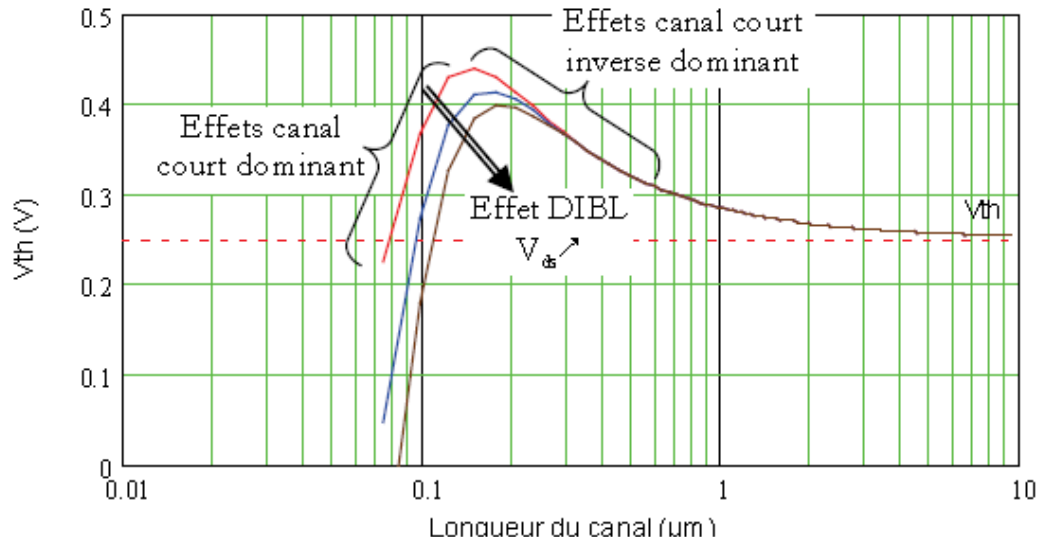


Figure I. 12: Variations de la tension de seuil en fonction de la longueur du canal pour la technologie MOSFET 0,13 μm [7].

Une des conséquences du DIBL peut être la mise en conduction du MOSFET même si ce dernier est bloqué. En effet, même si $V_{GS} < V_{Th}$, en ajustant V_{DS} , il est possible de décroître la valeur de V_{Th} jusqu'à l'obtention de $V_{GS} > V_{Th}$, (Figure I.13). Dans ces conditions, le transistor peut fonctionner à nouveau en régime d'inversion forte. Ainsi, en dehors des effets de modulation de la longueur du canal, le courant de saturation, $I_{DS,Sat}$, augmente en fonction de V_{DS} au-delà de $V_{DS,Sat}$. Une autre conséquence du DIBL est la forte dégradation de la pente sous le seuil[12]. Le DIBL entraîne aussi l'augmentation du seuil du courant de fuite I_{OFF} .

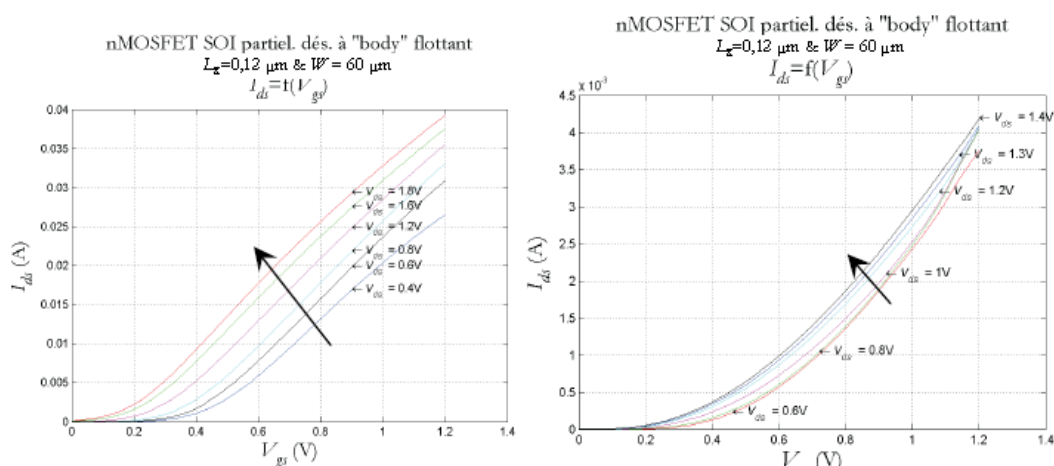


Figure I. 13: Effets DIBL sur la caractéristique $I_{DS}(V_{GS})$ prononcée pour un n-MOSFET de longueur $0,12 \mu\text{m}$ à gauche, par rapport à un dispositif avec $L_g=2 \mu\text{m}$ à droite[7].

L'effet DIBL modifie également le potentiel de surface. Quand la polarisation V_{DS} augmente, son minimum ne se situe plus au milieu du canal, mais se déplace en direction de la source. La barrière de potentiel de la jonction source/canal est abaissée. La modélisation de l'effet DIBL doit, également, prendre en compte cette dépendance en complexifiant son écriture[13], [14].

Pour finir, l'effet DIBL est caractérisé par le rapport $\Delta V_{GS}(\text{mV})/\Delta V_{DS}$ en inversion faible pour un courant I_{DS} constant. Lorsque cet effet est faible, la valeur typique de $\Delta V_{GS}(\text{mV})/\Delta V_{DS}$ est supérieure à 100 mV/V [7].

I.4.2 Les effets quantiques

Classiquement, la concentration des porteurs libres dans le canal du MOSFET est décrite à partir de la statistique de Maxwell-Boltzmann. Or, à l'interface Si/SiO₂, lorsque la surface du silicium est fortement inversée ou accumulée, les courbures des bandes peuvent former des puits de potentiel énergétiques. La largeur de ces puits à l'interface Si/SiO₂ peut être plus faible que la longueur d'onde associée aux porteurs, il en découle une quantification des niveaux d'énergie des porteurs. Dans ces conditions, la statistique de Fermi-Dirac ne permet plus de décrire la distribution des porteurs dans le canal [15].

La densité des porteurs libres occupe des niveaux d'énergie supérieurs à celles décrites par la statistique de Maxwell-Boltzmann. Ainsi, le premier niveau occupé est supérieur à la bande de conduction. Les courbures de bandes sont augmentées, (Figure I.14-(b)). Les porteurs sont repoussés de l'interface Si/SiO₂ en direction du substrat dont le pique de $|Q'_{inv}|$ se situe à une distance comprise entre 7 et 15 \AA de cette interface [16], [17]. Cette distance varie selon le type de porteur dans la couche d'inversion. L'augmentation du dopage de substrat ou de l'épaisseur de

l'oxyde de grille implique des puits de potentiel plus étroits. Ainsi, le premier niveau d'énergie autorisé sera élevé, ceci se traduit par une épaisseur effective de l'oxyde de grille plus importante (Figure I.14-a). La résolution des équations de charges s'effectue par une résolution de Poisson-Schrödinger [18]–[21] ou Poisson-Wigner [22]–[24].

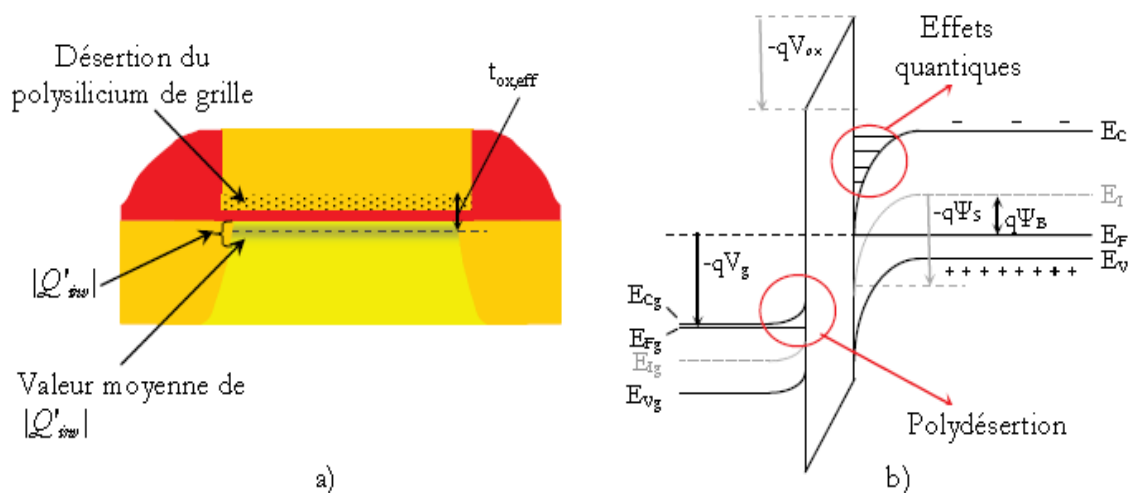


Figure I. 14: Représentation de l'épaisseur effective de l'oxyde de grille dans un MOSFET. a) et illustration des effets de mécanique quantique et de polydésertion par le diagramme des bandes b)[7].

Ces effets ont pour conséquence un abaissement de la caractéristique C-V de la structure MIS en inversion, et accumulation forte par rapport à la théorie des MOSFET à oxyde épais [25]–[27]. La mesure C-V devient une méthode pour déterminer ces effets quantiques. Par rapport à la théorie classique, le niveau de la tension de seuil s'accroît [28], la valeur du courant I_{DS} diminue [20] et la transconductance g_m subit une dégradation [29].

I.4.3 Effet GIDL

En accumulation et à V_{DS} fort, le courant de fuite drain-source, ou I_{OFF} , augmente en fonction de V_{DS} (Figure I.15). Ce phénomène correspond au GIDL ou "Gate Induced Drain Leakage".

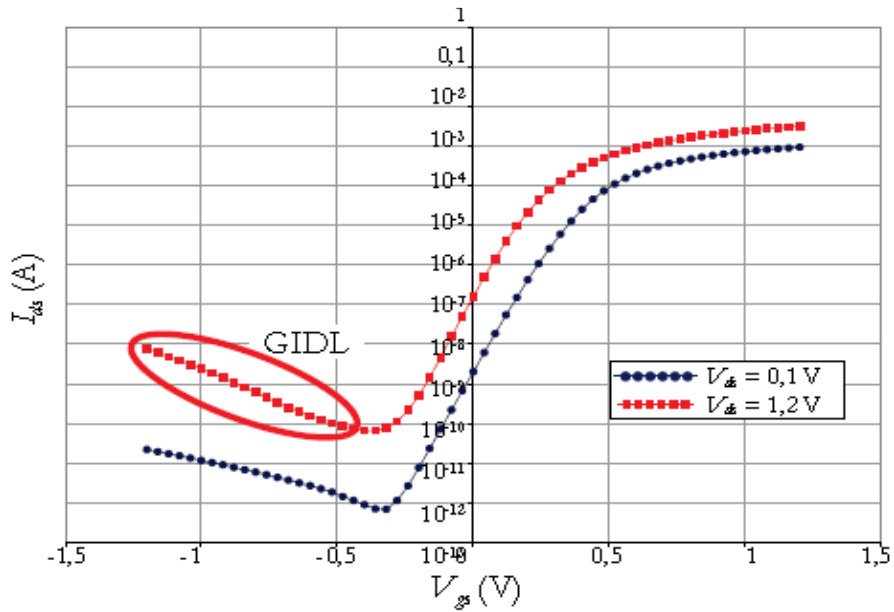


Figure I. 15: Variations de la caractéristique $I_{Ds}(V_{Gs})$ en fonction de V_{Ds} [7].

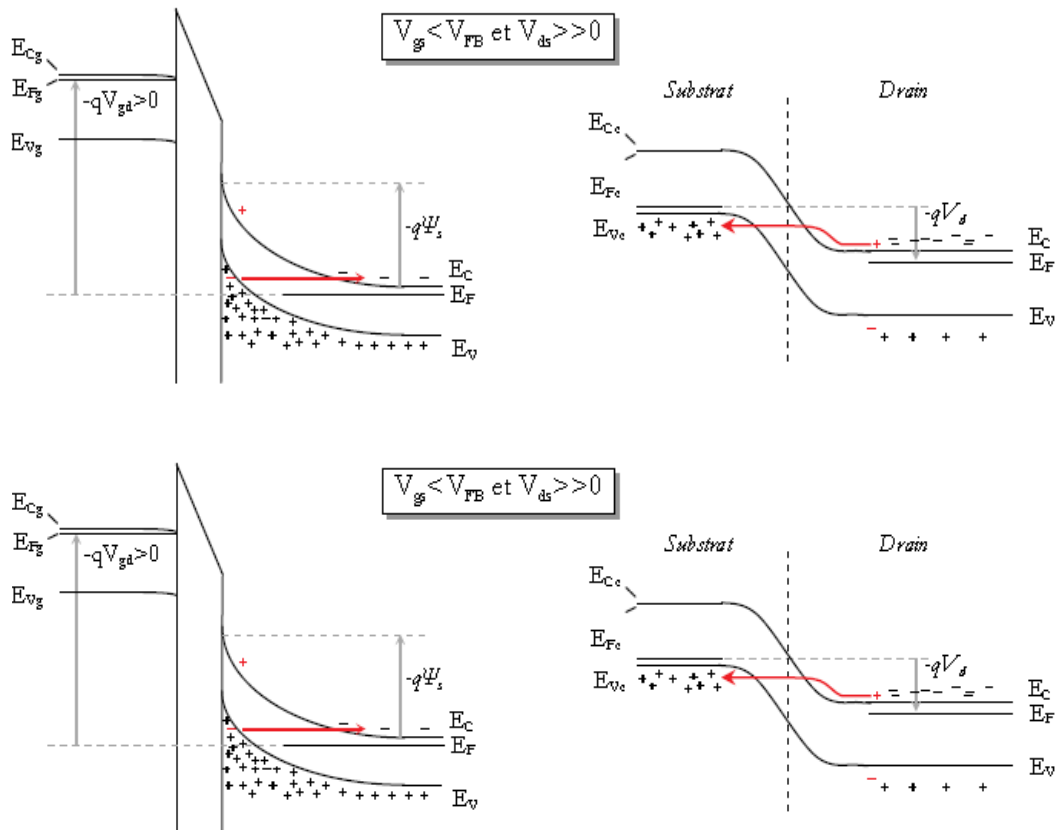


Figure I. 16: Représentation de la structure de bandes proche de la région du drain, avec la mise en évidence de l'effet GIDL [7].

Pour un MOSFET à canal n, dans sa région n+ du côté du drain, une large zone de désertion se forme sous les effets conjugués des forts champs électriques longitudinaux et verticaux. Un courant tunnel bande à bande issu de paires électron/trou se forme à l'interface "oxyde de grille/substrat". Les électrons de la bande de valence accèdent à la bande de conduction par des effets tunnel direct et indirect [30], (voir Figure I.16-a). Les électrons sont évacués par le drain, sous l'action du champ électrique vertical. Les trous sont repoussés dans le substrat, par la zone de désertion créée à la jonction "drain/substrat" polarisée en inverse (Figure I.16-b).

I.5 Amélioration des performances des MOSFET

I.5.1 Transistor MOSFET SOI

La première révolution dans l'architecture du transistor MOSFET est l'apparition des transistors sur film mince SOI « Silicon On Insulator » (Figure I.17). Ce type de transistor est caractérisé par deux paramètres supplémentaires par rapport aux transistors conventionnels : l'épaisseur du film de silicium (t_{Si}) sur lequel est intégrée la région active du dispositif et l'épaisseur de la couche d'oxyde (t_{BOX}) dit oxyde enterré. On distingue deux types de dispositifs sur film mince. Lorsque l'épaisseur t_{Si} du film est suffisamment épaisse, une partie seulement du film est désertée. On parle alors du transistor SOI partiellement déserté PD-SOI (Partially Depleted Silicon On Insulator), son fonctionnement et ses caractéristiques sont proches de ceux du transistor sur silicium massif. Lorsque l'épaisseur t_{Si} est plus fine, l'ensemble du substrat est déserté et on parle cette fois d'un transistor totalement déserté ; FD-SOI (« Fully Depleted Silicon On Insulator »). Ce dernier présente de nombreux avantages tels que l'obtention des jonctions ultraminces permettant un bon contrôle des effets de canaux courts. Les avantages de la technologie SOI sont que le substrat est isolé de la couche active, il y a minimisation des capacités parasites associées au substrat et pas de courant de fuite du substrat [31].

Les transistors SOI possèdent aussi quelques inconvénients, en effet ils ont des résistances d'accès importantes, et sont sujets aux effets d'auto-échauffement qui se traduisent par une diminution du niveau du courant [32]. Le film se comporte comme un substrat flottant, générant des effets néfastes comme l'effet « Kink » qui peut entraîner un blocage définitif du transistor [33], [34], l'effet bipolaire parasite qui peut empêcher le transistor de repasser de l'état ouvert à l'état fermé [35], [36], ainsi que la dégradation de la mobilité des porteurs dans le canal lié à la faible

épaisseur du film [37]. Malgré ces inconvénients, les transistors SOI sont très prometteurs et ont même ouvert la voie à des architectures plus évoluées soit les transistors MOSFET à grilles multiples.

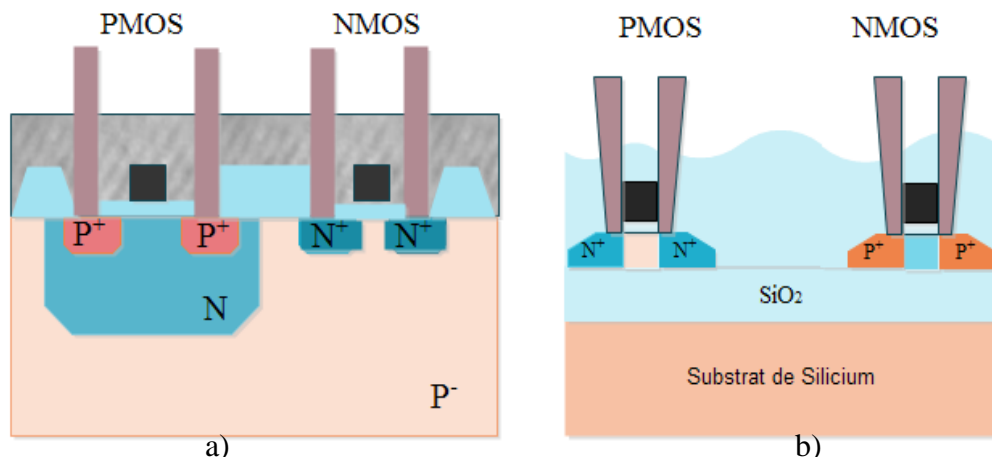


Figure I. 17: Transistors MOSFETs - (a) sur Silicium massif, - (b) sur SOI [38].

I.5.1.1 Défauts dans les matériaux SOI

Parmi les défauts recensés dans les matériaux SOI, on trouve [38] :

- Les défauts cristallins comme les dislocations et défauts d'empilement.
- La rugosité de surface qui est la source de fuites dans les jonctions. Elle réduit les tensions de claquage des oxydes de grille et induit le claquage de l'oxyde de grille qui est très mince dans les dispositifs MOSFETs.
- Les contaminations aux ions alcalins (dans l'oxyde enterré) et métalliques dans le film de silicium.
- Le niveau de carbone et d'oxygène résiduel dans le film de silicium provoque l'augmentation du courant de fuite et la réduction éventuelle de la tension de claquage.
- Les charges fixes dans l'oxyde enterré et densités de charge à l'interface Si/BOX

I.5.1.2 Avantages fondamentaux du SOI

Dans un circuit intégré à technologie SOI, chaque transistor occupe un îlot individuel de silicium, isolé du substrat de silicium par un diélectrique, ce qui permet des architectures plus compactes et une haute densité d'intégrations. Cette architecture élimine les inconvénients d'un substrat massif tel que les mécanismes d'interférence entre dispositifs voisins, en particulier l'effet de latch-up, les courants de fuite et la dégradation de l'oxyde de grille. Les régions de source et de

drain s'étalent jusqu'à l'oxyde enterré de sorte que les jonctions ne présentent plus qu'une surface latérale minimisée, d'où une forte réduction des courants de fuite et des capacités de jonction. Les capacités source-substrat et drain-substrat sont 4 à 7 fois plus faibles en technologie SOI, ce qui fait que, les transistors MOSFET SOI présentent de meilleures performances en hautes fréquences comparées aux MOSFET sur silicium massif [39].

Aussi, la faible épaisseur, de la source et du drain, fait que les transistors MOSFETs sur SOI sont moins sensibles aux effets de canal court induits par le partage de charge, entre grilles et jonctions. Les MOSFETs à film SOI mince sont exceptionnellement tolérants aux radiations et particules ionisantes. Si les effets transitoires conduisant à l'apparition de courant de fuite sont très néfastes pour le MOSFET sur Silicium massif, ils ont, par contre, une influence négligeable sur les performances des dispositifs SOI, vu que la région active du film est totalement isolée du substrat. Pour réduire les effets de dose cumulée qui induisent des charges parasites aux interfaces Si-SiO₂ (plus importantes dans la technologie SOI que celle du Si massif), on utilise des techniques de durcissement.

Enfin la technologie SOI permet la réduction des effets de porteurs chauds dans les SOI-MOSFET totalement déplétés où le champ électrique transversal est réduit vu que la zone de déplétion se limite à l'épaisseur du film. Ce qui réduit les effets des porteurs chauds améliore la mobilité effective dans le canal et ainsi, le courant de saturation [38].

I.5.2 Grille métallique

Plusieurs problèmes sont rencontrés en utilisant la grille au polysilicium dont notamment la déplétion de grille qui réduit le couplage entre la grille et le canal. En outre pour être conductrice, la grille est fortement dopée, or avec la diminution de l'épaisseur de l'oxyde, ceci cause un contre-dopage du canal par le passage des dopants à travers l'oxyde fin. Pour parer à ces inconvénients, la solution préconisée est l'utilisation d'une grille métallique moins résistive permettant d'éviter le phénomène de déplétion. De plus, une grille métallique offre les avantages suivants :

- Faible résistance de grille.
- Pas de pénétration de bord de la grille polysilicium vers le canal à travers l'oxyde.
- Large gamme de travaux de sortie couvrant presque la totalité de la bande interdite du silicium.
- Meilleure intégrité électrostatique du dispositif d'où une réduction des effets SCE et DIBL.

- Meilleure conductivité du canal dû à la diminution de l'épaisseur de l'oxyde d'où un courant de drain plus élevé.

I.5.3 Transistor à base d'architecture non-planaire

D'un point de vue expérimental, des efforts importants sur l'intégration de transistors multi-grilles implémentés sur substrat SOI ont été fournis [40]–[44]. L'évolution de ces structures multi-grilles est présentée en Figure I.18 [45] partant des dispositifs simple grille jusqu'aux dispositifs à grille enrobante.

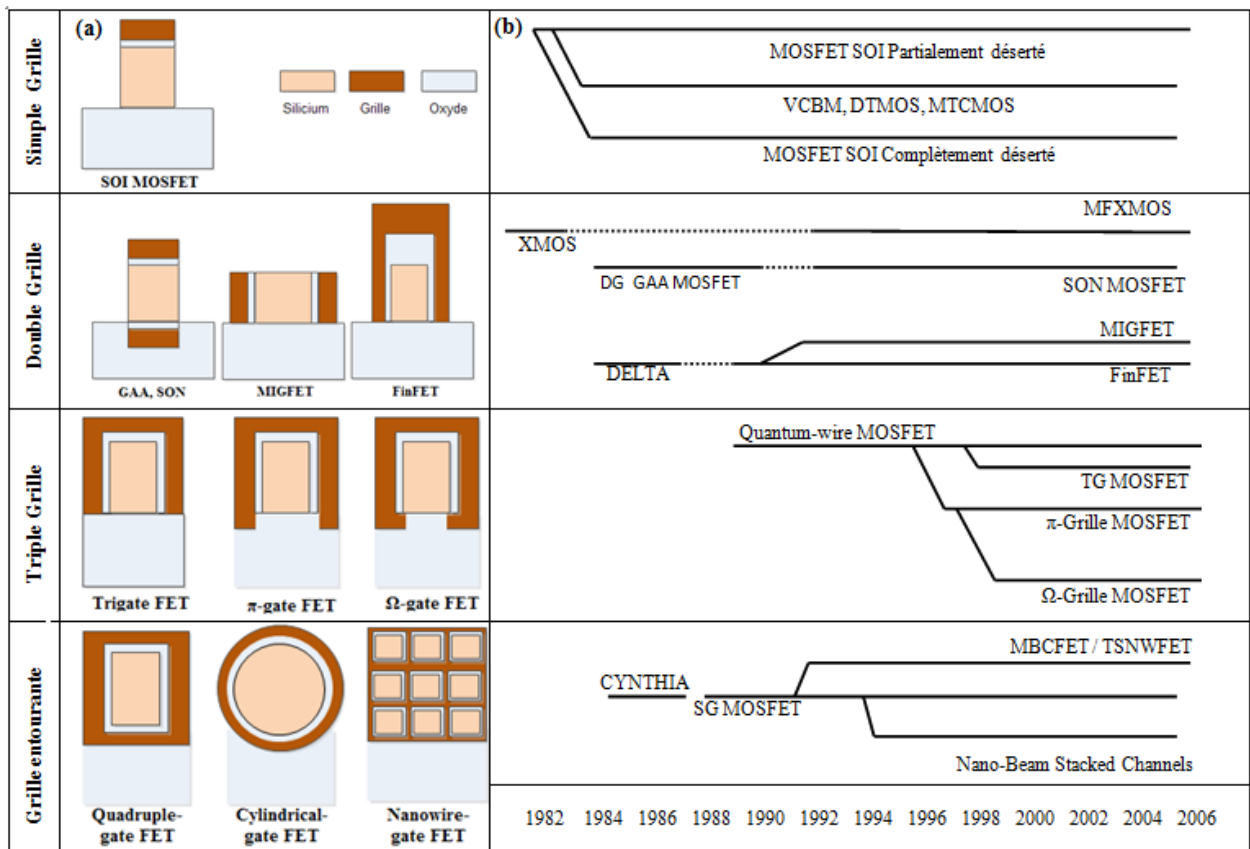


Figure I. 18 : Présentation schématique des transistors du simple grille aux multi-grilles [45].

Le Tri-Gate MOSFET est implémenté à l'aide d'une ailette de silicium où les trois faces disponibles sont contrôlées par trois grilles [46], [47]. La Figure I.19 présente schématiquement la structure ainsi qu'une vue en coupe par imagerie MET haute résolution [47]. La performance de cette architecture peut être encore améliorée en créant une extension de l'électrode de grille jusqu'à une certaine profondeur de l'oxyde enterré (Π -grille[43]) et sous la zone de canal (Ω -grille[46], [47]). D'un point de vue électrostatique, ces structures représentent schématiquement au niveau de la Figure I.20 (a) et (b), peuvent être considérées comme des dispositifs à trois ou quatre grilles. Il a été

démonstré que ces architectures couplées avec l'utilisation technologies innovante comme le silicium contraint, l'empilement grille en métal et/ou diélectrique High-k peuvent encore améliorer la performance du dispositif [48], [49].

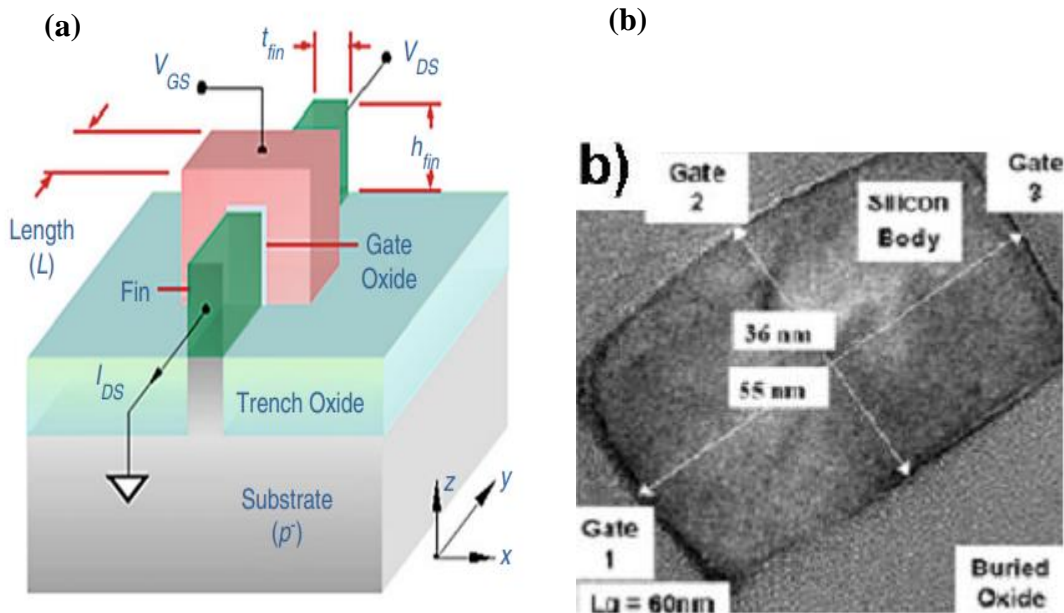


Figure I. 19:(a) représentation schématique de transistors triple-grille, (b) image MET en haute résolution sur vue de coupe du canal d'un FINFET [41].

Enfin, le transistor avec une structure de grille enrobante, dite GAA pour " gate all around" représentée en Figure I.20 (c) [50], dans ce cas la grille entoure entièrement le canal de conduction du transistor pour un meilleur contrôle électrostatique de ce canal. Actuellement la structure GAA est utilisée principalement pour l'intégration de transistor à base de nano fils pour des longueurs de grille ultra-courte (nanométriques).

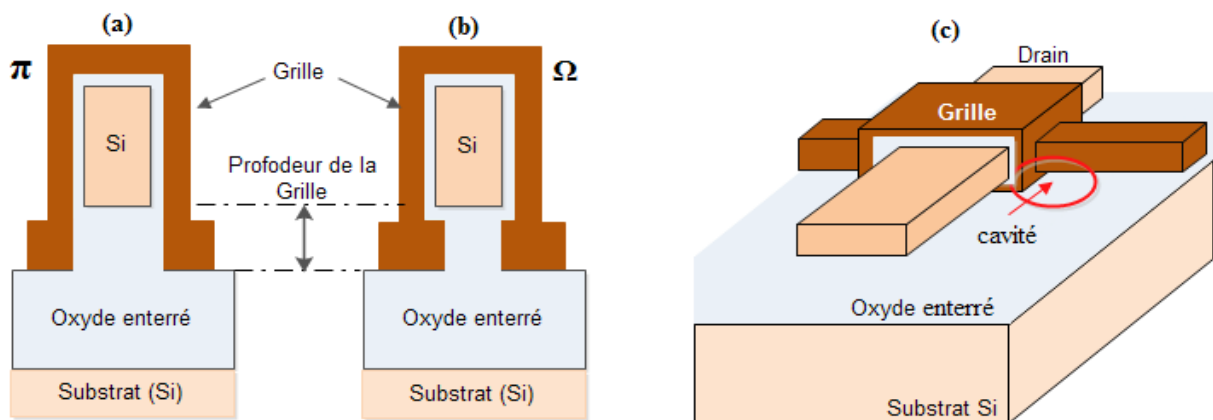


Figure I. 20 : Vue de coupe du π -grille (a), Ω -grille (b) [51], GAA-MOSFET (c) (3D) [50].

I.6 Conclusion

L'objectif de ce chapitre était de nous familiariser avec les rudiments de la technologie MOS. Pour ce faire nous avons jugé utile de présenter un premier chapitre pour introduire le transistor MOSFET ainsi que les phénomènes parasites liés à la miniaturisation de ce dernier. Cette étude nous permettra de continuer nos investigations sur une nouvelle génération de transistor à canal court type « Junctionless » et qui fait l'objet de notre étude.

CHAPITRE II

TRANSISTOR SANS JONCTIONS: JLT-MOSFET

II.1 Introduction

Les transistors Multi-Grilles sont devenus le premier choix industriel pour la majorité des compagnies des Semi-conducteurs pour la fabrication des circuits CMOS tel que INTEL [52] à cause de leur meilleur contrôle électrostatique du canal, et leur performance élevée . Ce type de dispositif permet une réduction de la taille des transistors sans compromettre leurs performances (Cf. ITRS [53]). La Figure II.1 présente plusieurs architectures MOSFETs multi grilles telles que : FinFETs [54]–[56], Tri-gate FETs [57], [58], π -gate FETs [59], [60], Ω -gate FETs[61] et gate-all-around FETs [62], [63]. Le contrôle électrostatique tend à s'améliorer à mesure que la grille est modifiée (Figure II.1). Une grille enrobant tout le canal tel que celle du GAA MOSFET représenté en Figure II.1 (e) fournit un contrôle électrostatique maximal du canal. Les transistors à grille multiples réduisent les effets canaux courts et offrent un courant faible à l'état OFF et élevé à l'état ON, permettant une commutation plus rapide. La faible tension de Drain (V_{DS}) et la réduction de la tension de seuil (V_{Th}) font que les transistors multi-grilles sont bien adaptés aux technologies CMOS submicroniques [64].

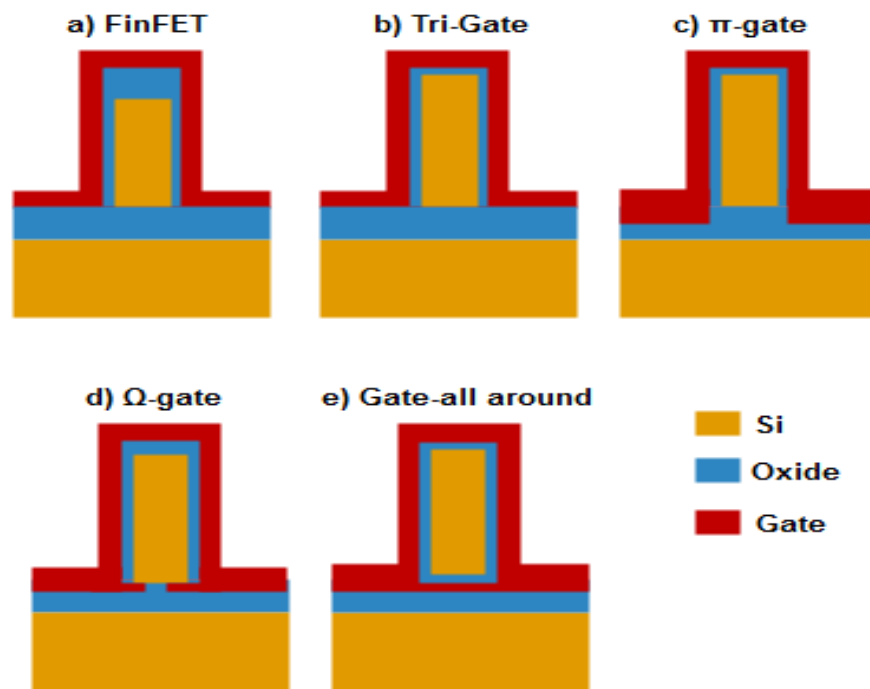


Figure II. 1 : Transistors à grille multiple.

Les MUGFETs sont des transistors qui utilisent l'effet de jonctions. Sachant que les transistors à grilles multiples sont des dispositifs de taille nanométrique, un dopage important ainsi que la formation de jonctions ultrafines deviennent de plus en plus difficiles à réaliser et représentent un challenge pour les industries des Semi-conducteurs[65]. Dans le contexte

d'ingénierie des dispositifs, un nouveau concept de transistor à effet de champ consiste à réaliser des transistors MOSFETs sans jonctions, appelés jonctionless transistors ou JLT. Un triple grille sans jonctions, a été récemment réalisé [66] par J.P. Colinge et son équipe [67] au "Tyndall National Institute" en Irlande. Ces nouveaux types de transistors ont des canaux en silicium très mince [67], [68] uniformément dopé, et ne possèdent donc pas de jonction p-n. En raison de leurs propriétés, ces JLT MOSFETs sont généralement présentés comme l'une des alternatives potentielles pour maintenir la tendance historique de mise à l'échelle des dispositifs [69], [70].

Dans ce chapitre nous allons nous intéresser particulièrement à cette nouvelle génération de transistors de type sans jonctions, nous allons ainsi décrire le principe de fonctionnement, et la structure de ces transistors.

II.2 Descriptions du transistor sans jonctions JLT-MOSFET

Le transistor sans jonctions (JLFET) ou résistance-grille (gated resistor) [66], [67], [71] est constitué d'un film semi-conducteur où toutes les régions du film sont fortement dopées N+ ou P+, sur lequel est déposé une couche d'oxyde et une grille permettant de former une capacité MOS (Figure II.2 (b)). La grille métallique permet de moduler la concentration des porteurs de charge dans le canal et, par conséquent la résistivité du film semi-conducteur dans ce dernier [67]. Un dopage élevé est nécessaire pour former le contacte ohmique avec les électrodes source et drain. La structure schématique d'un JLFET est donnée en Figure II.2 (a).

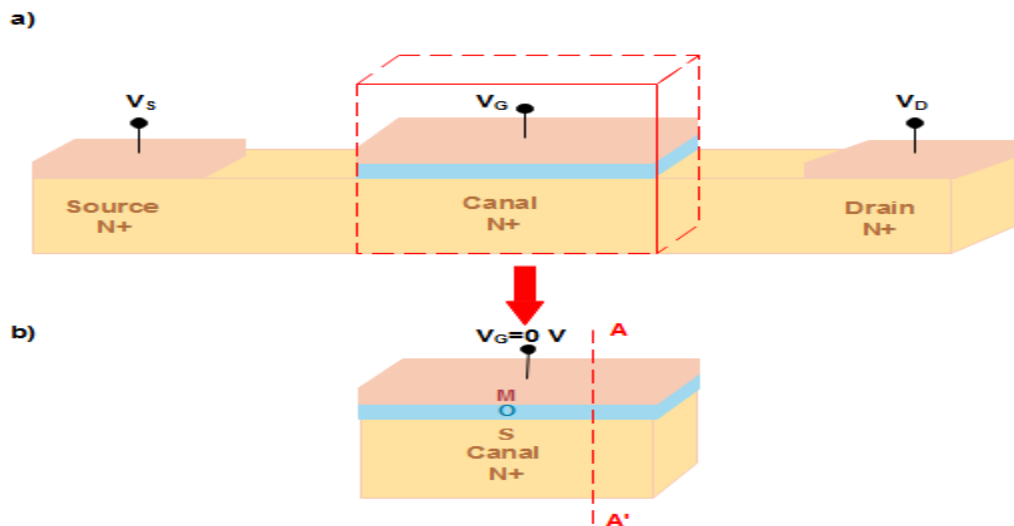


Figure II. 2 : Transistor JLFET : (a) vue en trois dimensions et (b) mise en évidence de capacité MOS.

Vu que dans le transistor (JLFET) tout le film semi-conducteur de la source vers le drain contient le même type et la même concentration d'impuretés (dopants), il n'y a pas de jonctions métallurgiques dans ce dispositif, contrairement au MOSFETs [67]. L'absence de jonction dans les JLFETs entraîne un mécanisme de conduction du courant totalement différent par rapport aux MOSFETs [72], car contrairement aux MOSFET conventionnels, les JLT ont un dopage de canal important et sont complètement déplétés à l'état OFF .

II.3 Mécanismes de conduction du transistor sans jonctions

La résistance commandée par la grille (gated resistor) du JLFET fonctionne sur le principe de la modulation des porteurs de charge par l'application d'un champ électrique à travers la grille [67], [73], [74]. Pour comprendre le principe de fonctionnement des JLFET, considérons la différence de travail entre le métal et le semi-conducteur dans une capacité MOS. Prenons le cas d'une capacité MOS avec un substrat de type n (Figure II.2 (b)) et une différence de travail métal/semi-conducteur positive ($\phi_{MS} = \phi_M - \phi_S > 0$). Les diagrammes de bande d'énergie de cette capacité MOS (coupe A-A') sont représentés en Figure II.3 (a). Étant donné que le niveau de Fermi du métal est inférieur au niveau de Fermi du semi-conducteur, le flux d'électrons circulera du semi-conducteur vers le métal (Figure II.3 (a)). Une zone de charge positive est créée dans le semi-conducteur et une zone de charge négative dans le métal par les électrons provenant du semi-conducteur. Par conséquent, lorsque $\phi_{MS} > 0$, cela induit l'apparition d'un champ électrique du semi-conducteur vers le métal et à la déplétion du semi-conducteur à l'interface, car le flux d'électrons s'écoule de l'interface dans le métal, comme le montre la Figure II.3 (b). Si le film semi-conducteur est suffisamment mince, il est possible de le dépléter complètement, dans ce cas on a une déplétion en volume (déplétion totale) où tout le film semi-conducteur sous l'influence de la grille est appauvri [66]–[68], [72], [75]–[77].

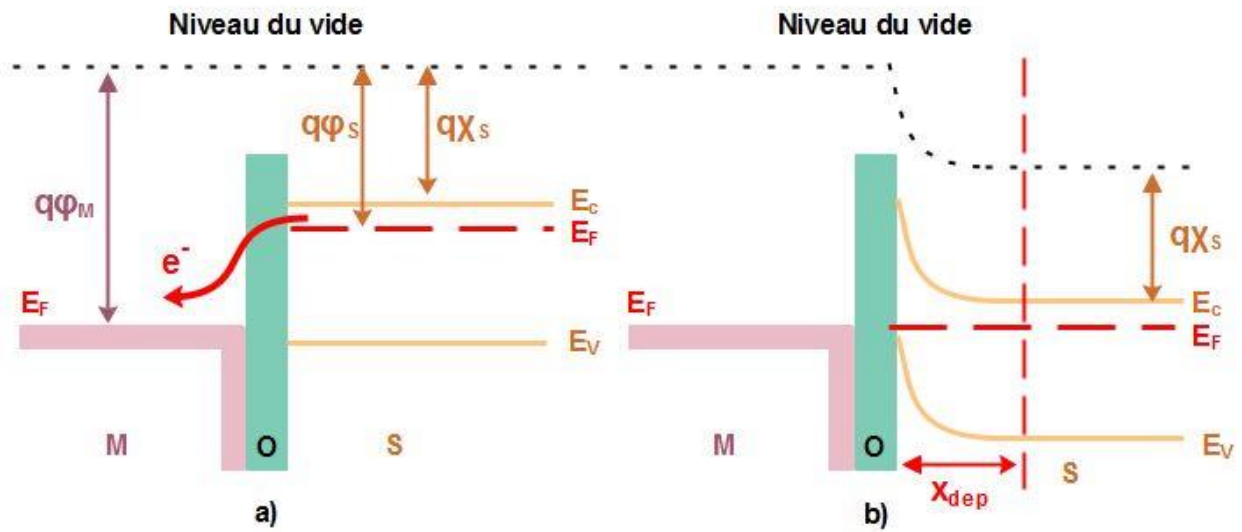


Figure II. 3 : Diagramme de bande d'énergie de la capacité MOS (coupe A-A'). (a) Avant équilibre et (b) à l'équilibre thermodynamique.

Comme le montre la Figure II.2 (b), la capacité n-MOS constitue le centre du JLFET. Par conséquent, le JLFET peut être simplement représenté comme une capacité n-MOS avec des régions source/drain de type n ajoutées de part et d'autre du canal. Le travail de sortie de l'électrode de grille est utilisé comme un moyen pour désactiver les JLFET en atteignant la déplétion en volume à l'état OFF.

L'application d'une tension de grille entraîne une résistance contrôlée par la grille (résistance grille) (gated resistor) de la déplétion totale vers la déplétion partielle, puis aux conditions de bande plate à une zone d'accumulation [66]–[68], [72], [75]–[77]

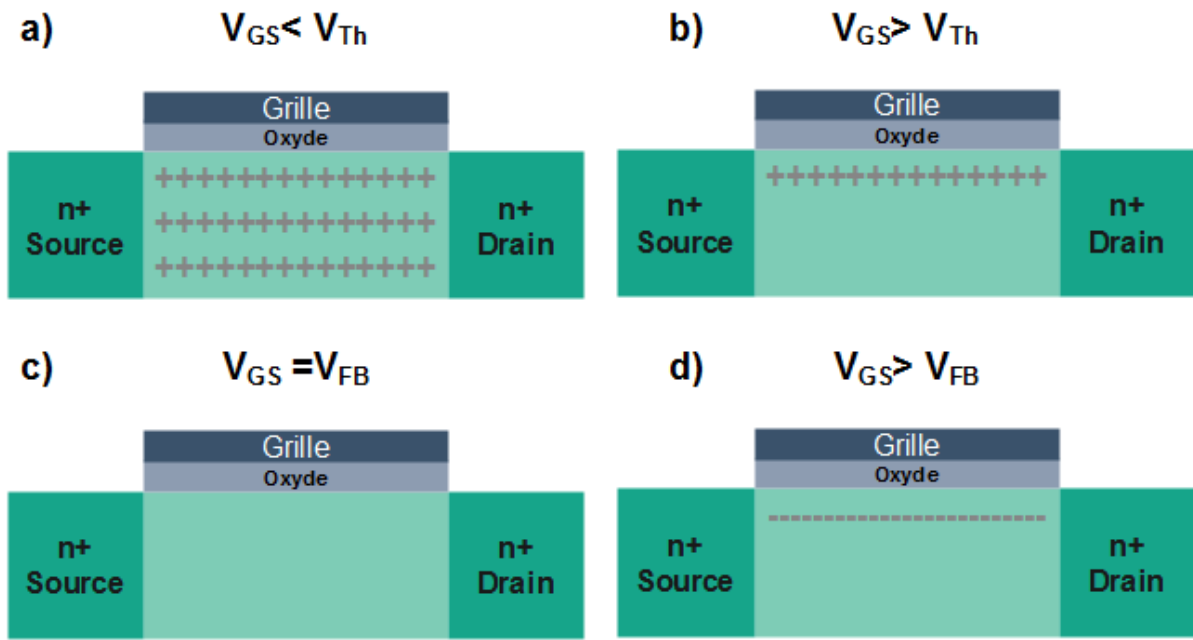


Figure II. 4 : Mécanisme de conduction dans un transistor sans jonctions de type N. a) déplétion totale, b) déplétion partielle, c) bande plate et d) mode d'accumulation.

II.3.1 Déplétion totale

Dans les JLFETs, lorsque la tension de grille est nulle ($V_{GS}=0V$), il est essentiel d'obtenir une déplétion totale sous la grille dans la région du canal afin d'arrêter le flux de courant des porteurs majoritaires du drain vers la source. Le travail de sortie de la grille doit être ajusté pour atteindre la déplétion totale lorsque $V_{GS} = 0.0 V$. Le film semi-conducteur étant fortement dopé dans les JLFETs, un travail de sortie élevée ($\geq 5,1 eV$) est nécessaire pour le n-JLFET alors qu'un travail de sortie faible ($\leq 4,1 eV$) est requis dans les p-JLFET [66]. La déplétion des porteurs majoritaires entraîne une très faible conductivité (grande résistance) lors du fonctionnement à l'état bloqué du JLFET (état OFF). Par conséquent, dans les JLFET, le courant de fuite à l'état bloqué est déterminé par l'appauvrissement induit par la grille plutôt que par le courant de fuite à la jonction p – n polarisée en inverse comme dans le cas d'un MOSFET. Il serait plus facile d'atteindre la déplétion du volume si le contrôle de la grille était amélioré [66]. Cela implique que les architectures multi-grilles seraient plus efficaces pour atteindre la déplétion totale (déplétion volumique) comparée au SOI-JLFET à grille supérieure [66],[76], [77]. Dans ces architectures, puisque la région du canal est sous l'influence de l'électrode de grille de plusieurs côtés, la déplétion induite par la grille est forte permettant d'atteindre l'appauvrissement en volume. La Figure II.5 (b) montre le diagramme de bande d'énergie le long de l'épaisseur du canal au milieu

de la région du canal pour un transistor sans jonctions double grille à canal n que nous notons DG n-JLFET. Comme le montre la Figure II.5 (b), le niveau intrinsèque est inférieur au niveau de Fermi sur toute l'épaisseur du canal. Cela implique que le canal est en déplétion totale, et cela ressort également dans les tracés de contour de la concentration en électrons des DGJLFET présentés à la Figure II.5 (a)[72].

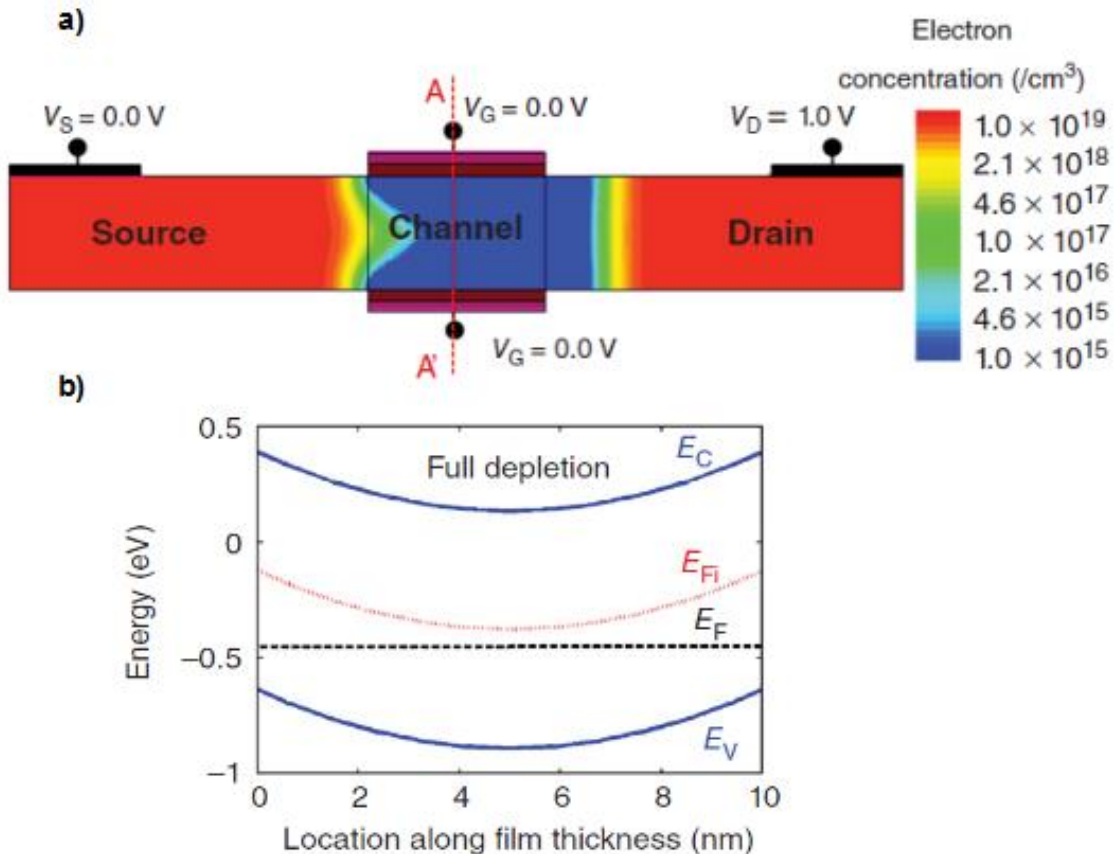


Figure II. 5 : DGJLFET en déplétion totale : (a) tracé du contour de la concentration d'électron et (b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur du film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [72].

II.3.2 Déplétion partielle

L'application d'une tension positive sur l'électrode de grille entraîne une réduction de la largeur de la couche de déplétion et laisse apparaître une région neutre (non appauvri) au milieu de la région du canal. Ce mode de fonctionnement est appelé déplétion partielle, car une partie de la région du canal est déplétée, et l'autre partie est neutre, fortement dopée, ce qui permet au courant de circuler facilement de la source vers le drain. La région neutre, qui contribue au flux du

Chapitre II : Transistor sans jonctions: JLT-MOSFET

courant, est comprimée au centre du canal entre les régions déplétées à cause de la grille [67]. La tension de grille à laquelle la région neutre au centre du canal disparaît en raison de la fusion des largeurs des régions déplétées apportée par l'électrode de grille est définie comme la tension de seuil pour les JLFETs (Figure II.7). Ceci est différent des MOSFETs où la tension de seuil est définie au début de l'inversion (lorsque la concentration de la couche d'inversion est identique à la concentration de dopage dans le canal) [72].

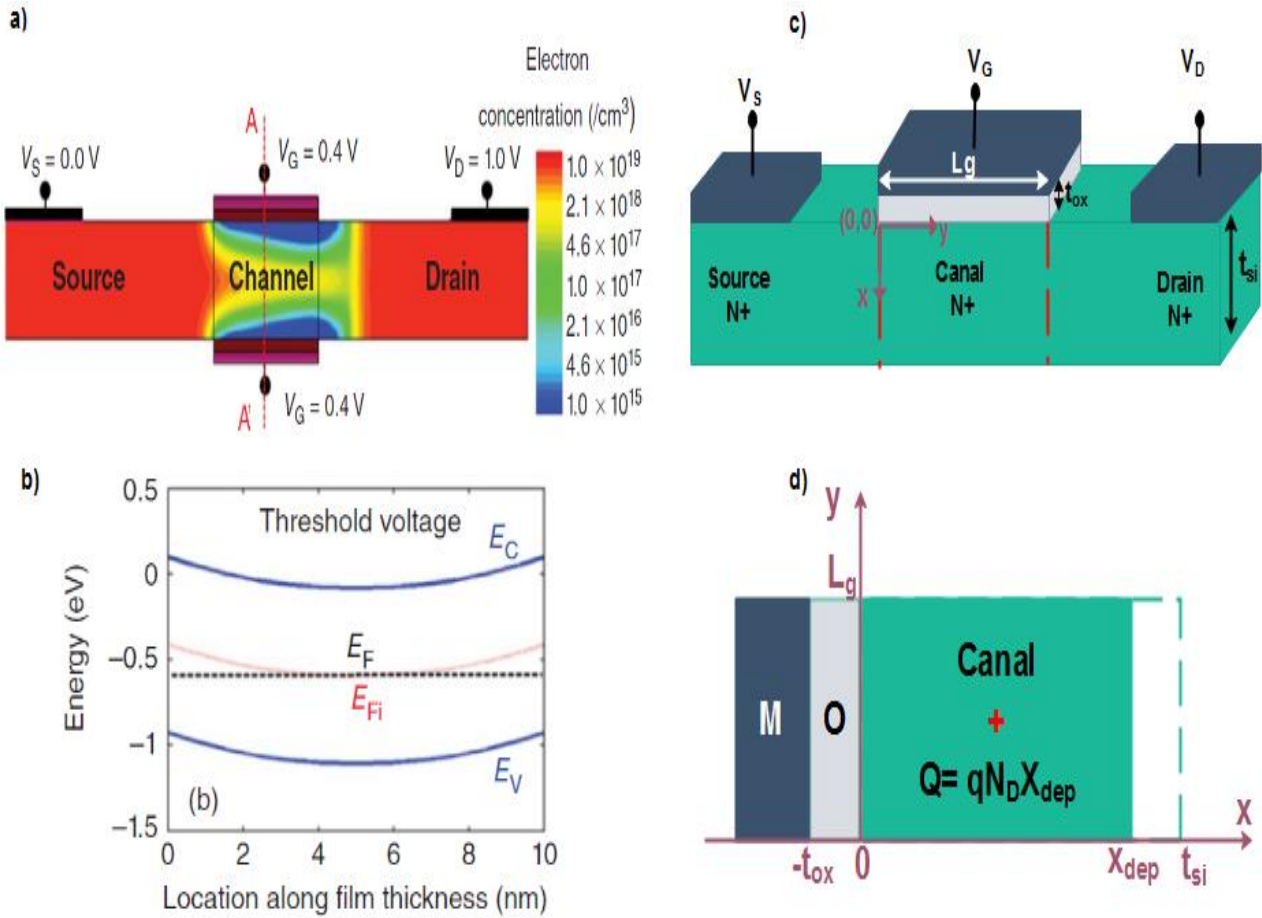


Figure II. 6 a) la concentration des électrons dans un DG-JLT en mode de déplétion totale, b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur de film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$, c)vu schématique du JLFET simple grille et d).profile de charge de déplétion dans le film de silicium [72].

Le modèle analytique pour exprimer la tension de seuil dans un transistor JLFET simple grille (Figure II.6 (c)) est explicité dans ce qui suit. La tension de grille appliquée (V_{GS}) modifie la tension à travers l'oxyde de grille (φ_{ox}) et le potentiel de surface (φ_s), ainsi, on peut écrire [72]:

$$V_{GS} = V_{FB} + \varphi_{ox} + \varphi_s \quad \text{II. 1}$$

Chapitre II : Transistor sans jonctions: JLT-MOSFET

Où V_{FB} est la tension à bande plate, elle représente les charges dans l'oxyde de grille et la différence de fonction de travail entre l'électrode de grille et le semi-conducteur. Pour trouver le potentiel de surface, et la charge, nous utilisons l'équation de Poisson (Figure II.6 (d)) soit :

$$\frac{\partial^2 \varphi(x)}{\partial x^2} = -\frac{\rho}{\epsilon_{Si}} \quad \text{II. 2}$$

$\varphi(x)$ est la distribution de potentiel, ρ est la densité de charge dans le film de silicium et ϵ_{Si} est la permittivité du silicium. La densité de charge dans le canal de silicium peut être simplement donnée par $\rho = q.N_D$, où q est la charge électronique et N_D la concentration des atomes donneurs.

En intégrant l'équation (II.2) par rapport à x , on obtient [72]:

$$E(x) = \frac{qN_D x}{\epsilon_{Si}} + c \quad \text{II. 3}$$

Où $E(x)$ est la distribution du champ électrique dans le film de silicium et c : est la constante d'intégration. En supposant que le champ électrique provenant de la grille diminue jusqu'à atteindre 0 à $x = x_{dep}$, où x_{dep} est la largeur de la région de déplétion dans le film de silicium, la constante c peut être exprimé par [72]:

$$c = -\frac{qN_D x_{dep}}{\epsilon_{Si}} \quad \text{II. 4}$$

Le potentiel de surface peut être trouvé en intégrant l'équation (II.3) par rapport à x de $x = 0$ (interface Si – SiO₂) à $x = x_{dep}$, ce qui donne [72]:

$$\varphi(x_{dep}) - \varphi(0) = \frac{qN_D x_{dep}^2}{2\epsilon_{Si}} \quad \text{II. 5}$$

Et, supposant que le potentiel est nul à $x = x_{dep}$ (hypothèse valable pour le cas où la déplétion est totale à la tension de polarisation égale à la tension de seuil), nous pouvons exprimer le potentiel de surface à l'interface Si – SiO₂ [72] par :

$$\varphi_S = \frac{qN_D x_{dep}^2}{2\epsilon_{Si}} \quad \text{II. 6}$$

Le champ électrique (E_S) à la surface peut être obtenu en posant $x = 0$ dans l'équation (II.3) comme suit [72]:

$$E_S = -\frac{qN_D x_{dep}}{\epsilon_{Si}} \quad \text{II. 7}$$

Chapitre II : Transistor sans jonctions: JLT-MOSFET

Nous pouvons déterminer le champ électrique (E_{ox}) en appliquant la condition aux limites selon laquelle le vecteur de déplacement électrique est continu à l'interface Si – SiO₂, ce qui donne $\epsilon_{ox}.E_{ox} = \epsilon_{Si}.E_S$. Dans le cas d'un oxyde de grille idéal, aucune charge ne se trouve à l'intérieur de cet oxyde, ce qui implique que le champ électrique est constant. Par conséquent, l'expression du potentiel à travers l'oxyde est donnée par[72] :

$$\varphi_{ox} = E_{ox}t_{ox} = -\frac{qN_Dx_{dep}t_{ox}}{\epsilon_{ox}} \quad \text{II. 8}$$

t_{ox} représente l'épaisseur de l'oxyde de grille et ϵ_{ox} la permittivité du SiO₂. En remplaçant φ_S et φ_{ox} par leurs expressions dans l'équation (II.1), nous pouvons écrire :

$$V_{GS} = V_{FB} - \frac{qN_Dx_{dep}^2}{2\epsilon_{Si}} - \frac{qN_Dx_{dep}t_{ox}}{\epsilon_{ox}} \quad \text{II. 9}$$

Quand la tension V_{GS} est égale à la tension de seuil V_{Th} (tension de seuil), le film de silicium est totalement appauvri, c'est-à-dire que la largeur de la région de déplétion (x_{dep}) s'étend sur toute l'épaisseur du film de silicium (t_{Si}). En remplaçant V_{GS} par V_{Th} , et x_{dep} par t_{Si} dans l'équation (II.9), nous pouvons exprimer analytiquement la tension de seuil dans les JLFET comme suit [72]:

$$V_{Th} = V_{FB} - \frac{qN_Dt_{Si}^2}{2\epsilon_{Si}} - \frac{qN_Dt_{Si}t_{ox}}{\epsilon_{ox}} \quad \text{II. 10}$$

Le tracé du contour de la concentration en électrons de JLFET en mode de déplétion partielle (Figure II.7 (a)) indique clairement la présence d'une région semi-conductrice hautement dopée et non déplétée au milieu de la région du canal, ce qui contribue à la conduction du courant par les porteurs majoritaires. Le diagramme de bande d'énergie du JLFET au milieu de la région du canal dans un régime de déplétion partiel est également présenté à la Figure II.7 (b). Nous observons que par rapport au mode déplétion total (Figure II.5 (b)), dans le mode de déplétion partiel, le niveau de Fermi (E_F) se déplace au-dessus du niveau de Fermi intrinsèque (E_{Fi}) au centre du canal. Une partie étroite du film semi-conducteur au centre du canal est non déplétée et convertie en un chemin de conduction neutre[72].

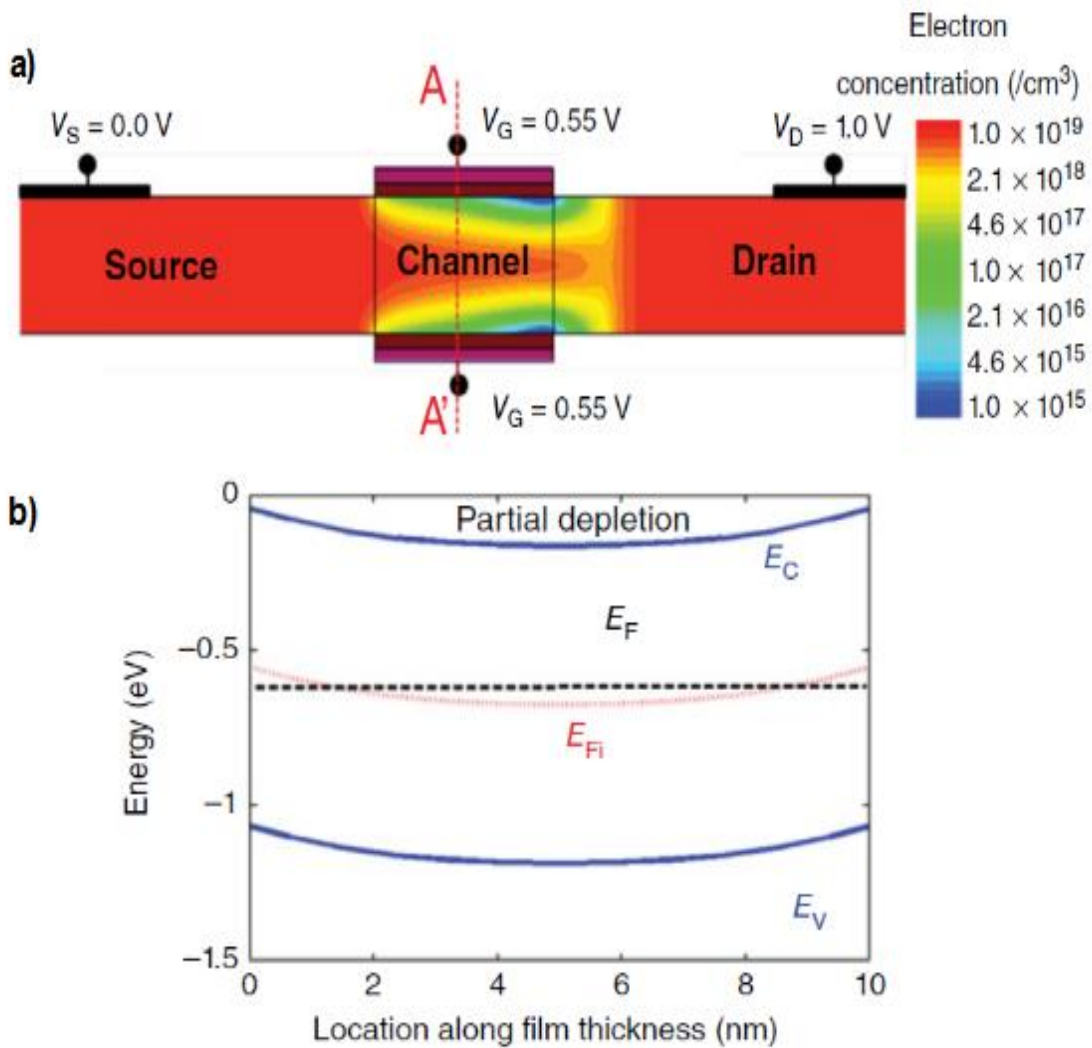


Figure II. 7 : DGJLFET en déplétion partielle: a) tracer de contour de la concentration d'électron et b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur de film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [72].

Au-dessus de la tension seuil ($V_{GS} > V_{Th}$), les porteurs majoritaires contribuent au courant qui circule dans le volume du canal dans le JLFET (la conduction se fait soit à travers le « bulk » ou le centre du canal) Figure II.8 (c)[78] contrairement aux MOSFET où le courant circule à la surface à travers la couche d'inversion formée par les porteurs minoritaires (Figure II.8 (a) et (b))[78].

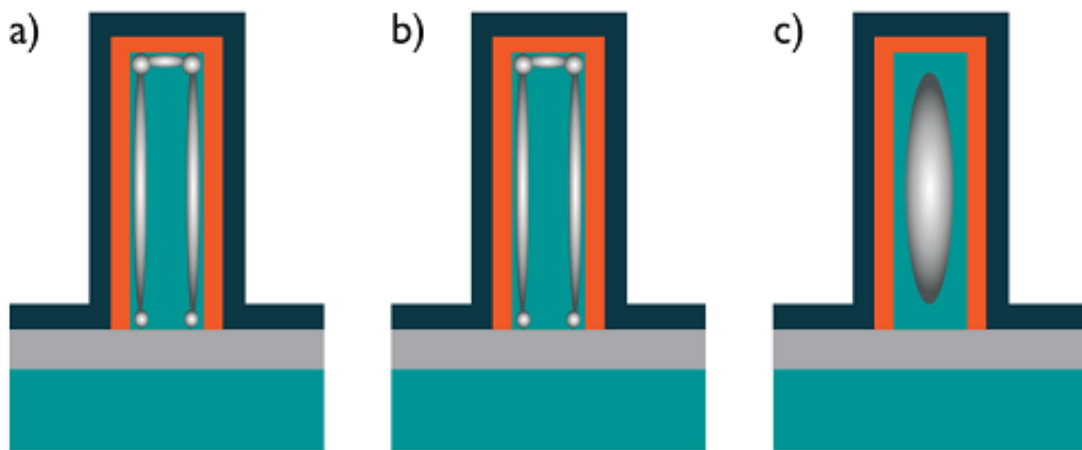


Figure II. 8 : Chemin de conduction dans un a) mode d'inversion, b) mode d'accumulation et c) mode de déplétion partielle (transistor sans jonctions) pour $V_{GS} > V_{Th}$ [78].

II.3.3 Condition de bande plate

L'augmentation continue de la tension de polarisation V_{GS} réduirait la largeur de la région déplétée et fait apparaître une région neutre plus grande. Quand la tension de grille atteint la tension de bande plate (V_{FB}), la région de déplétion disparaît et le film semi-conducteur devient entièrement neutre (Figure II.4 (c)). Dans des conditions de bande plate, toute l'épaisseur du canal devient neutre et fournit activement des porteurs majoritaires pour la conduction du courant [66]. Les bandes d'énergie de la région du canal restent plates à cette tension, comme indiqué sur la Figure II.9 (b), et l'ensemble du canal devient neutre, comme indiqué sur le tracé du contour de la concentration en électrons de la Figure II.9 (a) [72].

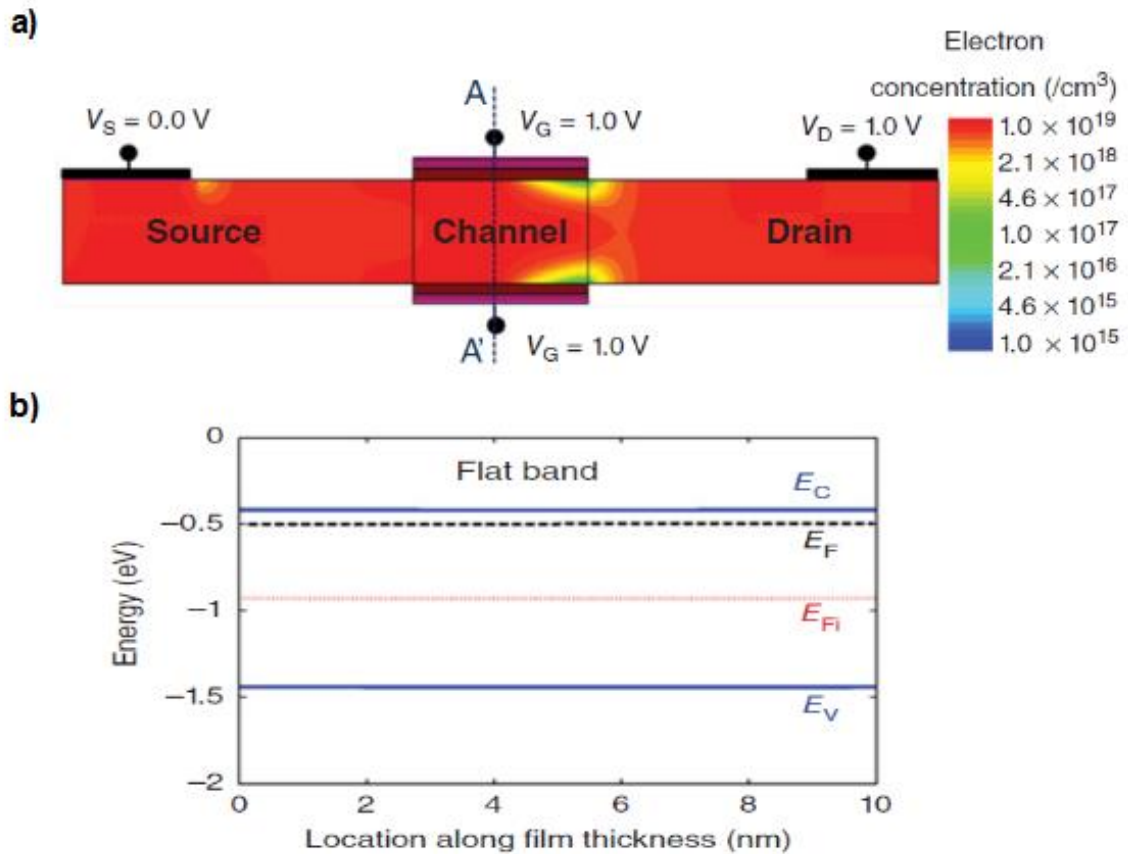


Figure II. 9 : DGJLFET en condition de bande plate: a) tracé du contour de la concentration d'électron et b) diagramme de bande avec une coupe au centre de la région du canal le long de l'épaisseur du film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [72].

II.3.4 Accumulation

Si on augmente davantage la tension de grille (V_{GS}), les électrons seront attirés à la surface du canal (à l'interface Si – SiO₂) faisant apparaître une couche d'accumulation d'électrons. Le diagramme de bande d'énergie et le tracé du contour de la concentration des électrons du JLFET en mode d'accumulation sont illustrés dans la Figure II.10. Une couche d'accumulation d'électrons est formée et le champ électrique à la surface de la région du canal augmente également à partir de sa valeur minimale en bande plate, comme l'indique la Figure II.10 [72].

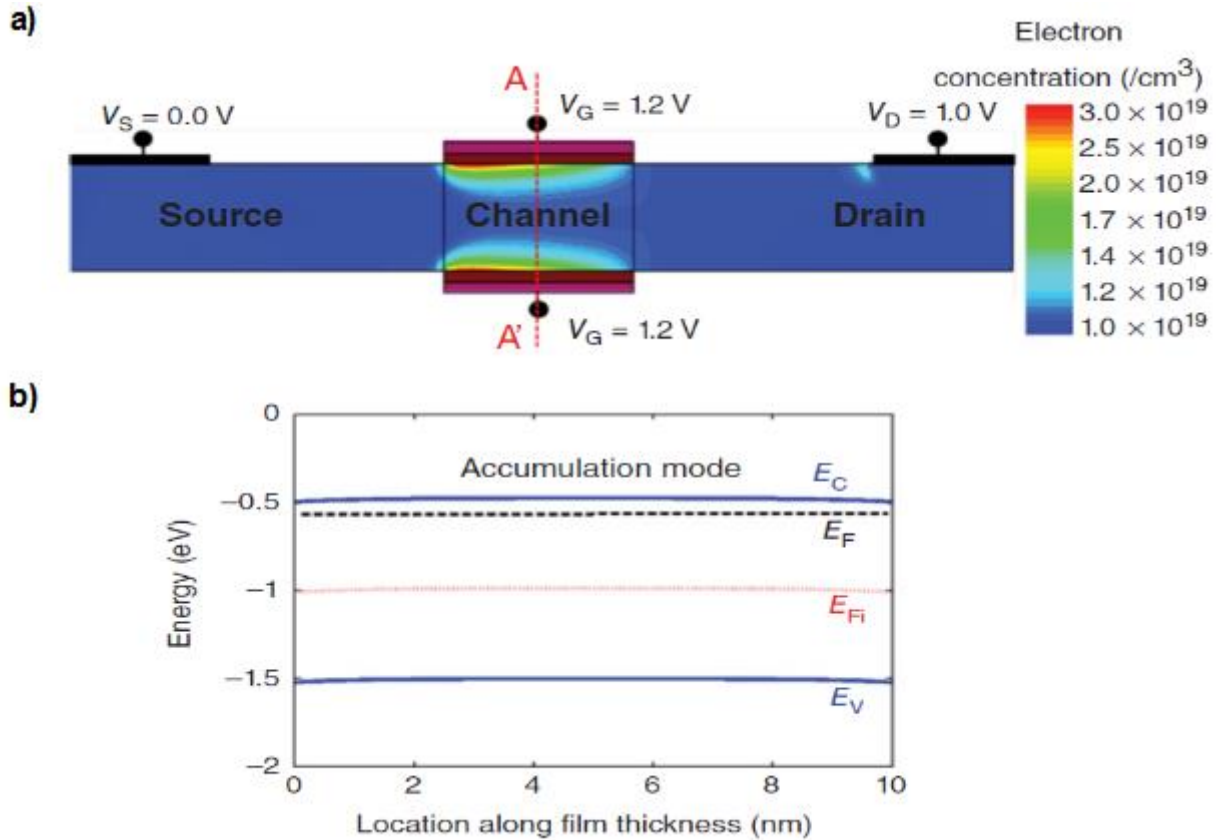


Figure II. 10 :DGJLFET en accumulation: a) profil de la concentration des électrons en mode d'accumulation , b) diagramme de bande en faisant une coupe au centre de la région du canal le long de l'épaisseur du film de silicium (coupe A-A') $N_D=1 \times 10^{19} \text{ cm}^{-3}$ [72].

Les principales différences entre le fonctionnement des JLFETs et des MOSFETs, peuvent être déduites des sections ci-dessus. Dans un MOSFET à canal n, les conditions de bande plate surviennent en dessous de la tension de seuil (Figure II.11 (a)), tandis que dans les JLFET à canal n, la condition de bande plate est obtenue au-dessus de la tension de seuil (Figure II.11 (c)). En outre, la conduction du courant est à la surface dans un MOSFET à travers les porteurs de la couche d'inversion qui sont sensibles à la diffusion en surface et aux pièges d'interface alors que les JLFETs utilisent une conduction de porteur majoritaire à travers le volume, qui n'est pas affecté par les défauts de surface. De plus, il n'y a pas d'inversion de porteur dans les JLFETs et l'application d'une tension de grille élevée entraîne l'accumulation de porteurs majoritaires. Par conséquent, les JLFETs ressemblent aux MOSFETs en mode accumulation (Figure II.11(b)) [79]–[81].

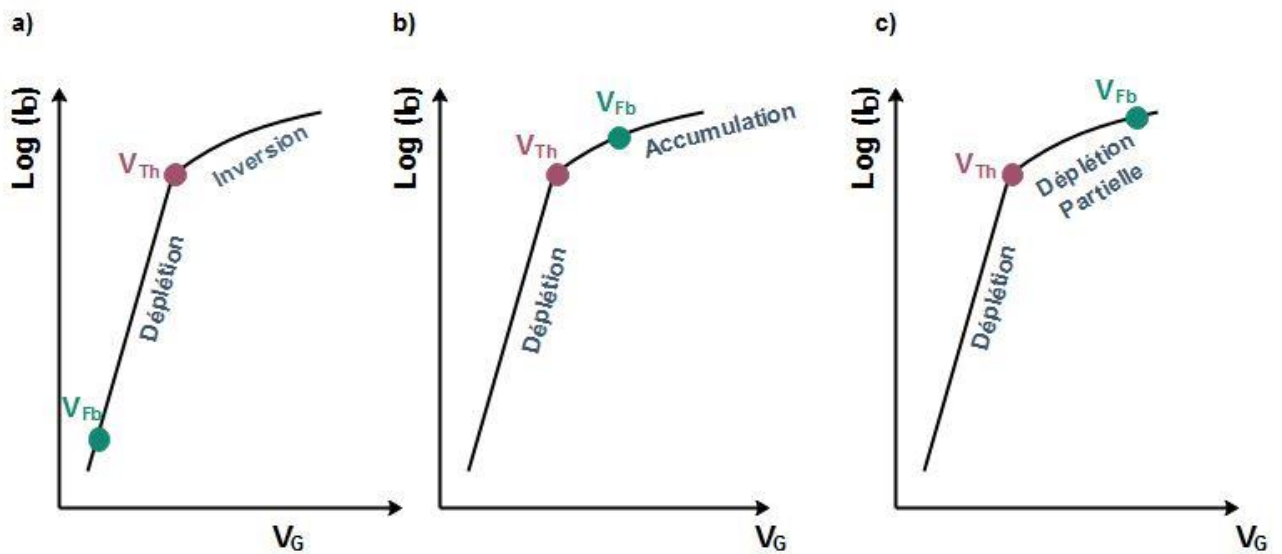


Figure II. 11 : Mécanisme de conduction dans les transistors MOSFET a)inversion b) accumulation et c) JLFET (partiellement déplété).

II.4 Différentes architectures du transistor MOSFET sans jonctions

Afin d'optimiser les performances des JLT MOSFETs, plusieurs architectures ont été élaborées telles que des nano-fils circulaires, des nano-fils à grilles multiples [66], elles reposent toutes sur le même principe et utilisent un seul type de dopage de la source vers le drain. Le premier transistor fabriqué sans jonctions a été mis en œuvre sous forme de nano-fils de silicium à trois grilles sur substrat SOI par Jean-Pierre Colinge et al. à l'Institut Tyndall, Irlande [82]. Ces architectures prometteuses offrent un potentiel qui permet aux JLFET de remplacer les MOSFET conventionnels [72].

II.4.1 JLFET multi-grille

II.4.1.1 Structure du transistor sans jonctions JLT MOSFET

L'architecture multi-grilles consiste essentiellement en l'existence de plus d'une électrode de grille modulant le potentiel de la région de canal. On donne comme exemple la structure du JLFET Double Grille (DG) comme le montre la Figure II.12 (a), ainsi que la structure dans laquelle l'électrode de grille entoure la région du canal de trois côtés est appelée architecture Triple Grille (TG) (Figure II.12(b)). La structure de nano-fils à grille enrobante (GAANW), illustrée à la Figure II.12 (c), est considérée comme l'architecture la plus prometteuse pour la réduction d'échelle des transistors à effet de champ. Le GAANW offre le meilleur contrôle de grille possible puisqu'elle enrobe toute la région du canal [83].

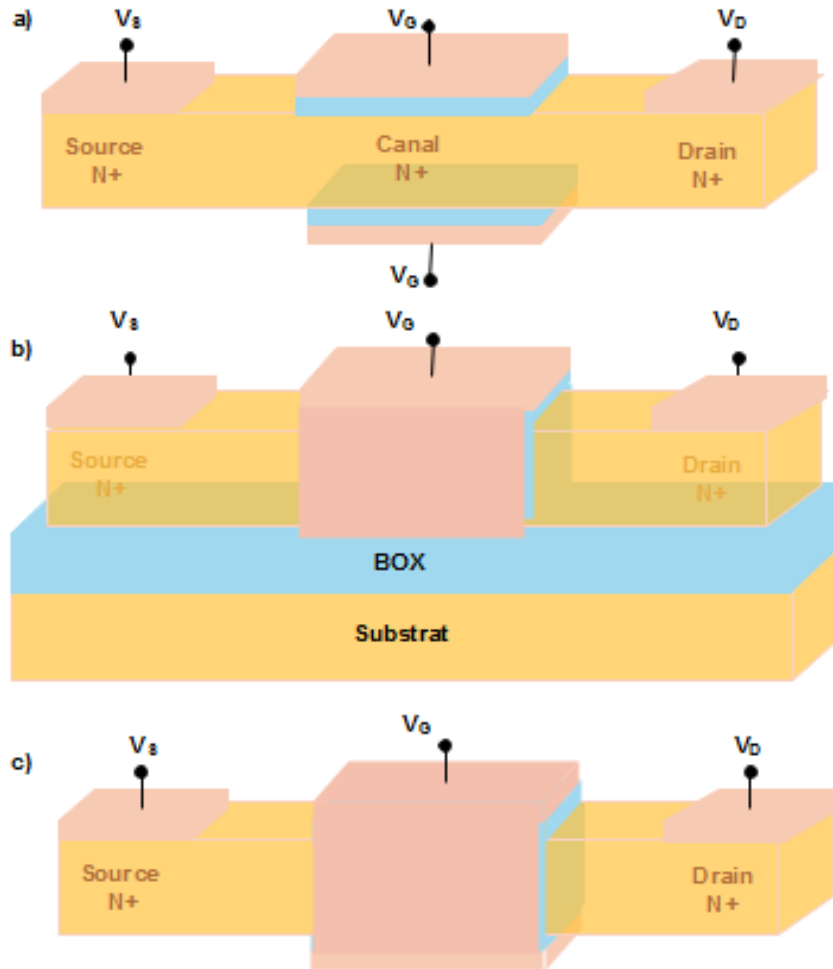


Figure II. 12 : Vue en trois dimension (a) double-grille, (b) triple grille et (c) GAA nano-fils JLFET.

II.4.1.2 Caractéristique de transfert des JLT-MOSFETs

Les caractéristiques de transfert du SOI-JLFET simple grille et les JLFET multi-grille sont représentés sur la Figure II.13. Dans le SOI-JLFET simple grille, la déplétion n'atteint pas tous le volume du film semi-conducteur conduisant à un courant de fuite élevé. Cependant, les architectures JLFET multi-grille fonctionnent bien mieux que le SOI-JLFET simple grille. De plus, le courant de fuite à l'état off diminue à mesure que le nombre de grilles dans l'architecture multi-grille augmente, comme illustré sur la Figure II.13. Par conséquent, les architectures multi-grille peuvent être une bonne alternative au SOI-JLFET conventionnel [72].

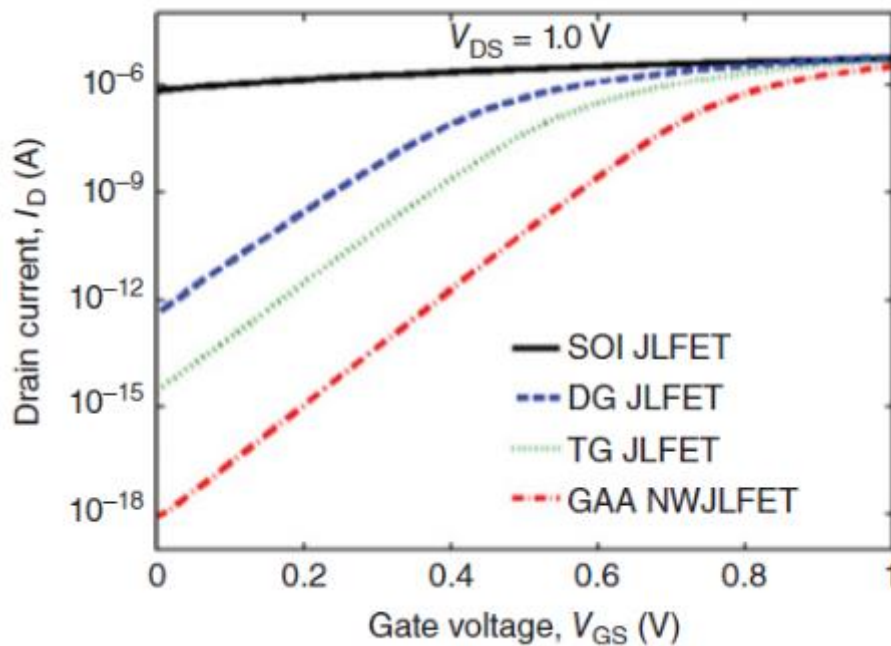


Figure II. 13 : Caractéristique de transfert de SOI-JLFET simple grille et multi-grille (DG,TG et GAA NW JLFET[72].

II.4.1.3 Principe de fonctionnement

Dans les JLFETs, le courant de fuite à l'état off est principalement déterminé par la déplétion induite par la grille de la région du canal. Dans les architectures multi-grilles, la région du canal est sous l'influence de l'électrode de grille de plusieurs côtés. Par conséquent, le volume total du canal à épuiser est partagé par les multiples grilles. Cela implique que l'électrode de grille d'un côté doit dépléter un volume effectif qui est inférieur au volume total. Par exemple, dans SOI-JLFET simple grille, longueur = L_g , largeur = épaisseur = t_{Si} , l'électrode de grille doit dépléter un volume de $L_g \cdot (t_{Si})^2$. Cependant, pour le DGJLFET de dimension similaire, une électrode de grille ne doit dépléter que la moitié du volume total, c'est-à-dire $L_g \cdot (t_{Si})^2 / 2$. De même, pour un GAANW de section carrée et de dimension similaire, une électrode de grille ne doit dépléter qu'un quart du volume total, c'est-à-dire $L_g \cdot (t_{Si})^2 / 4$. En conséquence, en raison du meilleur contrôle de la grille, les configurations DG, TG et GAANW sont plus efficaces pour atteindre la déplétion du volume par rapport aux SOI-JLFET SOI simple grille [76] comme le montre la Figure II.14.

II.4.2 JLFET planaire

II.4.2.1 Structure du JLTFET planaire

La Figure II.16 montre une représentation schématique du JLFET planaire. Le transistor est constitué d'une couche active uniformément dopée, qui n'a pas de jonction métallurgique source / canal ou canal / drain. Cependant, la couche active n + est placée sur un substrat p + pour fournir une isolation électrique de jonction p–n [77]. Par conséquent, ce transistor est essentiellement sans jonction le long de la direction du canal, c'est-à-dire de la source au drain, mais à une jonction métallurgique verticale en raison de la présence du substrat complémentaire- dopé (complementary-doped). Ce dispositif est un dispositif planaire et est compatible avec le procédé conventionnel à CMOS à deux puits. De plus, la présence d'un substrat en silicium réduit le coût de ce transistor par rapport au coût du wafers en SOI[77], [84]–[89].

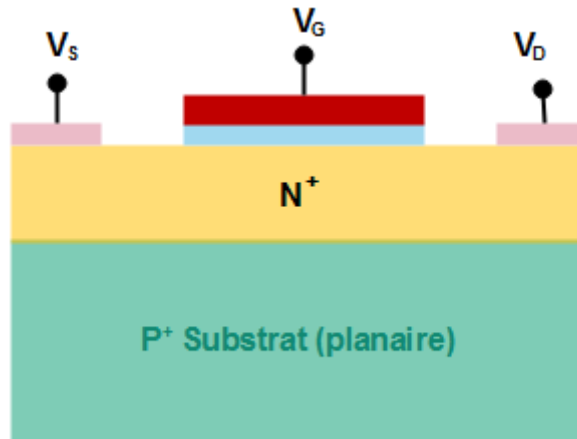


Figure II. 16 : représentation schématique planaire JLFET sur substrat.

II.4.2.2 Caractéristique de transfert

Les caractéristiques de transfert du JLFET et du SOI JLFET sont représentées sur la Figure II.17. Dans SOI JLFT pour une épaisseur SOI de 10 nm la déplétion du volume n'est pas atteint, ce qui se traduit par un courant à l'état off significativement élevé et un mauvais rapport I_{ON} / I_{OFF} . Cependant, le JLFET présente un courant-off considérablement faible et un rapport I_{ON} / I_{OFF} significativement élevé de $\sim 10^8$ par rapport aux JLFET SOI (~ 6). Cependant, le courant à l'état-on du JLFET est également inférieur à celui du SOI JLFET conventionnel[72].

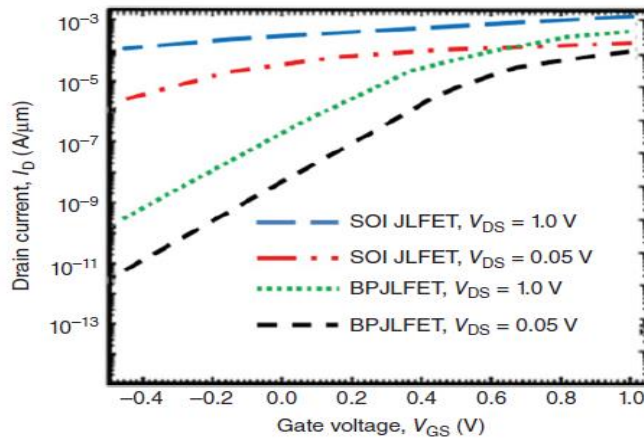


Figure II. 17 : Caractéristique de transfert du JLFET sur substrat et SOI JLFET[77].

II.4.2.3 Principe de fonctionnement

Pour comprendre le fonctionnement du JLFET sur substrat massif (BP-JLFET), on représente le diagramme d'énergie à l'état off du BP-JLFET et du SOI JLFET dans la Figure II.18 (a). Dans le SOI JLFET, seule une partie de la couche active du dispositif est déplétée en raison de l'influence de l'électrode de grille laissant une partie importante de la couche active du dispositif près de l'interface BOX en régime de bande plate. Cela facilite la circulation du courant de fuite à travers la région non déplétée, ce qui entraîne un courant élevé à l'état off comme observé sur la Figure II.17. Cependant, dans le BP-JLFET, la couche active du dispositif est appauvrie de haut en raison de l'électrode de grille et de bas à cause de l'épuisement inhérent de la jonction p-n en raison du substrat complémentaire dopé. Par conséquent, dans un BPJLFET, une déplétion volumique efficace est obtenue, conduisant à une réduction significative du courant à l'état off, comme le montre la Figure II.17[72].

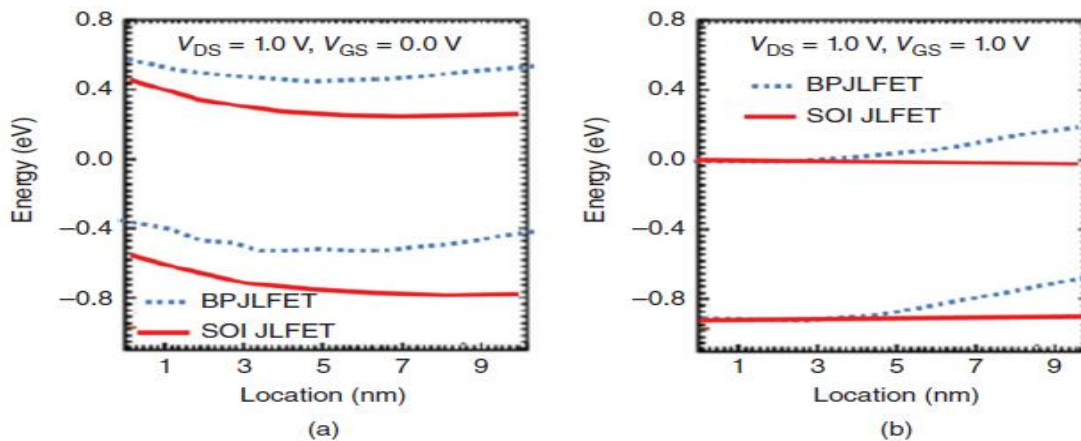


Figure II. 18 :Diagramme d'énergie du BPJLFET et du SOI JLFET, (a) état-offet (b) état-ON [77].

La Figure II.18 (b) représente le diagramme de bande du BPJLFET et du SOI JLFET à l'état-ON, pour le BPJLT, seule l'épaisseur de la couche active effective reste dans la condition de bande plate contrairement au SOI JLFET où toute l'épaisseur physique de la couche active est en bande plate et conduit le courant. Cette réduction de la zone efficace pour le flux de courant conduit à un courant à l'état-on inférieur dans BPJLFET par rapport au SOI JLFET, ceci est bien mis en évidence sur la Figure II.17[72].

II.4.3 Bulk FinFET JL-MOSFET

Tout comme les Bulk FinFET en mode inversion ont été fabriqués et utilisés dans des circuits réels (Intel), les Bulk FinFET sans jonctions présentent également un grand intérêt. Une analyse plus poussée réalisée par Han et al[90], [91] a suggéré que les transistors FinFET sans jonctions à canal court intégré dans un silicium massif agissent comme des FinFET en mode inversion, tout en dépassent les performances des SOI FinFET sans jonctions, et tout particulièrement en ce qui concerne le courant, les DIBL et la pente de sous-seuil (SS). Cela signifie qu'une technologie de Bulk moins coûteuse pourrait être utilisée pour intégrer des FET sans jonctions [92].

II.4.4 Nano-fil JLFET

Les nano-fils sans jonctions sont en fait beaucoup plus faciles à fabriquer, raison pour laquelle ils sont considérés comme des topologies potentiellement intéressantes. Ils ont fait l'objet de recherches intensives, tant au niveau fabrication qu'en modélisation [93]–[96]. Bien que les caractéristiques électriques des FET sans jonctions (JL FET) à double grille (DG) et à nano-fil (NW) soient assez similaires, la façon dont les modèles analytiques sont dérivés est assez différente et plus complexe en raison de la formulation analytique de l'équation de Poisson-Boltzmann en coordonnées cylindriques[92].

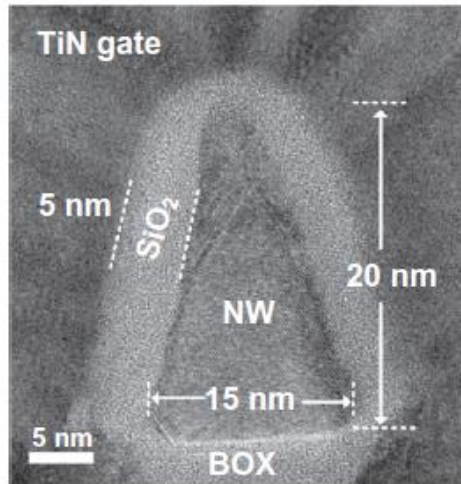


Figure II. 19 : Image en MET d'une coupe transversale d'un transistor sans jonctions à nano-fil (JLN) [97].

II.5 Avantages et limites des transistors sans jonctions

Avec la réduction de la taille des dispositifs, la formation d'homo-jonction source / canal et drain / canal est un processus critique dans la conception des dispositifs à canal court. L'élimination de cette étape technologique était la principale motivation de l'intégration des contacts de Schottky pour la source et le drain [98], [99], cette étape technologique est aussi éliminée pour les transistors sans jonctions, dans lesquels une couche de silicium uniformément dopée est commune à la source, le canal et le drain. La technologie sans jonctions présente de nombreux avantages [66] tels que : l'absence de jonctions abruptes difficilement contrôlables à l'échelle nanométrique, la simplification du processus de fabrication, et la conduction en volume, ce qui implique que le bruit de scintillement (flicker noise) devrait être réduit.

Alors que, du point de vue des performances du dispositif, le principe de fonctionnement représente aussi un avantage. À l'état off, la grille étend la déplétion jusqu'aux régions source et drain, générant un canal plus long et donc une meilleure isolation contre les fuites à l'état OFF et à l'état passant (état-ON), aucune jonction source / drain n'est présente ce qui signifie une présence d'un contact «direct» avec la totalité du film de silicium et donc moins de résistance d'accès. Comparée aux transistors MOSFET en mode inversion, la conduction est due à la couche de charge d'inversion générée au niveau de l'interface semi-conducteur /oxyde de grille, ainsi, la résistance d'accès au niveau de la fine couche d'inversion peut être élevée. De plus, les MOSFET en mode d'inversion sont sensibles à l'interface semi-conducteur / oxyde de grille, tandis que pour les transistors sans jonctions, le flux de courant découlerait principalement à l'intérieur du volume

du canal semi-conducteur, ce qui signifie que la diffusion de surface devrait être de moindre importance.

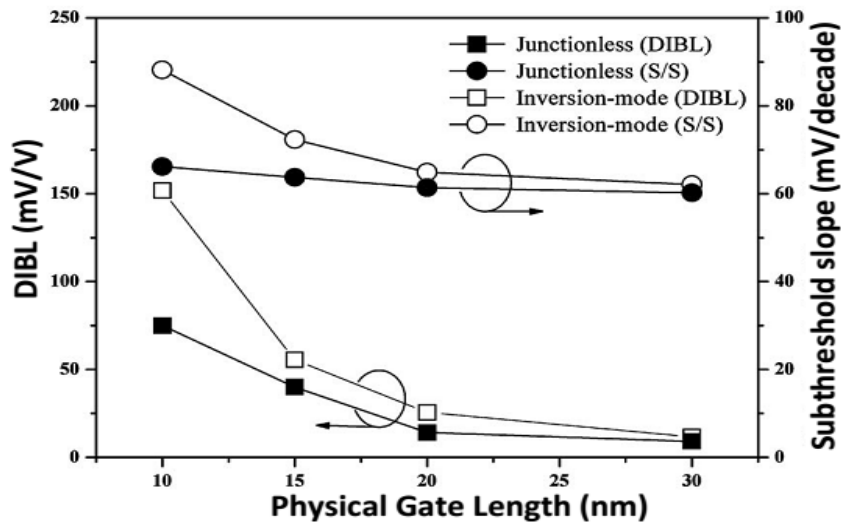


Figure II. 20 : DIBL et pente sous-seuil à $V_{DS}=50\text{mV}$ dans les dispositifs multi-grilles JLFET et en mode d'inversion avec $TSC=5\text{ nm}$ [66].

En raison des effets canaux courts rencontrés dans les technologies submicronique [100], telles que le DIBL, le courant à l'état off élevé et la faible inversion (swing) sous le seuil, les dispositifs sans jonctions pourraient alors constituer une structure intéressante pour la prochaine génération technologique en raison de leurs de fabrication faciles, de leur intégrité électrostatique et de leur meilleure propriété de transport de charge et effets canaux courts réduits. En ce qui concerne le DIBL, il s'agit en effet d'un paramètre primordial en ce qui concerne les effets canaux courts, car il affecte les opérations statiques et dynamiques de faibles valeurs de la tension de grille. La Figure II.20 représente la variation du DIBL et de la tension de seuil en fonction de la longueur de la grille pour les FET sans jonctions et les FET multi-grilles en mode d'inversion [66].

Il apparaît que le FET à grilles multiples sans jonction présente de meilleures caractéristiques de canal court que le dispositif MOSFET en mode d'inversion. Cependant, certaines limitations technologiques doivent encore être évaluées quantitativement afin d'optimiser les performances du dispositif, tout en réduisant ses dimensions. Par exemple, si la couche de silicium des FET sans jonction est trop fortement dopée et; ou trop épaisse, il peut devenir impossible de dépléter totalement le canal d'électrons, quelle que soit la tension de grille. La concentration des dopants peut également affecter la pente sous le seuil et le DIBL des dispositifs. Un autre problème majeur des transistors sans jonctions peut être la fluctuation aléatoire des

dopants. Pour de très petits volumes du canal, le nombre effectif d'atomes dopants présents peut également varier, ce qui modifie considérablement la tension de seuil. Il a également été rapporté [101] que le comportement global au-dessous du seuil pourrait être affecté de manière significative par la fluctuation aléatoire du dopant dans les FET sans jonctions ayant des niveaux de dopage de canal élevé (supérieurs à 10^{19}cm^{-3}). Il convient de noter que la disponibilité de substrats SOI minces et uniformément dopés permet de fabriquer des dispositifs sans jonctions ayant des performances comparables à celles des Bulk-MOSFET en mode inversion [67]. Ces avantages imposent l'utilisation de ces dispositifs dans une technologie future basée sur la CMOS à l'échelle nanométrique.

II.6 Conclusion

Ce chapitre a été consacré à la présentation du transistor FET sans jonctions ainsi que son principe de fonctionnement. Nous avons aussi présenté différentes architectures de transistors sans jonctions et énuméré quelques avantages et inconvénients d'un tel dispositif. Dans le prochain chapitre, nous exposerons les différents modèles compacts du transistor JLFET.

CHAPITRE III

MODELISATION DU TRANSISTOR SANS JONCTIONS

III.1 Introduction

Après le succès initial dans la fabrication de structures nano-fils sans jonctions et pour faciliter l'application des JLFET, il devient nécessaire de développer des modèles analytique et compact appropriés pour les JLFET. Les modèles théoriques sont essentiels pour étudier la base des JLFET et de mieux comprendre ses principes de fonctionnement. Les JLFET peuvent ensuite être explorés pour la conception de circuits analogiques ou numériques en utilisant ces modèles dans les simulateurs de circuit. Le développement de modèles précis, robustes et efficaces en calcul pour JLFET aide non seulement à explorer l'espace de conception de dispositif individuel, mais aussi aide à analyser les performances des systèmes utilisant des JLFET[72]. Dans ce chapitre , nous donnons un aperçu des différents modèles compacts de transistors FET sans jonctions qui ont été développés jusqu'à présent[92].

III.2 Modélisation en potentiel de surface des JLFETs

En Figure III.1 un JLFET 3 D à canal long est représentée. La distribution du champ électrique du JLFET fonctionnant dans le régime de déplétion partielle dans les directions x et y (le long de la ligne de coupe $A - A'$ sur la Figure III.1) est indiquée sur la Figure III.2. La variation de la composante du champ électrique le long de la direction y est négligeable dans la région de canal dans un JLFET à canal long par rapport au champ électrique le long de la direction x (Figure III.2). Par conséquent, l'approximation du canal graduel est valable pour les JLFET similaires aux MOSFET [102]–[106].

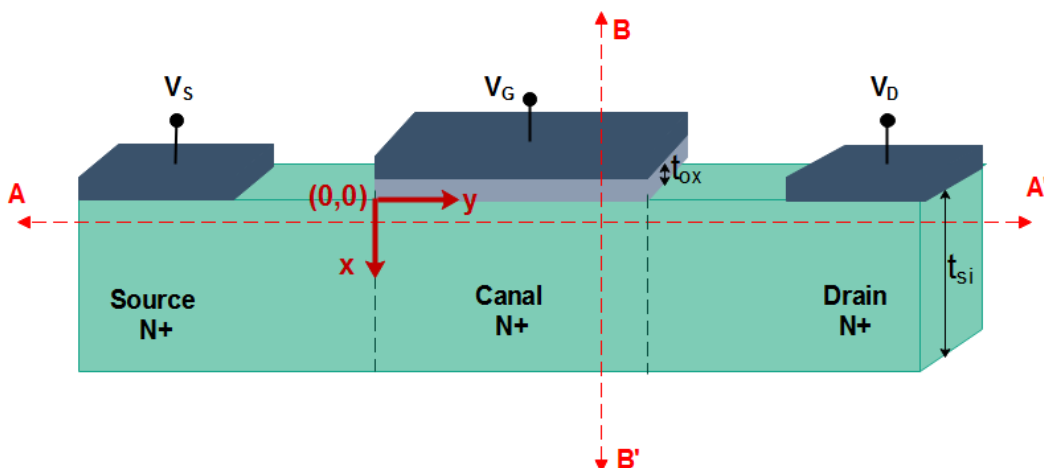


Figure III. 1 : vue tridimensionnelle (3D) d'un JLFET à canal long.

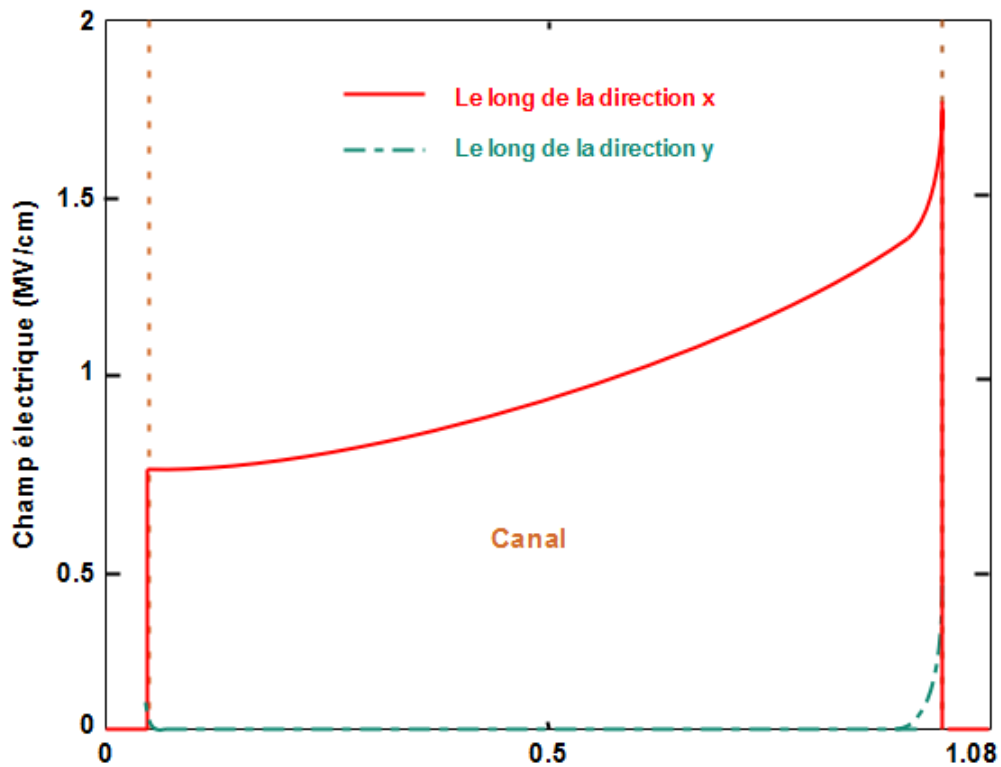


Figure III. 2 : Profil du champ électrique du JLFET à l'état OFF ($V_{GS}=0$) dans les directions x et y le long de la ligne de coupe A – A'

L'approximation du canal graduel permet de négliger le champ électrique dans la direction y le long du canal et simplifie la solution de l'équation de Poisson 2D originale donnée par [72]:

$$\frac{d^2 \varphi(x,y)}{dx^2} + \frac{d^2 \varphi(x,y)}{dy^2} = -\frac{\rho}{\epsilon_{Si}} \quad \text{III. 1}$$

En réduisant l'équation III.1 à un problème unidimensionnel dans la direction x le long de l'épaisseur du canal l'équation devient comme suit :

$$\frac{d^2 \varphi(x)}{dx^2} = -\frac{\rho}{\epsilon_{Si}} \quad \text{III. 2}$$

Où: $\varphi(x)$ est la distribution potentielle, $\rho=qN_D$ est la densité de charge dans le film de silicium, q est la charge électronique, N_D est la concentration des donneur, et ϵ_{Si} est la permittivité du silicium.

En intégrant l'équation III.2 par rapport à x nous avons :

$$E(x) = \frac{qN_D x}{\epsilon_{Si}} + c \quad \text{III. 3}$$

Où $E(x)$ est la distribution du champ électrique à l'intérieur du film de silicium et c est la constante d'intégration.

En supposant que le champ électrique provenant de la grille tend vers 0 quand $x=x_{dep}$ (x_{dep} : largeur de la région de déplétion dans le film de silicium), nous obtenant :

$$c = -\frac{qN_D x_{dep}}{\epsilon_{Si}} \quad \text{III. 4}$$

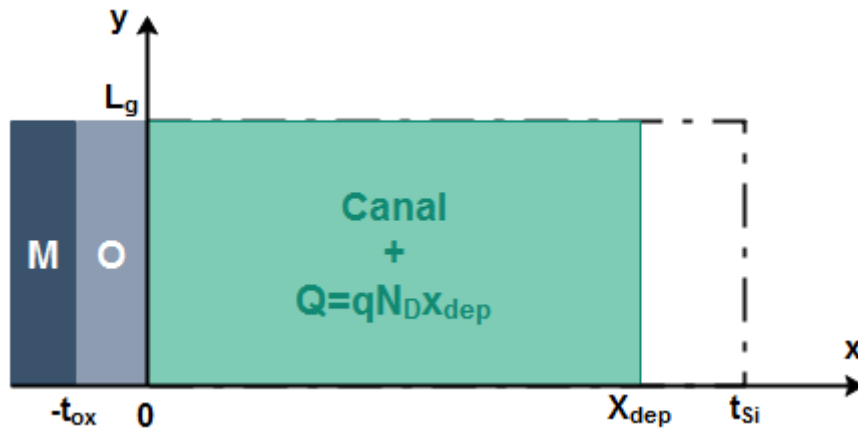


Figure III. 3 : Profil de charge de la zone de déplétion dans la région du canal dans un JLFET.

Le potentiel de surface peut être trouvé en intégrant l'équation III.3 par rapport à x , de $x = 0$ (Si – SiO₂) interface à $x = x_{dep}$, ce qui donne :

$$\varphi(x_{dep}) - \varphi(0) = \frac{qN_D x_{dep}^2}{2\epsilon_{Si}} \quad \text{III. 5}$$

En supposant que le potentiel à $x = x_{dep}$ représente le potentiel d'électrons quasi-fermi V , nous pouvons obtenir une expression pour le potentiel de surface à l'interface Si – SiO₂, comme :

$$\varphi_s = V - \frac{qN_D x_{dep}^2}{2\epsilon_{Si}} \quad \text{III. 6}$$

L'application de la loi de Gauss à l'interface Si /SiO₂ relie la densité de charge dans le film semi-conducteur (Q_{SC}) au champ électrique de surface (E_S) par :

$$Q_{SC} = \epsilon_{Si} E_S \quad \text{III. 7}$$

De plus, le vecteur de déplacement électrique doit être continu à l'interface Si / SiO₂, ce qui permet d'écrire [72]:

$$\varepsilon_{Si}E_S = \varepsilon_{ox}E_{ox} = \varepsilon_{ox}\frac{(V_{GS}-V_{FB}-\varphi_s)}{t_{ox}} = C_{ox}(V_{GS} - V_{FB} - \varphi_s) = Q_{SC} \quad \text{III. 8}$$

Où: E_{ox} est le champ électrique dans la région de l'oxyde, t_{ox} est l'épaisseur de l'oxyde de grille et ε_{ox} est la permittivité de SiO₂. L'équation III.8 relie la densité de charge dans le film semi-conducteur au potentiel de surface. La densité de charge dans le film semi-conducteur peut être approximée comme la charge déplétion et est donnée par :

$$Q_{SC} = qN_D x_{dep} \quad \text{III. 9}$$

En utilisant l'expression de x_{dep} de l'équation III.9 dans l'équation III.6 et en simplifiant, nous obtenons une relation analytique entre la tension de grille appliquée et le potentiel de surface comme[72]

$$\varphi_s = V - \frac{(V_{GS}-V_{FB}-\varphi_s)^2}{\alpha} \quad \text{III. 10}$$

Où

$$\alpha = \frac{2\varepsilon_{Si}qN_D}{C_{ox}^2} \quad \text{III. 11}$$

Nous savons que les JLFET à simple grille souffrent de plusieurs problèmes tels que l'absence de déplétion dans le volume, etc. Les architectures multi-grille telles que les JLFET à double grille (DG), triple grille (TG) et les nano-fils à grille enrobante (GAANW) ont été proposées pour améliorer les performances des JLFET. Outre une amélioration des performances, les structures symétriques comme les DG et les JLFET GAANW sont meilleures même du point de vue de la modélisation analytique[72].

La structure symétrique conduit à des conditions aux limites supplémentaires, ce qui facilite la résolution de l'équation de *Poisson* [107]–[110].

III.3 Modélisations de transistor MOSFET double grille sans jonctions

III.3.1 Approximation de déplétion de "Crude"

Une approche plus simple incluant la dépendance exponentielle du courant sous le seuil a été développée [111], ainsi une expression analytique basée sur l'approximation de déplétion a été

dérivée de l'équation de *Poisson* pour calculer le potentiel de canal d'une manière similaire à celle des transistors en mode d'accumulation, ce qui aboutit finalement à des expressions simples pour le courant de drain.

La largeur de déplétion x_{dep} est donnée par [92] :

$$x_{dep} = \left(\frac{\epsilon_{Si}}{C_{ox}} \right) \left\{ -1 + \sqrt{1 + \frac{2C_{ox}^2}{\epsilon_{Si}qN_D} [V_{GS} - V_{FB} - V]} \right\} \quad \text{III. 12}$$

Où V est le potentiel quasi-fermi de l'électron.

Dans [111], la tension de seuil a été définie en remplaçant x_{dep} par $t_{si}/2$ dans l'équation III.12., en utilisant le développement de *Taylor* autour de la tension de seuil et en négligeant les termes d'ordre supérieur tout en supposant une mince épaisseur de silicium, l'équation III.12 peut être simplifiée , on peut alors écrire [92]:

$$x_{dep} \approx \left(\frac{C_{eq}}{qN_D} \right) [V_{GS} - V_{FB} - V] \quad \text{III. 13}$$

Où C_{eq} est la combinaison en série de capacités d'oxyde et de déplétion, c'est-à-dire C_{ox} et $C_{dep} = 2 \epsilon_{si} / t_{si}$.

III.3.2 Approche basée sur le potentiel de surface

Le modèle basé sur le potentiel de surface a été proposé par Chen et al.[95]. Les auteurs calculent le champ électrique à l'interface semi-conductrice (E_s) en fonction des potentiels de centre et de surface et les relie à la densité de charge d'espace.

Considérons le cas d'un DGJLFET comme présenté en Figure III.4. D'après les statistiques de Boltzmann, la concentration d'électrons mobiles (n) dans la région du canal peut être donnée comme [112]

$$n = N_D e^{\frac{(\phi - V)}{V_t}} \quad \text{III. 14}$$

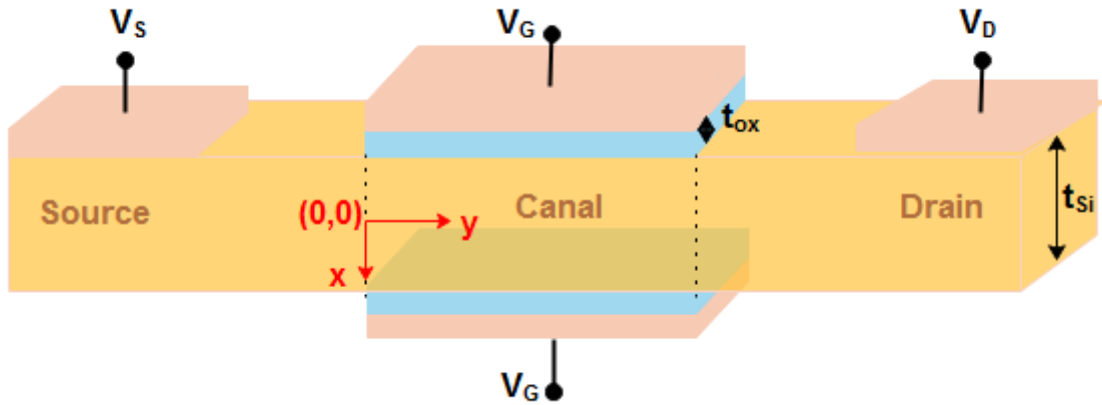


Figure III. 4 : Vue 3D du DGJLFET.

En ignorant la contribution due aux trous, l'équation de Poisson aura pour expression

$$\frac{d^2\varphi(x)}{dx^2} = -\frac{\rho}{\epsilon_{Si}} = -\frac{qN_D - qN_D e^{\frac{(\varphi-V)}{V_t}}}{\epsilon_{Si}} = \frac{qN_D \left[e^{\frac{(\varphi-V)}{V_t}} - 1 \right]}{\epsilon_{Si}} \quad \text{III. 15}$$

Les conditions aux limites dans un DGJLFET sont :

1. Champ électrique au centre nul en raison de la nature symétrique, c'est-à-dire

$$\frac{d\varphi}{dx} = 0 \text{ à } x = 0 \quad \text{III. 16}$$

2. Le potentiel à l'interface Si/SiO₂ doit être le potentiel de surface, c'est-à-dire $\varphi\left(\pm \frac{t_{Si}}{2}\right) = \varphi_S$

φ_S

3. Le vecteur de déplacement électrique à l'interface Si/ SiO₂ adjacent à la grille supérieure doit être continu, c'est-à-dire

$$\epsilon_{Si} E_{S,1} = C_{ox} (V_{GS} - V_{FB} - \varphi_S) \quad \text{III. 17}$$

4. Le vecteur de déplacement électrique à l'interface Si/SiO₂ adjacent à la grille inférieure doit être continu, c'est-à-dire.

$$\epsilon_{Si} E_{S,2} = -C_{ox} (V_{GS} - V_{FB} - \varphi_S) \quad \text{III. 18}$$

En multipliant les deux membres de l'équation III.15 par 2 (dφ/dx), nous avons:

$$2 \frac{d\varphi}{dx} \left(\frac{d^2 \varphi(x)}{dx^2} \right) = \frac{d(E(x)^2)}{dx} = 2 \frac{qN_D \left[e^{\frac{(\varphi-V)}{V_t}} - 1 \right]}{\varepsilon_{Si}} \frac{d\varphi}{dx} \quad \text{III. 19}$$

L'intégration de l'équation III.19 par rapport à x, nous permet d'écrire:

$$E(x)^2 = \frac{2qN_D V_t}{\varepsilon_{Si}} \left[e^{\frac{(\varphi-V)}{V_t}} - \frac{\varphi}{V_t} \right] + c \quad \text{III. 20}$$

En utilisant la condition aux limites exprimée par l'équation III.16, nous obtenons

$$c = -\frac{2qN_D V_t}{\varepsilon_{Si}} \left[e^{\frac{(\varphi_0-V)}{V_t}} - \frac{\varphi_0}{V_t} \right] \quad \text{III. 21}$$

Où φ_0 est le potentiel au centre du film de silicium appelé potentiel central.

Le champ électrique à la surface inférieure ($E_{S,2}$) peut être obtenu en utilisant l'équation III.21, la condition aux limites (2) et $x = t_{Si}/2$ dans l'équation III.20 par

$$E_{S,2}^2 = \frac{2qN_D V_t}{\varepsilon_{Si}} \left[e^{\frac{(\varphi_S-V)}{V_t}} - e^{\frac{(\varphi_0-V)}{V_t}} - \frac{\varphi_S - \varphi_0}{V_t} \right] \quad \text{III. 22}$$

Bien que l'équation III.23 semble très simple, elle n'a pas de solution analytique sous forme fermée. Par conséquent, nous utilisons des approximations qui sont valides dans différents régimes de fonctionnement (a) accumulation (b) déplétion partielle et (c) déplétion totale [72].

III.3.2.1 DGJLFET en mode d'accumulation

En régime de bande plate, le champ électrique le long de la direction x n'est plus nul et commence à augmenter à mesure que la tension de grille augmente, forçant les DGJLFETs à entrer dans le régime d'accumulation. Cependant, le champ électrique est encore très faible en régime d'accumulation. La couche d'accumulation n'apparaît qu'à la surface, alors que la totalité du film de silicium reste neutre. Par conséquent, l'hypothèse d'un potentiel constant (au moins dans les régions neutres) dans le film de silicium est valide. Ce potentiel constant peut être approximativement le potentiel d'électrons quasi-Fermi noté V [112].

En approximant $\varphi(x) \approx V$ dans le film de silicium en dehors de la surface dans l'équation III.22, nous pouvons écrire:

$$E_{S,2} \approx \sqrt{\frac{2qN_D V_t}{\epsilon_{Si}} \left[\left\{ e^{\frac{(\varphi_S - V)}{V_t}} - 1 \right\} - \frac{\varphi_S - V}{V_t} \right]} \quad \text{III. 23}$$

Proche des conditions de bande plate, c'est-à-dire près de l'accumulation, $\varphi_S > V$.

$$\frac{e^{\frac{(\varphi_S - V)}{V_t}} - 1}{\frac{\varphi_S - V}{V_t}} \quad \text{III. 24}$$

Par conséquent, le rapport est beaucoup plus élevé que l'unité pour le mode d'accumulation et n'est égal à l'unité qu'à l'état de bande plate. Par conséquent, en négligeant le terme dénominateur de l'équation III.24. L'équation III.23 devient:

$$E_{S,2} \approx \sqrt{\frac{2qN_D V_t}{\epsilon_{Si}} \left[e^{\frac{(\varphi_S - V)}{V_t}} - 1 \right]} \quad \text{III. 25}$$

En utilisant la condition aux limites c'est-à-dire l'équation III.18 dans l'équation III.23, nous obtenons:

$$(V_{GS} - V_{FB} - \varphi_S)^2 = \alpha V_t \left[e^{\frac{(\varphi_S - V)}{V_t}} - 1 \right] \quad \text{III. 26}$$

Où α est défini dans l'équation III.11.

L'équation III.26 relie le potentiel de surface à la tension de grille dans le régime d'accumulation.

III.3.2.2 DGJLFET en mode partiellement déplété

Dans le régime de déplétion partiel, une partie de l'épaisseur du film de silicium au centre est découverte et reste neutre tandis-que les parties près de la surface restent appauvries comme le montre la Figure III.5.

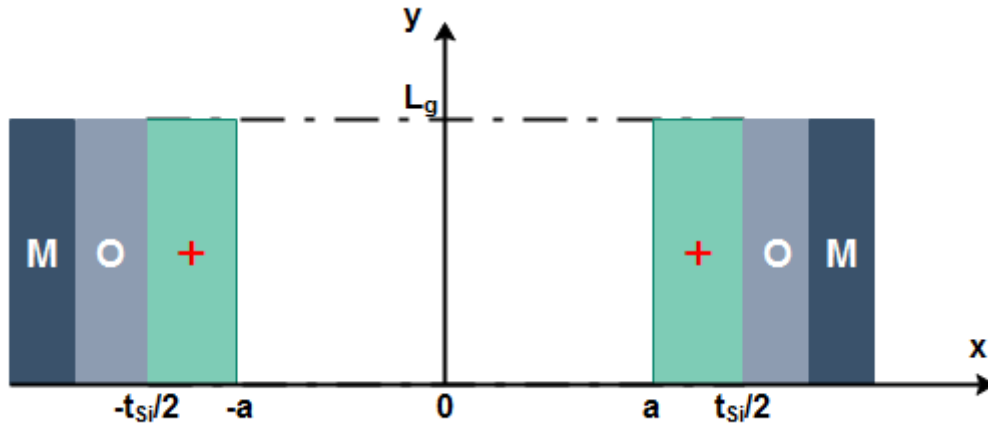


Figure III. 5 : charge de déplétion dans un DGJLFET en mode partiellement déplété.

Pour résoudre l'équation de *Poisson* dans le régime de déplétion partielle, considérons l'approximation de la déplétion. La densité de charge ρ peut être exprimée par :

$$\rho = \begin{cases} 0 & 0 \leq x \leq a \\ qN_D & a \leq x \leq \frac{t_{Si}}{2} \end{cases} \quad \text{III. 27}$$

Où $a = (t_{Si}/2) - x_{dep}$ et x_{dep} est la largeur de la région de déplétion près de la grille inférieure. L'équation de Poisson est modifiée comme

$$\frac{d^2\varphi(x)}{dx^2} = \begin{cases} 0 & 0 \leq x \leq a \\ -\frac{qN_D}{\epsilon_{Si}} & a \leq x \leq \frac{t_{Si}}{2} \end{cases} \quad \text{III. 28}$$

En intégrant l'équation III.29 par rapport à x et en utilisant la condition aux limites (1), c'est-à-dire l'équation III.16, nous aurons

$$E(x) = 0 ; \quad 0 \leq x \leq a \quad \text{III. 29}$$

En intégrant l'équation III.29 par rapport à x et en utilisant la condition aux limites que $\varphi(x) = \varphi_0$ à $x = 0$, nous aurons

$$\varphi(x) = \varphi_0 ; \quad 0 \leq x \leq a \quad \text{III. 30}$$

Maintenant, en intégrant l'équation III.28 par rapport à x pour $a \leq x \leq t_{Si}/2$, nous obtenons

$$E(x) = \frac{qN_D x}{\epsilon_{Si}} + c_1 ; \quad a \leq x \leq \frac{t_{Si}}{2} \quad \text{III. 31}$$

Chapitre III : Modélisation du transistor sans jonctions

Le champ électrique tend vers zéro à la limite de la région de déplétion, c'est-à-dire à $x = a$, on obtient

$$c_1 = -\frac{qN_D a}{\epsilon_{Si}} \quad \text{III. 32}$$

L'intégration de l'équation III.31 par rapport à x permet d'écrire:

$$\varphi(x) = -\frac{qN_D}{2\epsilon_{Si}}(x^2 - 2ax) + c_2, \quad a \leq x \leq \frac{t_{Si}}{2} \quad \text{III. 33}$$

À $x=a$, le potentiel est continu ($\varphi(x) = \varphi_0$). En utilisant cette condition aux limites, nous obtenons:

$$c_2 = \varphi_0 - \frac{qN_D a^2}{2\epsilon_{Si}} \quad \text{III. 34}$$

combinant les l'équation III.34 et III.33, on obtient ainsi:

$$\varphi(x) = \varphi_0 - \frac{qN_D(x-a)^2}{2\epsilon_{Si}} \quad \text{III. 35}$$

Le centre du film de silicium étant neutre et non déplète, le potentiel au centre est égal au potentiel quasi-Fermi d'électron $\varphi_0 = V$ [112]. Le potentiel de surface en $x = t_{Si}/2$ peut être calculé par:

$$\varphi_{S,2} = V - \frac{qN_D x_{dep}^2}{2\epsilon_{Si}} \quad \text{III. 36}$$

La densité de charge totale dans le film de silicium peut être obtenue en appliquant la loi de Gauss à l'interface Si /SiO₂ adjacente à la deuxième grille, ainsi cette densité de charge se calcule par:

$$Q_{SC} = 2\epsilon_{Si}E_{S,2} = -2C_{ox}(V_{GS} - V_{FB} - \varphi_S) \quad \text{III. 37}$$

Pour les DGJLFET fonctionnant en régime de déplétion partiel, $Q_{SC} = 2qN_D x_{dep}$, qui relie x_{dep} à la tension de grille :

$$x_{dep} = -\frac{C_{ox}(V_{GS} - V_{FB} - \varphi_S)}{qN_D} \quad \text{III. 38}$$

En utilisant la valeur de x_{dep} dans l'équation III.36, nous obtenons une relation entre la tension de grille et le potentiel de surface :

$$\varphi_{S,2} = V - \frac{(V_{GS} - V_{FB} - \varphi_S)^2}{\alpha} \quad \text{III. 39}$$

Cette expression est la même que celle obtenue pour un JLFET SOI simple grille fonctionnant en régime de déplétion partiel. En utilisant les conditions de seuil, c'est-à-dire $x_{dep} = t_{Si}/2$ et $V_{GS} = V_{Th}$ nous obtenons:

$$V_{Th} = V_{FB} - \frac{qN_D t_{Si}^2}{8\epsilon_{Si}} - \frac{qN_D t_{Si} t_{ox}}{2\epsilon_{ox}} \quad \text{III. 40}$$

III.3.2.3 DGJLFET en mode de déplétion totale (sous-seuil)

Dans ce cas, l'approximation déplétion totale, qui fournit des résultats précis pour le régime déplétion sous le seuil, doit être utilisée [112]. Sous le régime de déplétion total (Figure III.6), en intégrant une première fois l'équation de *Poisson* (équation III.2), nous pouvons écrire:

$$E(x) = \frac{qN_D}{\epsilon_{Si}} x + c_3 \quad \text{III. 41}$$

En raison de la symétrie de la structure, on a $E(x=0) = 0$, ce qui implique $c_3 = 0$.

L'intégration de l'équation III.41 par rapport à x , nous avons

$$\varphi(x) = -\frac{qN_D}{2\epsilon_{Si}} x^2 + c_4 \quad \text{III. 42}$$

À $x = 0$, $\varphi(x) = \varphi_0 \Rightarrow c_4 = \varphi_0$.

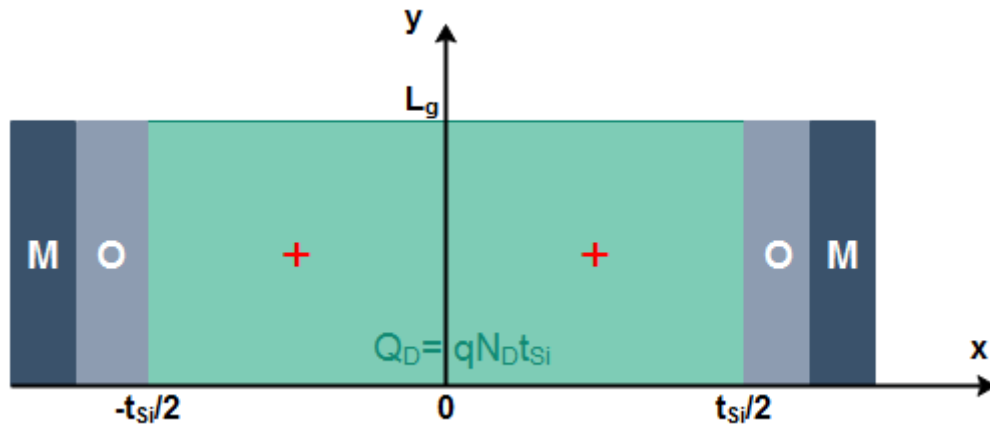


Figure III. 6 : Charges de déplétion dans le DGJLFET en mode de déplétion total.

À $x = t_{Si}/2$, $\varphi(x) = \varphi_{s,2}$. En utilisant cette condition, nous avons une relation entre le potentiel au centre et le potentiel de surface en mode déplétion total:

$$\varphi_{S,2} = \varphi_0 - \frac{qN_D t_{Si}^2}{8\epsilon_{Si}} \quad \text{III. 43}$$

De l'équation III.18 et de l'équation III.22, nous obtenons

$$C_{ox}^2 (V_{GS} - V_{FB} - \varphi_{S,2})^2 = -2qN_D \epsilon_{Si} V_t \left[e^{\frac{(\varphi_S - V)}{V_t}} - e^{\frac{(\varphi_0 - V)}{V_t}} - \frac{\varphi_S - \varphi_0}{V_t} \right] \quad \text{III. 44}$$

On définit $\beta = (\varphi_0 - \varphi_S)/V_t$, ce qui donne:

$$V_{GS} - V_{FB} - \varphi_{S,2} = -\sqrt{\frac{2q\epsilon_{Si}N_D V_t \beta}{C_{ox}^2}} \sqrt{1 - \left[\frac{1 - e^{-\beta}}{\beta} \right] e^{\frac{(\varphi_0 - V)}{V_t}}} \quad \text{III. 45}$$

La valeur de β peut être obtenue à partir de l'équation III.43 et utilisée dans l'équation III.45 permettant d'obtenir une relation analytique entre le potentiel de surface et la tension de grille. En mode de déplétion total, $\varphi_0 > \varphi_{S,b}$. Par conséquent, β est une quantité positive supérieure à l'unité, ce qui implique:

$$\frac{1 - e^{-\beta}}{\beta} < 1 \quad \text{III. 46}$$

En développant la racine carrée de l'équation III.45 en utilisant le théorème binomial, nous aurons:

$$V_{GS} - V_{FB} - \varphi_{S,2} = \frac{q\epsilon_{Si}N_D V_t}{2C_{ox}^2} \left[1 - \frac{e^{\frac{(\varphi_0 - V)}{V_t}}}{2} \right] \quad \text{III. 47}$$

L'équation III.47 relie le potentiel de surface à la tension de grille dans la région sous-seuil. Une expression explicite du potentiel de surface peut également être trouvée en réorganisant les termes de l'équation III.47 comme

$$\varphi_{S,2} = V_{GS} - V_{Th} - \frac{qN_D t_{Si}^2}{8\epsilon_{Si}} - V_t W \left[\frac{qN_D t_{Si}}{4C_{ox} V_t} e^{\frac{(V_{GS} - V_{Th} - V)}{V_t}} \right] \quad \text{III. 48}$$

Où W est la fonction *Lambert W* [113], qui est l'inverse de la fonction $z = W(z) e^{W(z)}$. La fonction *Lambert W* est une fonction bien connue utilisée pour l'analyse des circuits du transistor de jonction bipolaire (BJT)[114].

III.3.3 Approche basée sur la charge:

Il existe une approche de modélisation, qui relie les charges dans le film semi-conducteur directement à la tension de grille, connue sous le nom de modèle basé sur les charges.

L'approche de modélisation basée sur la charge est plus pratique que les modèles basés sur le potentiel de surface, car c'est bien la densité de charge qui détermine le courant de drain et le comportement des FET [102]–[106]. Les modèles basés sur la charge ne sont pas couramment utilisés dans les simulateurs de circuits. Heureusement, des modèles à base de charges efficaces sur le plan des calculs ont été dérivés pour des JLFET comme le modèle à base de charges développé par l'école polytechnique fédérale de Lausanne (EPFL) (EPFL JL-1.0) [92], [102].

Le modèle basé sur la charge pour les DGJLFET [93] qui relie la densité de charge à la tension de grille et au potentiel de surface est donné par :

$$Q_{SC} = 2 \operatorname{sign}(\varphi_0 - \varphi_S) \sqrt{2q\epsilon_{Si}n_iV_t \left[e^{\frac{(\varphi_S - V)}{V_t}} - e^{\frac{(\varphi_0 - V)}{V_t}} - \frac{N_D}{n_i} \frac{(\varphi_S - \varphi_0)}{V_t} \right]} = -2C_{ox}(V_{GS} - V_{FB} - \varphi_S) \quad \text{III. 49}$$

En mode de déplétion totale et de déplétion partielle, $\varphi_0 > \varphi_S$, la densité de charge totale est dominée par les charges de déplétion et la densité de charge semi-conductrice est positive. Cependant au-dessus des conditions de bande plate, $\varphi_S > \varphi_0$, les électrons mobiles dominent la densité de charge totale et la densité de charge devient négative. À l'état de bande plate, la densité de charge à l'intérieur du semi-conducteur est nulle et le potentiel au centre est égal au potentiel de surface, qui peut être obtenu en utilisant:

$$\varphi_0 = \varphi_S = \varphi_{FB} = V - V_t \ln\left(\frac{N_D}{n_i}\right) \quad \text{III. 50}$$

Pour relier la densité de charge à la tension de grille dans le mode d'accumulation, nous pouvons utiliser la valeur du potentiel au centre obtenue à partir de l'équation III.50 dans l'équation III.49 comme

$$Q_{sc}(accu) \approx -2\sqrt{2q\epsilon_{Si}n_iV_t} \sqrt{\left[\underbrace{\left\{ e^{\frac{(\varphi_S-V)}{V_t}} - \frac{N_D}{n_i} \right\}}_1 - \frac{N_D}{n_i} \underbrace{\left\{ \frac{(\varphi_S-V)}{V_t} - \ln\left(\frac{N_D}{n_i}\right) \right\}}_2 \right]} \quad \text{III. 51}$$

On peut clairement observer dans l'équation III.51 que le rapport des termes notés 1 à celui des termes notés 2 est supérieur à l'unité pour le mode de fonctionnement en accumulation. Par conséquent, nous pouvons omettre le terme noté 2 et l'approximation de l'équation III.51 devient

$$Q_{sc}(accu) \approx -2\sqrt{2q\epsilon_{Si}n_iV_t} \sqrt{e^{\frac{(\varphi_S-V)}{V_t}} - \frac{N_D}{n_i}} \quad \text{III. 52}$$

En utilisant l'équation III.52, nous obtenons une relation entre le potentiel de surface et la densité de charge qui s'exprime par:

$$\varphi_S \approx V + V_t \ln\left(\frac{N_D}{n_i}\right) \left(1 + \frac{Q_{sc}^2}{8q\epsilon_{Si}N_DV_t}\right) \quad \text{III. 53}$$

L'expression analytique reliant la densité de charge dans le mode de fonctionnement d'accumulation à la tension de grille peut-être exprimer par:

$$V_{GS} - V_{FB} - V \approx -\frac{Q_{sc}}{2C_{ox}} + V_t \ln\left(\frac{N_D}{n_i}\right) \left(1 + \frac{Q_{sc}^2}{8q\epsilon_{Si}N_DV_t}\right) \quad \text{III. 54}$$

En général, la densité de charge peut être exprimée comme une somme de la densité de charge mobile et de la densité de charge de déplétion, c'est-à-dire $Q_{sc} = Q_M + Q_D = Q_M + q.N_D.t_{si}$. Le calcul de la densité de charge mobile est également essentiel, car il peut être directement utilisé pour obtenir une expression analytique du courant de drain en utilisant l'intégrale de *Pao – Sah*. Une approche générale peut également être utilisée pour trouver un modèle basé sur la charge pour JLFET. L'équation III.49 peut être réexprimée après avoir défini $C = e^{(\varphi_0-V)/V_t}$ et $K = (qn_i t_{si}^2)/8V_t \epsilon_{Si}$ comme [72] :

$$V_{GS} - V_{FB} - V = V_t \ln C + KV_t \left(C - \frac{N_D}{n_i} \right) - \frac{-2\text{sign}(\varphi_0 - \varphi_s)}{C_{ox}} \\ * \sqrt{2q\varepsilon_{Si}n_iV_t} \sqrt{C \left[\underbrace{e^{K\left(C + \frac{N_D}{n_i}\right)}}_1 - \frac{KN_D}{n_i} - 1 \right] + K \left(\frac{N_D}{n_i} \right)^2} \quad \text{III. 55}$$

L'équation III.55 peut être utilisée pour calculer C en utilisant des techniques numériques standard une fois que la tension de grille et le potentiel central sont connus[93]. La densité de charge mobile peut être connue une fois que C est obtenu à partir de l'équation III.55. En combinant les équations III.54 et III.55, la généralisation du modèle basé sur la charge pour les DGJLFET peut être obtenue comme suit:

$$Q_{SC} = -2C_{ox} \left(V_{GS} - V_{FB} - V + \frac{KV_t N_D}{n_i} - KV_t C - V_t \ln C \right) \quad \text{III. 56}$$

En utilisant des approximations valides, nous avons obtenu une relation analytique pour la densité de charge dans le régime d'accumulation [93]. Dans le régime de déplétion, le potentiel dans le volume est supérieur au potentiel de surface et la densité de charge mobile est inférieure à la densité de charge de déplétion. Cela implique que le terme exponentiel dans l'équation III.55 indiqué par 1 est inférieur à l'unité [93]. En supposant que $C = N_D/n_i$, qui apparaît comme la relation en bande plate, le meilleur cas possible pour le terme exponentiel est l'unité. Dans cette hypothèse, la densité de charge peut être exprimée comme :

$$Q_{SC}(dep) = 2\sqrt{2q\varepsilon_{Si}n_iV_t} \sqrt{\frac{KN_D}{n_i} \left(\frac{N_D}{n_i} - C \right)} \quad \text{III. 57}$$

De l'équation III.57, on peut extraire C

$$C(dep) = \frac{N_D}{n_i} \left[1 - \left(\frac{Q_{SC}}{qN_D t_{Si}} \right)^2 \right] \quad \text{III. 58}$$

En plaçant la valeur de C obtenue à partir de l'équation III.58 dans l'équation III.55, nous obtenons le modèle basé sur la charge pour les DGJLFET même dans le régime déplétion comme

$$V_{GS} - V_{FB} - V = V_t \ln \left(\frac{N_D}{n_i} \left[1 - \left(\frac{Q_{SC}}{qN_D t_{Si}} \right)^2 \right] \right) - \frac{Q_{SC}^2}{8q\varepsilon_{Si}N_D} - \frac{Q_{SC}}{2C_{ox}} \quad \text{III. 59}$$

Il est également possible de trouver une expression analytique pour la densité de charge mobile dans les DGJLFET en utilisant la méthode d'approximation parabolique [94].

Après réarrangement de l'équation III.59, nous obtenons une relation de forme fermée entre la densité de charge mobile et la tension de grille comme

$$V_{GS} - V_{Th} - V = -\frac{\beta'}{2C_{ox}} Q_m + V_t \ln \left[-Q_m \sqrt{\frac{qN_D t_{Si} + Q_m}{2\varepsilon_{Si} \pi V_t q^2 N_D^2 t_{Si}}} \right] \quad \text{III. 60}$$

Où $\beta' = 1 + \frac{C_{ox} t_{Si}}{4\varepsilon_{Si}}$

III.3.4 Modélisation du courant de drain

La principale motivation pour développer des modèles basés sur le potentiel de surface ou basés sur la charge est d'avoir plus de connaissances physiques sur le fonctionnement des FET. Ces modèles peuvent être utilisés pour obtenir le courant de drain des transistors à effet de champ pour analyser son comportement statique comme les caractéristiques de transfert, les caractéristiques de sortie, la pente sous-seuil, DIBL, ...etc. Dans cette section, nous discutons les différentes approches pour modéliser le courant de drain dans les DGJLFET en utilisant les informations acquises des sections précédentes.

Dans les DGJLFET (Figure III.7), au-dessus de la tension de seuil, le flux de courant passe à travers le centre du canal. Par conséquent on peut calculer le courant de drain en utilisant simplement la loi d'Ohm, c.-à-d. $dV=I.dR$, où dR est la différence de résistance (résistance différentielle) dans le canal, qui peut être exprimée par

$$dR = \frac{\rho dl}{A} = \frac{dy}{2\sigma W \left(\frac{t_{Si}}{2} - x_{dep}\right)} = \frac{dy}{2qN_D \mu_n W \left(\frac{t_{Si}}{2} - x_{dep}\right)} \quad \text{III. 61}$$

Où ρ est la résistivité du film de silicium et σ sa conductivité, qui est donnée par $\sigma = qN_D \mu_n$.

Dans l'équation III.61, la largeur de la zone de déplétion est inconnue, mais peut être facilement déterminé en utilisant l'approximation de la déplétion. En combinant les équations III.36 et III.37, on obtient l'équation quadratique en x_{dep} comme

$$qN_D x_{dep} = C_{ox} \left(V_{GS} - V_{FB} - V + \frac{qN_D x_{dep}^2}{2\varepsilon_{Si}} \right) \quad \text{III. 62}$$

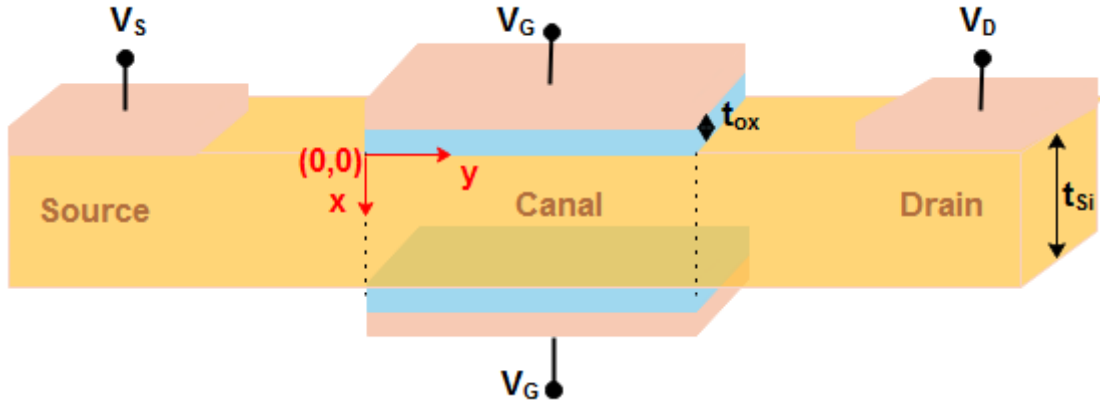


Figure III. 7: DGJLFET avec modification des coordonnées du système en utilisant la modélisation du courant.

En résolvant l'équation III.62, nous obtenons une expression simple de la largeur de la déplétion

$$x_{dep}(V_{GS}, V) = \frac{\epsilon_{Si}}{C_{ox}} \left[-1 \sqrt{1 - \frac{2C_{ox}^2}{qN_D\epsilon_{Si}} (V_{GS} - V_{FB} - V)} \right] \quad \text{III. 63}$$

Pour simplifier l'équation III.63, on développe $x_{dep}(V_G, V)$ en utilisant les séries de *Taylor* autour de la tension de seuil V_{Th} (où $x_{dep} = \frac{t_{Si}}{2}$) est donnée par l'équation III.40, qui donnent

$$x_{dep}(V_{GS}, V) = x_{dep}(V_{Th}, V) + \frac{dx_{dep}(V_{Th}, V)}{dV_G} (V_{GS} - V_{Th}) + \dots \quad \text{III. 64}$$

En ignorant les termes d'ordre supérieur, on obtient

$$x_{dep}(V_{GS}, V) \approx -\frac{C_{eq}}{qN_D} (V_{GS} - V_{FB} - V) + \frac{t_{Si}}{2} \left[1 - \frac{\frac{C_{ox} + C_{dep}}{2}}{\frac{C_{ox} + C_{dep}}{1}} \right] \quad \text{III. 65}$$

Où $C_{dep} = (2\epsilon_{Si})/t_{Si}$ est la demi-capacité de déplétion (half depletion capacitance) et C_{eq} est la capacité équivalente en série est donnée par $C_{eq} = \frac{C_{ox}C_{dep}}{C_{ox} + C_{dep}}$. L'équation III.65 peut être encore simplifiée en supposant que le terme désigné par 1 est l'unité pour le DGJLFET, qui est

Chapitre III : Modélisation du transistor sans jonctions

essentiellement conçu avec un canal ultrafin pour atteindre la déplétion du volume tel que $t_{Si}/2$ est comparable à t_{ox} [111]. En utilisant cette approximation, l'équation III.65 devient

$$x_{dep}(V_{GS}, V) \approx -\frac{C_{eq}}{qN_D}(V_{GS} - V_{FB} - V) \quad \text{III. 66}$$

En utilisant l'équation III.66, la loi d'Ohm exprimé par $dV=IdR$ peut être intégrée en utilisant l'approximation du canal graduel pour donner

$$I \int_0^{L_g} dy = \int_0^{V_{DS}} 2qN_D\mu_n W \left(\frac{t_{Si}}{2} + \frac{C_{eq}}{qN_D}(V_{GS} - V_{FB} - V) \right) dV \quad \text{III. 67}$$

Qui donne une expression analytique sous forme fermée pour le courant de drain dans le régime de déplétion partielle comme

$$I_{DS} = \frac{2qN_D\mu_n W}{L_g} \left[\left(\frac{t_{Si}}{2} + \frac{C_{eq}}{qN_D}(V_{GS} - V_{FB}) \right) V_{DS} - \frac{C_{eq}}{2qN_D} V_{DS}^2 \right] \quad \text{III. 68}$$

L'équation III.68 indique que les JLFETs et les MOSFETs se comportent de manière similaire avec une dépendance linéaire du courant sur V_{DS} dans la région linéaire (appelé aussi : zone ohmique), où V_{DS} est petit. Le courant de saturation peut aussi être retrouvé de l'équation III.68 en utilisant la tension de saturation donnée par $V_{DS,sat} = V_{GS} - V_{Th}$.

Une fois que l'expression analytique du courant des régimes linéaires et de saturation est trouvée, on détermine l'expression du courant de drain dans la région sous-seuil pour obtenir le modèle complet du courant du drain. Puisque le courant en régime sous-seuil est commandé par la diffusion des porteurs mobiles de la source vers le drain, le courant du drain sous-seuil peut être exprimé comme le courant de diffusion[115]:

$$I_{DS} = qWD_n \frac{dn(y)}{dy} = \frac{qWD_n |n(y=0) - n(y=L_g)|}{L_g} \quad \text{III. 69}$$

Où $n(y=0)$ et $n(y=L_g)$ sont respectivement la densité d'électron surfacique aux extrémités de la source et du drain. Puisque les électrons à l'extrémité du drain rencontrent une barrière de potentiel additionnel égale à la tension du drain par rapport aux électrons de la source, on a, $n(y = L_g) = n(y = 0)e^{-\frac{V_{DS}}{v_t}}$. En utilisant cette relation dans l'équation III.69, on obtient

$$I_{DS} = \frac{qWD_n n(y=0) \left[1 - e^{-\frac{V_{DS}}{V_t}} \right]}{L_g} \quad \text{III. 70}$$

La densité d'électron surfacique à l'extrémité de la source peut s'écrire comme

$$n(y = 0) = N_D \int_0^{t_{Si}} e^{\frac{\varphi(x)}{V_t}} \quad \text{III. 71}$$

Dans le système de coordonnées définie dans la Figure III.7 et utilisé dans [111], dans le mode de fonctionnement sous-seuil, en utilisant l'approximation de la déplétion, l'équation de Poisson peut être intégrée avec la condition où le champ électrique est nul à $x = t_{Si}/2$ pour donner

$$\frac{d\varphi(x)}{dx} = -\frac{qN_D}{\epsilon_{Si}} \left(x - \frac{t_{Si}}{2} \right) \quad \text{III. 72}$$

En intégrant l'équation III.72 et en utilisant les conditions aux limites $\varphi(x = 0) = \varphi_S$, on obtient

$$\varphi(x) = -\frac{qN_D}{2\epsilon_{Si}} \left(x - \frac{t_{Si}}{2} \right)^2 + -\frac{qN_D t_{Si}^2}{8\epsilon_{Si}} + \varphi_S \quad \text{III. 73}$$

En utilisant la loi de Gauss, on a, $2C_{ox}(V_{GS} - V_{FB} - \varphi_S) = qN_D t_{Si}$

En divisant l'équation III.37 par 2 et en l'utilisant avec l'équation III.73 dans l'équation III.71 et en définissant

$$\alpha' = 2N_D \exp \left[\left(\frac{qN_D t_{Si}^2}{8\epsilon_{Si}} + V_{GS} - V_{FB} + \frac{qN_D t_{Si}}{2C_{ox}} \right) / V_t \right] \quad \text{III. 74}$$

Et

$$\beta'' = \frac{qN_D}{2\epsilon_{Si}V_t} \quad \text{III. 75}$$

On obtient

$$n(y = 0) = \alpha' \int_0^{t_{Si}/2} e^{-\beta'' x^2} dx = \frac{\alpha'}{2} \sqrt{\frac{\pi}{\beta''}} \operatorname{erf} \left(\frac{\sqrt{\beta''} t_{Si}}{2} \right) \quad \text{III. 76}$$

Dans les DGJLFETs, la région du canal est fortement dopée, cela implique que β'' est très supérieur à l'unité [111]. Puisque la fonction erreur (error function) se réduit à l'unité si l'argument est supérieur à un, l'équation III.76 peut être simplifiée.

En remplaçant l'équation simplifiée de l'équation III.76 dans l'équation III.70, on obtient une expression analytique simplifiée du courant sous-seuil comme

$$I_{DS} = \frac{qWDn\frac{\alpha'}{2}\sqrt{\frac{\pi}{\beta''}}\left[1-e^{-\frac{V_{DS}}{V_t}}\right]}{L_g} \quad \text{III. 77}$$

III.3.5 Modélisation de DGJLFET à canal court

Dans les JLFET à canal court, en raison de la proximité de l'interface source-canal au drain, l'interaction entre le potentiel de surface et le champ électrique du drain est inévitable. Cette interaction entraîne une perturbation du potentiel de surface à l'interface source-canal entraînant des effets de canal court tels que l'abaissement de la barrière induite par le drain (DIBL),... etc. Par conséquent, l'équation de Poisson-2D doit être résolue pour modéliser les JLFET à canal court. Une des techniques les plus simples pour résoudre l'équation de Poisson 2D est l'équation de mise à l'échelle quasi-2D.

L'équation de mise à l'échelle quasi-2D simplifie l'équation de Poisson 2D en une équation différentielle ordinaire du deuxième ordre, qui peut être résolue analytiquement.

Dans le régime de fonctionnement sous-seuil, la contribution à la densité de charge totale due aux porteurs mobiles peut être ignorée et l'équation de *Poisson* 2D pour les GJLFET à canal court (Figure III.8) peut être exprimée par:

$$\frac{d^2\varphi(x,y)}{dx^2} + \frac{d^2\varphi(x,y)}{dy^2} = -\frac{qN_D}{\epsilon_{Si}}$$

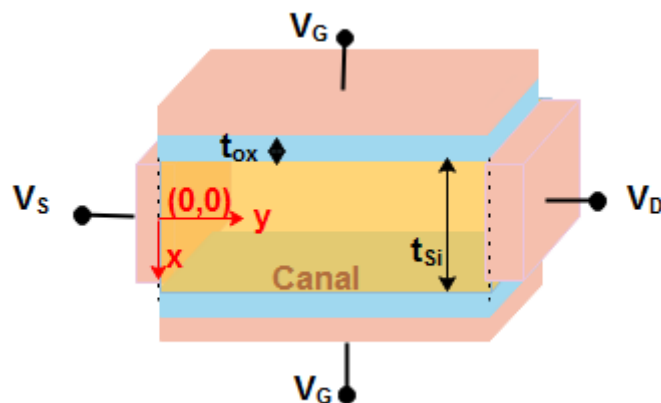


Figure III. 8 : vue en 3D d'un DGJLFET à canal court.

Chapitre III : Modélisation du transistor sans jonctions

En utilisant l'approximation du potentiel parabolique et les conditions aux limites, nous obtenons:

$$\varphi(x, y) = \varphi_0(y) + \frac{C_{ox}}{\varepsilon_{Si}t_{Si}}(V_{GS} - V_{FB} - \varphi_S(y))y^2 \quad \text{III. 78}$$

En développant les équations de mise à l'échelle [116] pour les JLFET, en considérant le potentiel dans le volume (potentiel central) du dispositif, puisque le courant circule dans volume dans les conditions de seuil dans un DGJLFET [117]. Par conséquent, en remplaçant $\varphi_S(y)$ dans l'équation III.78 en utilisant l'expression reliant le potentiel central et le potentiel de surface, on peut écrire:

$$\varphi(x, y) = \varphi_0(y) + \frac{C_{ox}}{\varepsilon_{Si}t_{Si}} \left(V_G - V_{FB} - \frac{\varphi_0(y) + \frac{C_{ox}t_{Si}}{4\varepsilon_{Si}}(V_{GS} - V_{FB})}{1 + \frac{C_{ox}t_{Si}}{4\varepsilon_{Si}}} \right) y^2 \quad \text{III. 79}$$

En utilisant l'équation III.79 dans l'équation III.1, on obtient:

$$\frac{d^2\varphi_0(y)}{dy^2} - \frac{8C_{ox}}{4\varepsilon_{Si}t_{Si} + C_{ox}t_{Si}^2} \left(\varphi_0(y) - V_{GS} - V_{FB} + \frac{qN_D t_{Si}}{2C_{ox}} + \frac{qN_D t_{Si}^2}{8\varepsilon_{Si}} \right) = 0 \quad \text{III. 80}$$

On définit $\frac{1}{\lambda^2} = \frac{8C_{ox}}{4\varepsilon_{Si}t_{Si} + C_{ox}t_{Si}^2}$, $\phi_0 = V_{GS} - \omega_{et} = V_{FB} - \frac{qN_D t_{Si}}{2C_{ox}} - \frac{qN_D t_{Si}^2}{8\varepsilon_{Si}}$, où λ est la longueur du DGJLFET et ϕ_0 est le potentiel central dans un canal long, on simplifie le second ordre de l'équation différentielle est telle que:

$$\frac{d^2\varphi_0(y)}{dy^2} - \frac{1}{\lambda^2}(\varphi_0(y) - \phi_0) = 0 \quad \text{III. 81}$$

Cette équation différentielle simplifiée à la solution de la forme:

$$\varphi_0(y) = \phi_0 + a_1 e^{\frac{y}{\lambda}} + b_1 e^{-\frac{y}{\lambda}} \quad \text{III. 82}$$

Où a_1 et b_1 sont des constantes. Ces constantes peuvent être trouvées en utilisant les conditions aux limites le long de la direction y , qui sont

$$\varphi_0(y = 0) = V_S = 0 \quad \text{III. 83}$$

$$\varphi_0(y = L_g) = V_S = V_{DS} \quad \text{III. 84}$$

Chapitre III : Modélisation du transistor sans jonctions

En utilisant les conditions aux limites données par les équations III.83 et III.84, on obtient:

$$a_1 = \beta_1 V_{GS} + \delta \quad \text{III. 85}$$

$$b_1 = \gamma V_{GS} + \theta \quad \text{III. 86}$$

Où

$$\beta_1 = \frac{e^{-\frac{Lg}{\lambda}} - 1}{2 \sinh\left(\frac{Lg}{\lambda}\right)} \quad \text{III. 87}$$

$$\delta = \frac{V_{DS} - \omega(e^{-\frac{Lg}{\lambda}} - 1)}{2 \sinh\left(\frac{Lg}{\lambda}\right)} \quad \text{III. 88}$$

$$\gamma = \frac{1 - e^{\frac{Lg}{\lambda}}}{2 \sinh\left(\frac{Lg}{\lambda}\right)} \quad \text{III. 89}$$

$$\theta = \frac{-V_{DS} + \omega(e^{\frac{Lg}{\lambda}} - 1)}{2 \sinh\left(\frac{Lg}{\lambda}\right)} \quad \text{III. 90}$$

Une fois les constantes a_1 et b_1 connues, l'étape suivante consiste à trouver une relation analytique pour la tension de seuil des DGJLFET. La position du potentiel central minimum peut être obtenue en différenciant l'équation III.82 et en utilisant $d\phi_0(y)/dy = 0$, ce qui donne que le potentiel central minimum existe à une position:

$$y_{min} = \frac{\lambda}{2} \ln\left(\frac{b_1}{a_1}\right) \quad \text{III. 91}$$

La valeur minimum du potentiel central est obtenue en mettant l'équation III.116 dans l'équation III.82 ainsi:

$$\phi_0(y_{min}) = \sqrt{a_1 b_1} + \phi_0 \quad \text{III. 92}$$

À la tension de seuil, le canal neutre commence à se découvrir au centre. Par conséquent, le potentiel central minimal peut être supposé nul lorsque la tension de grille est égale à la tension de seuil V_{Th} [117]. En utilisant cela, on trouve l'expression de tension de seuil pour les DGJLFET à canal court est tel que:

$$V_{Th} = \frac{2(\delta\gamma + \beta\theta) + \omega + \sqrt{(2(\delta\gamma + \beta\theta) + \omega)^2 - (1 - 4\beta\gamma)(\omega^2 - 4\delta\theta)}}{(1 - 4\beta\gamma)} \quad \text{III. 93}$$

L'équation III.93 présente une solution analytique sous forme fermée à la tension de seuil pour les DGJLFET à canal court.

III.4 Conclusion

Dans ce chapitre, nous avons discuté des différentes approches utilisées pour la modélisation analytique du potentiel de surface, de la densité de charge des semi-conducteurs et du courant de drain des JLFET à canal long. Nous avons considéré l'architecture double grille, car elle fournit une condition aux limites supplémentaires en raison de sa structure symétrique et facilite l'approche de modélisation. Après la discussion sur les JLFET à canal long, la technique de mise à l'échelle quasi 2D pour modéliser les JLFET à canal court a également été abordée et une comparaison avec les MOSFET a été effectuée.

CHAPITRE IV

RESULTATS ET INTERPRETATIONS

IV.1 Introduction

Dans ce chapitre, nous allons présenter les différents résultats de simulation obtenus pour la simulation d'un transistor GAA (gate all around) sans jonctions à section carrée. Cette simulation fut effectuée à l'aide du logiciel SILVACO-TCAD, pour cela nous avons utilisé le module DEVEDIT pour la conception en trois dimensions de notre structure GAA sans jonctions « GAA junctionless » et le module ATLAS pour déterminer les caractéristiques électriques de notre structure.

IV.2 Présentation du logiciel SILVACO TCAD

Avant de présenter les résultats de simulation obtenus par cette étude, nous avons jugé utile de présenter SILVACO qui est une société internationale américaine basée à Santa Clara, en Californie. Elle fut fondée par le Dr Ivan Pesic en 1984 pour répondre aux besoins des concepteurs de circuits intégrés analogiques en modèles SPICE (Integrated Circuit Enhanced Simulation Program).. C'est l'un des principaux fournisseurs de logiciels de conception assistée par ordinateur (TCAD) de simulation par éléments finis et de chaîne professionnelle de logiciels de conception assistée par ordinateur "CAO". Ces outils sont utilisés par les entreprises de microélectronique dans le domaine de la recherche, du développement et de la conception de dispositifs [118].

SILVACO signifie "Silicon Valley Corporation". Cet environnement permet la conception et la prévision des performances des dispositifs semi-conducteurs. Au département de physique des équipements de l'Université de Stanford en 1989, on a abouti à deux modules SILVACO : le simulateur de processus "Athena" et le simulateur de dispositifs "Atlas" (2D et 3D).

Un projet de recherche à l'Université de Californie à Berkeley a permis à SILVACO de concevoir son propre logiciel SPICE en 1992 pour simuler le comportement des dispositifs. Par conséquent, en utilisant le langage C++, le module "Smart Spice" pour la simulation de circuits électroniques basée sur un modèle physique a été ajouté à la série de modules SILVACO-TCAD. En 2004, SILVACO a proposé un nouvel outil de simulation capable d'extraire des signaux parasites.

IV.2.1 Présentation du paquet des programmes SILVACO

SILVACO fournit un ensemble d'outils de simulations interactifs qui permettent la conception et l'analyse de la plupart des dispositifs semi-conducteurs VWF (Virtual Wafer Manufacturing) [119]. Les composants de base du VWF (Figure IV.1) sont :

Chapitre IV : Résultats et interprétations

1. Outils de simulation (VWF CORE TOOLS). Ces outils simulent leur procédé de fabrication ou leur comportement électrique. Les outils de simulation sont ATHENA, ATLAS et SDUPEM3.
2. Outils interactifs (VWF INTERACTIVE TOOLS). Ces outils sont conçus pour créer un seul fichier d'entrée de manière interactive. Via une interface utilisateur graphique (Graphical User Interface, GUI). Par conséquent, le travail de construction du fichier d'entrée devient plus efficace. Les outils interactifs peuvent être utilisés pour un ensemble de fichiers ou en tant que composants intégrés dans un environnement d'outils automatisé.
3. Outil d'automatisation (outil d'automatisation VWF). Ces outils permettent aux utilisateurs de mener des recherches expérimentales à grande échelle et de créer des résultats pour l'analyse statistique suivante. Les outils automatisés utilisent une technologie de base de données distribuée et des méthodes logicielles de développement de processus.

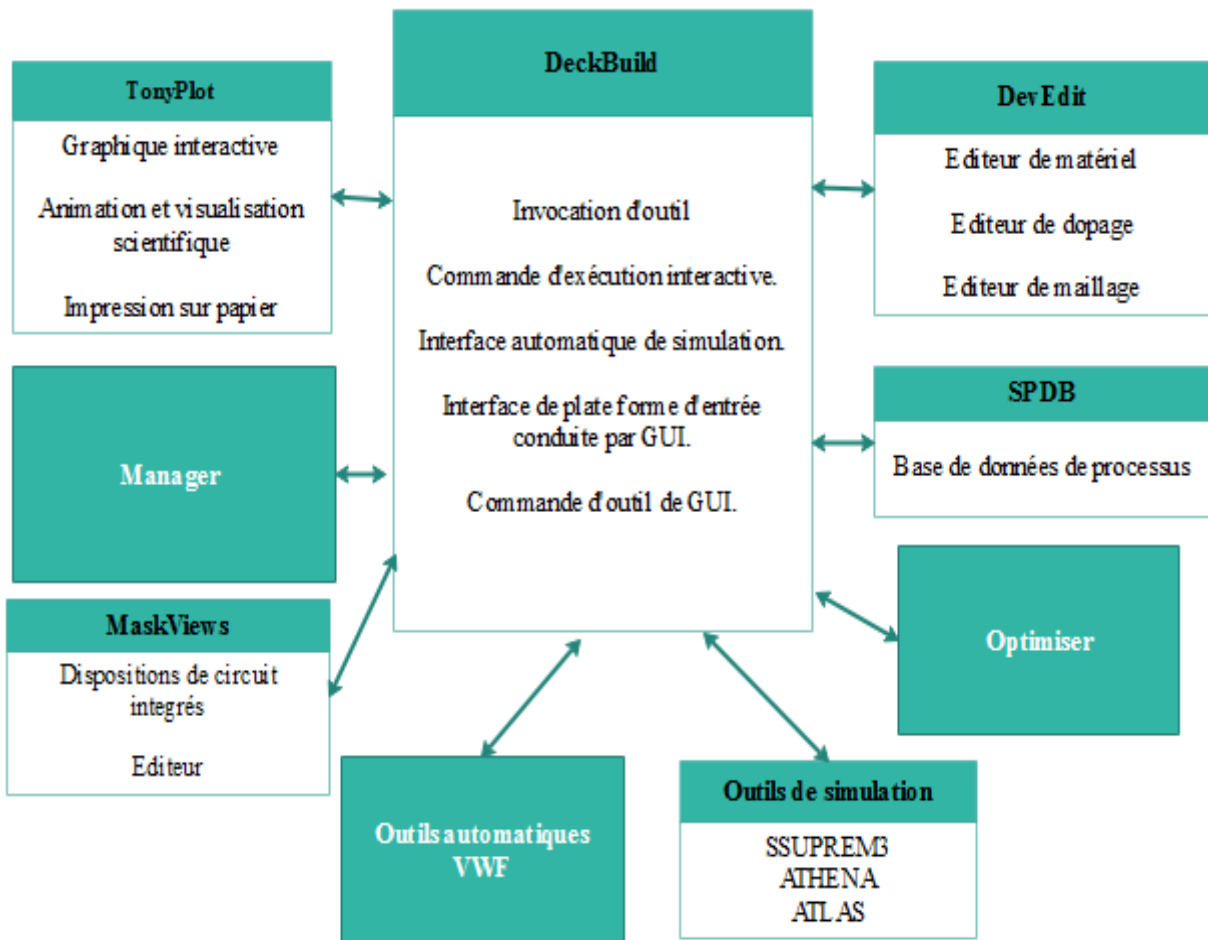


Figure IV. 1: Organigramme de la structure VWF.

IV.2.1.1 Les outils de simulation

- **ATLAS** : simulateur physique de dispositifs semi-conducteurs 2D ou 3D, utilisée pour simuler le comportement électrique (statique ou dynamique) de structures spécifiques de dispositifs semi-conducteurs.
- **ATHENA** : Un simulateur bidimensionnel du flux de processus, qui permet de développer et d'optimiser le processus de fabrication des semi-conducteurs (différentes étapes réalisées en salle blanche). Il fournit une plate-forme pour simuler l'implantation, la diffusion, la gravure, la gravure, le dépôt, la photolithographie, l'oxydation et la siliciuration des matériaux semi-conducteurs. Il remplace les expériences coûteuses par des simulations
- **SSUPREMS3**: Simulateur de processus unidimensionnel avec extension simple de la simulation des dispositifs.

IV.2.1.2 Les outils interactifs

- **DECKBUILD**: environnement de programmation de la simulation. DeckBuild fournit une aide et un support pour éviter d'apprendre la syntaxe de commande généralement très compliquée. Il permet également l'exécution automatique et très pratique des programmes et des sauvegardes du système dans les étapes intermédiaires d'exécution (c'est une interface avec des outils de simulation).
- **TONYPLOT** : environnement de visualisation des résultats de simulation (la structure des composants, la répartition des différentes grandeurs, les caractéristiques électriques, etc.).
- **DEVEDIT** : environnement définition de la structure. On peut créer de nouvelles structures ou même modifier des structures existantes. On peut également définir un maillage ou raffiner un maillage existant.
- **MASKVIEWS** : outil de dessin des masques (éditeur de layout).
- **OPTIMIZER** : optimise les paramètres de la structure de façon à obtenir en final la valeur du paramètre que nous lui avons définie au préalable.
- **MANAGER** : outil de gestion des fichiers utilisés et créés par VWF.
- **SPDB** : (Semiconductor Process Database), il s'agit d'un produit distinct, ce n'est pas un outil interactif, mais il peut être utilisé avec DeckBuild. Il est conçu pour stocker un grand nombre de profils de dopage mesuré expérimentalement et de données décrivant les conditions expérimentales.

Le projet réalisé dans le cadre de ce travail s'appuie principalement sur l'outil de simulation « Atlas » et l'environnement qui définit le programme de simulation « DeckBuild ». Une fois la simulation effectuée sous "ATLAS", les résultats seront affichés à l'aide du logiciel "TonyPlot".

IV.2.2 Présentation d'ATLAS

ATLAS est un simulateur physique 2D ou 3D des dispositifs basés sur la physique de semi-conducteur. Il prédit le comportement électrique d'une structure semi-conductrice particulière et donne un aperçu des mécanismes physiques internes liés au fonctionnement du dispositif. Atlas peut être utilisé indépendamment ou comme outil de base dans le support de simulation VWF de SILVACO.

Le simulateur se compose de deux parties :

-Partie du traitement numérique (méthode d'intégration, discrétisation...)

-Partie du modèle physique (recombinaison, mobilité, etc.) des composants semi-conducteurs [120].

IV.2.2.1 Entrées et sorties d'ATLAS

La Figure IV.2 montre les entrées et sorties d'atlas. La plupart des simulations réalisées par ATLAS utilisent deux fichiers d'entrée. Le premier est représenté par « Fichier de commande », c'est un fichier script contenant les commandes pour que ATLAS s'exécute. Le second fichier est un « Fichier de structure » qui définit la structure à simuler. À la sortie d'Atlas, nous avons trois types de fichiers. Le premier de ces fichiers est la sortie « Runtime » qui donne la progression, les erreurs et les messages d'avertissements pendant la simulation. Le deuxième type de fichier est le « fichier log » qui stocke toutes les valeurs de tensions et des courants provenant de l'analyse du dispositif simulé. Le troisième fichier de sortie est le « fichier de solution », ce fichier stocke les données 2D ou 3D concernant les valeurs des variables solutions dans le dispositif en un point donné. Les deux derniers fichiers sont traités par l'outil de visualisation « TonyPlot ».

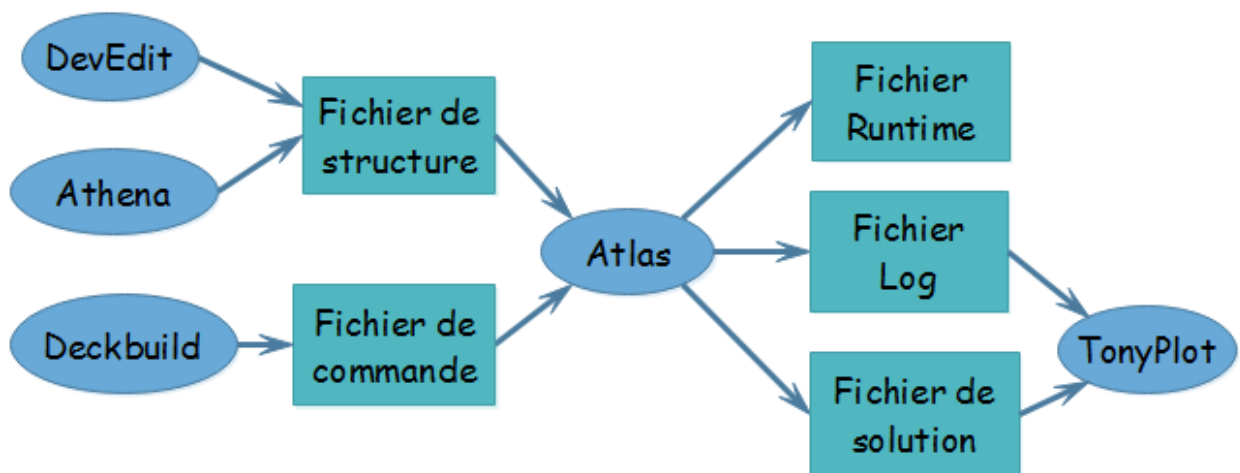


Figure IV. 2 : Entrées et sorties d'ATLAS.

Dans la Figure IV.3 nous avons représenté les composants qui constituent le simulateur Atlas. Comme nous le remarquons, le cœur est la physique qui contient le modèle mathématique qui fonctionne dans les dispositifs à base de semi-conducteurs.

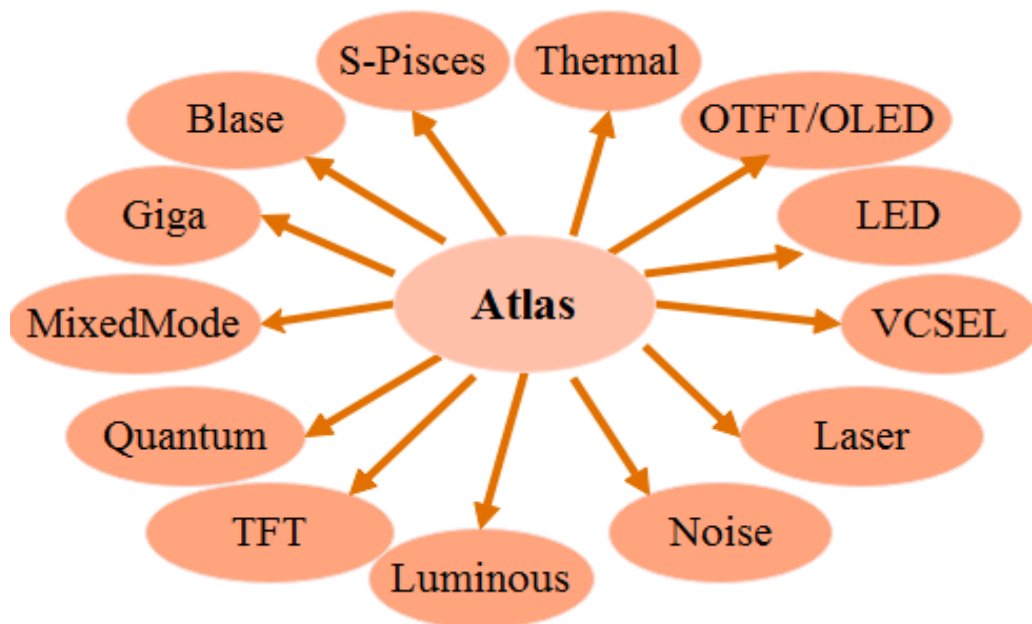


Figure IV. 3: les composants (ou modules) d'Atlas.

Ainsi les composants développés autour sont :

- **S-Pisces** : programme de simulation des dispositifs 2D ou 3D, il modélise les caractéristiques électriques des dispositifs à base de silicium en incluant la technologie comme MOS (MetalOxideSemiconductor), bipolaire, SOI (Silicon On Insulator), EEPROM (ElectricallyErasable Programmable Read Only Memory) et dispositifs de puissance. S-Pisces calcule les distributions internes des paramètres physiques et prévoit le comportement électrique des dispositifs à l'état d'équilibre, transitoire ou dans les conditions de courant alternatif de petit signal.
- **Blaze** : simulateur des dispositifs 2D ou 3D pour les matériaux III-V, II-VI et des dispositifs avec la structure de bande dépendante de la position (c.-à-d. hétéro-jonction). Blaze explique les effets de la structure de bande dépendante de la position par des modifications des équations de transport de charge. Blaze est applicable à une large gamme des dispositifs comprenant : HBT (Heterojonction Bipolar Transistor), HEMT (High Electron Mobility Transistor), LED (Light Emitting Diode), détecteurs photoélectriques d'hétérojonction (piles solaires) et diode d'hétérojonction.
- **Giga** : prolonge Atlas pour expliquer l'écoulement de la chaleur du réseau et les environnements thermiques généraux. Giga met en application de modèle rigoureuse thermodynamique de *Wachutka* du réchauffement du réseau, qui explique l'effet de Joule, le

réchauffement, et le refroidissement du à la génération de porteur et à la recombinaison, et des effets *Peltier et Thomson*. Giga explique la dépendance du matériau et de transport en fonction de la température du réseau.

- **Laser** : effectue une simulation couplée électrique et optique des lasers à base de semi-conducteur.
- **VCSEL** : (Vertical Cavity Surface Emitting Lasers) effectue la simulation électrique, thermique et optique des lasers d'émission surfacique à cavité verticale à l'aide de méthode entièrement numérique précise, robuste, et fiables et des maillages uniformes.
- **Luminions** : trace des rayons et programme tout usage d'absorption de la lumière. Luminious calcul les profils d'intensités optiques dans les dispositifs semi-conducteurs et convertit ces profils dans des taux de photo génération. Ceci nous permet de simuler des réponses électroniques à des signaux optiques pour une large gamme de détecteurs optiques.
- **LED** : fournit des possibilités générales pour la simulation des dispositifs de diodes électroluminescentes.
- **Mixed Mode** : simulateur des circuits qui peut inclure des éléments simulés en utilisant la simulation de dispositif (2D ou 3D), ainsi que des modèles compacts de circuits. Mixed Mode utilise des algorithmes numériques avancés qui sont efficaces et robustes pour des simulations en DC, régime transitoire, petit signal AC et l'analyse des réseaux petits signaux. Mixed Mode est généralement utilisé pour simuler des circuits qui contiennent des dispositifs semi-conducteurs pour les modèles compacts et précis qui n'existent pas ou pour simuler des circuits où les dispositifs qui jouent un rôle critique doivent être modélisés de façon très précise. Les modèles compacts disponibles et utilisés sont en général de type SPICE. La logique de programmation pour spécifier les circuits est de type SPICE.
- **Quantum** : simule les effets de confinement quantique.
- **TFT** : (Thin-Film Transistor Simulator) simule les systèmes de matériaux désordonnés, il ne contient pas de modèles de matériaux donc il faut combiner soit S-PISCES ou BLAZE avec TFT pour simuler ces systèmes matériels. TFT permet de définir une distribution d'énergie des états de défaut dans la bande interdite des matériaux semi-conducteurs.
- **Noise** : simule le bruit petit signal généré par les appareils. Le bruit électronique a comme conséquence une dégradation inévitable des performances d'un circuit. Il est important de comprendre les propriétés de bruit pour minimiser son effet.

Chapitre IV : Résultats et interprétations

- **TFT/OLED** : OTFT simule les caractéristiques des dispositifs réalisés en matériaux organiques (caractéristiques électriques et optiques en courant continu ou transitoire de ceux-ci). OLED simule des densités d'excitation singulière et triplet.
- **Thermal** : résout l'équation de la chaleur à l'équilibre thermodynamique pour trouver la distribution de la température à l'équilibre en structures 3D planaires et non planaires.

IV.2.2.2 Commandes dans un programme ATLAS

Nous allons maintenant présenter l'ordre des commandes fondamentales dans un programme ATLAS (Figure IV.4). Ainsi il existe cinq groupes de commandes, ces groupes doivent être organisés correctement. Si l'ordre n'est pas respecté, un message d'erreur apparaît et le programme ne s'exécute pas d'une façon correcte [120].

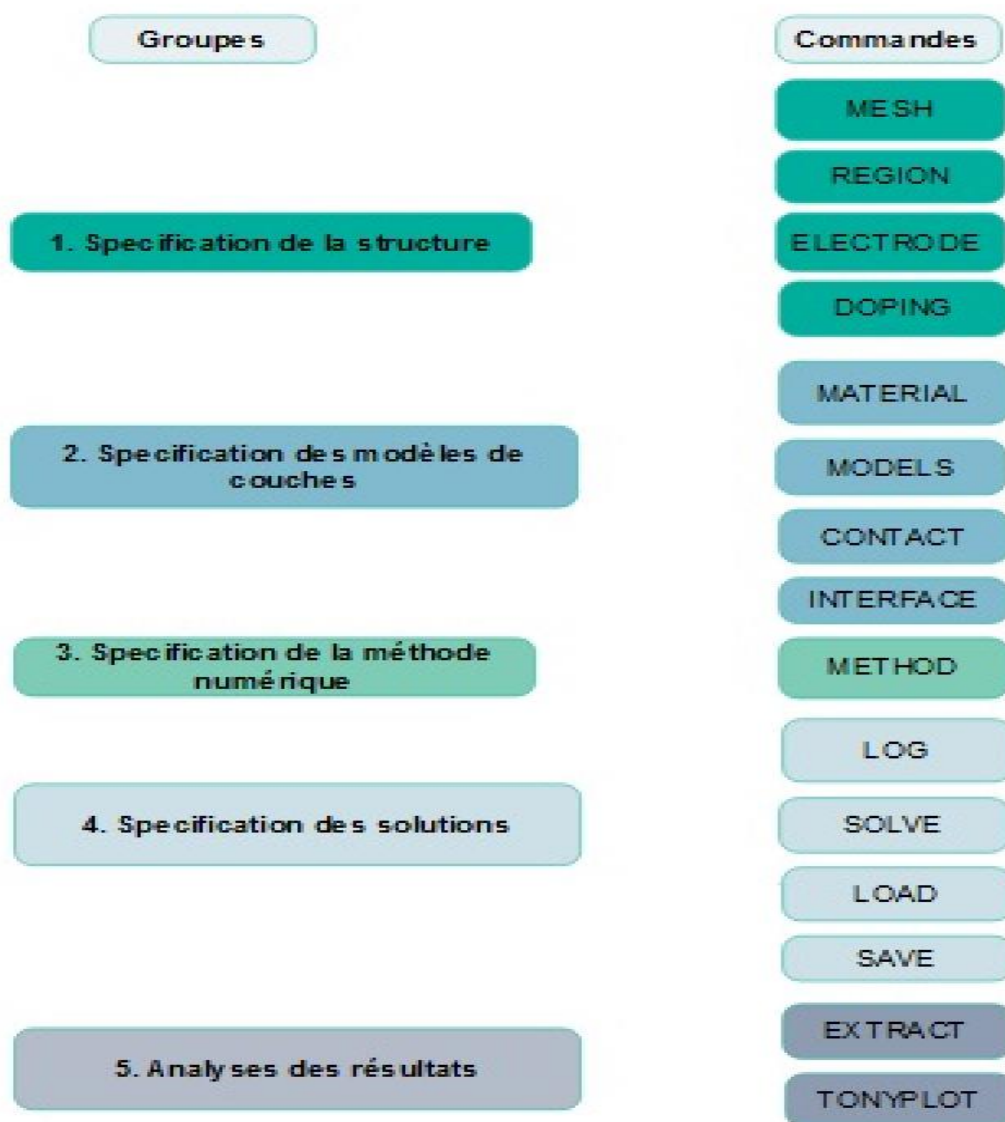


Figure IV. 4 : Les commandes fondamentales dans un programme ATLAS.

Les commandes fondamentales sont :

a. Spécification de la structure

Il s'agit de définir la structure la plus réaliste. La construction de la structure consiste en quatre étapes : définition du maillage, définition des régions, définition des électrodes et définition des dopages.

➤ **MESH** (définition du maillage) : généralement de forme triangulaire, le maillage divise la structure simulée en petites cellules pour pouvoir résoudre les équations fondamentales numériquement. Le format général pour définir le maillage est :

X.MESH LOCATION=<VALUE> SPACING=<VALUE>

Y.MESH LOCATION=<VALUE> SPACING=<VALUE>

➤ **REGION** (définition des régions) : de forme rectangulaire et en micromètre, les régions sont définies après le maillage par l'instruction REGION et en spécifiant le type de matériaux utilisés tels que : le silicium, l'oxyde (SiO₂),...etc. Le format pour définir des régions est le suivant:

REGION nombre = <integer><material_type> / < position des paramètres >

➤ **ELECTRODE** (définition des électrodes) : La définition des électrodes permet de réaliser les contacts Grille, Anode et Cathode. Le format de définition des électrodes est le suivant:

ELECTRODE NAME=<electrode name><position parameters>

➤ **DOPING** (définition des dopages) : Le dernier aspect de la construction de la structure est le dopage. Le dopage peut être de type n ou p, aussi la distribution peut être uniforme, gaussienne, etc...Le format de la déclaration de dopage dans « Atlas » se présente comme suit:

DOPAGE < type de distribution >< type de dopant > / < position des paramètres >

b. Spécification des modèles physiques

Après la construction de la structure, il est nécessaire de préciser les modèles physiques et de définir les matériaux. La spécification de modèles et matériaux comporte quatre étapes:

➤ **MATERIAL** : associe des paramètres physiques aux matériaux dans la maille. Le logiciel a des paramètres de matériau définis par défaut pour les semi-conducteurs standard. Le format de la déclaration du matériau est le suivant :

MATERIAL < localisation >< définition du matériau >

➤ **MODELS** : Ils indiquent les inclusions de différents mécanismes physiques (recombinaison, mobilité, etc...). Le choix du modèle dépend des matériaux choisis pour la simulation. La syntaxe de la déclaration du modèle est la suivante:

MODEL< paramètres généraux > / < paramètres du modèle >

Les modèles physiques inclus dans « Atlas » sont:

- DC, AC small-signal, and full time-dependency.
- Drift-diffusion transport models.
- Energy balance and Hydrodynamic transport models.
- Lattice heating and heat sinks.
- Graded and abrupt hetero-junctions.
- Optoelectronic interection with general ray tracing.
- Amorphous and polycrystalline materials.
- General circuit environments.
- Stimulated emission and radiation.
- Fermi-Dirac and Boltzmann statistics.
- Advanced mobility models.
- Heavy doping effects.
- Full acceptor and donor trap dynamics.
- Ohmic, Schottky, and insulating contacts.
- SRH, radiative, Auger, and surface recombination.
- Impact ionization (local and non-local).
- Floating gates.

- Band-to-band and Fowler-Nordheim tunneling.
- Hot carrier injection.
- Quantum transport models.
- Thermionic emission currents.

➤ **CONTACT** : indique les attributs physiques d'une électrode (résistivité, travail de sortie,...).La syntaxe du contact est la suivante :

Contact nombre = < n > | NOM = <ename> | ALL

➤ **INTERFACE** : indique les paramètres d'interface aux frontières des semi-conducteurs ou des isolants. Tous les paramètres s'appliquent seulement aux nœuds de frontière exceptés la où ils sont déjà indiqués. La syntaxe est la suivante:

INTERFACE [<parameters>]

c. Sélection de la méthode numérique

➤ **METHOD** : dans ATLAS, il existe essentiellement deux méthodes numériques pour la résolution des équations : les méthodes dites de Newton et de Gummel.

- La méthode de Newton correspond à la résolution itérative d'un système regroupant les trois équations différentielles régissant le fonctionnement de la structure.

- La méthode de Gummel consiste à découpler en trois sous-systèmes le système global décrit précédemment : les trois équations sont résolues itérativement les unes après les autres jusqu'à atteindre la convergence globale des solutions. L'intérêt potentiel de cet algorithme par rapport à celui de Newton réside dans la réduction des dimensions des systèmes matriciels à résoudre, ce qui permet a priori de diminuer le temps de calcul.

d. Spécification des solutions

Après avoir sélectionné la méthode numérique, il est nécessaire de déterminer les solutions. La spécification de solution est donnée par les déclarations : LOG, SOLVE, LOAD, et SAVE.

➤ **LOG** : permet à toutes les caractéristiques finales de simulation d'être sauvegardée dans un fichier (ouvre un fichier de type log). Notons que log en minuscule veut dire le type de fichier et LOG en majuscule veut dire la commande dans le programme.

- **SOLVE** : La déclaration SOLVE fait suite à la déclaration LOG. SOLVE effectue une solution pour un ou plusieurs points de polarisation.
- **LOAD** : charge des solutions précédentes à partir de fichiers en tant que conjectures initiales à d'autres points de polarisation.
- **SAVE** : sauve toutes les informations d'un point (nœud) du maillage dans un fichier de sortie (les fichiers de sortie sont de type structure). Les informations sauvées correspondent à un état électrique bien précis.

e. Analyse des résultats

Une fois la solution a été trouvée pour un problème de dispositif à semi-conducteurs, les informations peuvent être affichées graphiquement.

- **EXTRACT** : les commandes de ce type sont utilisées pour extraire les valeurs bien précises des paramètres des deux types des fichiers log ou structure.
- **TONYPLOT** : démarre le programme « TonyPlot » permettant une représentation graphique des données.

Une autre commande importante est BEAM, sa position est au niveau 4 des groupes de commande. BEAM indique un signal d'entrée optique sous forme d'un faisceau de lumière (mono ou multi-spectrale). Le faisceau ainsi déclaré est allumé et utilisé par la commande SOLVE, dans ce cas le module Luminous est activé. Donc BEAM est utilisé pour simuler des courants sous lumière ou des réponses spectrales.

Une simulation numérique dans Silvaco (ou tout outil TCAD) est constituée de deux étapes principales (Tableau IV.1) : création de la structure, puis résolution numérique. La création de la structure comprend la définition du maillage, des différentes régions du dispositif, des électrodes et des dopages (niveau et profil).

La résolution numérique comprend la définition du travail de sortie des grilles, les choix des modèles physiques et des méthodes mathématiques utilisées par le simulateur pour trouver sa solution.

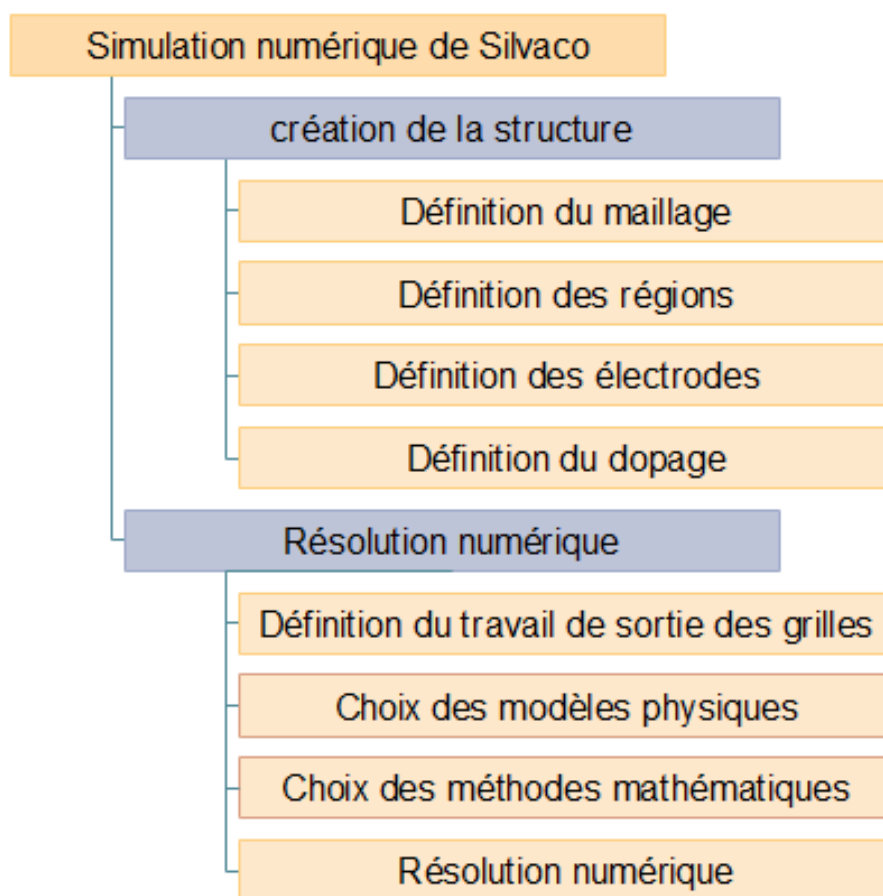


Tableau IV. 1 : Diagramme de la simulation numérique de Silvaco.

IV.3 Structure du transistor GAA sans jonctions simulée

Afin de mettre en évidence les améliorations apportées par les dispositifs JLT- GAA par rapport à ceux du GAA MOSFETs, nous avons simulé ces deux dispositifs indépendamment. La Figure IV.5 représente la structure tridimensionnelle du transistor à canal n sans jonctions à grille enrobée (N-JLT GAA) à section rectangulaire que nous avons étudié dans ce travail. Nous utilisons une électrode de grille en polysilicium P + pour un JLT-MOSFET à canal N.

Selon les spécifications du nœud technologique de l'ITRS, nous avons fixé la longueur de la grille L_g à 20 nm. Comme le montre la Figure IV.5. (b) un maillage raffiné a été utilisé dans la région du canal et moins raffiné dans les autres régions du dispositif, pour optimiser le temps de simulation des caractéristiques du transistor. Les sections transversales des structures JLT GAA et GAA sont illustrées dans la Figure IV.6.

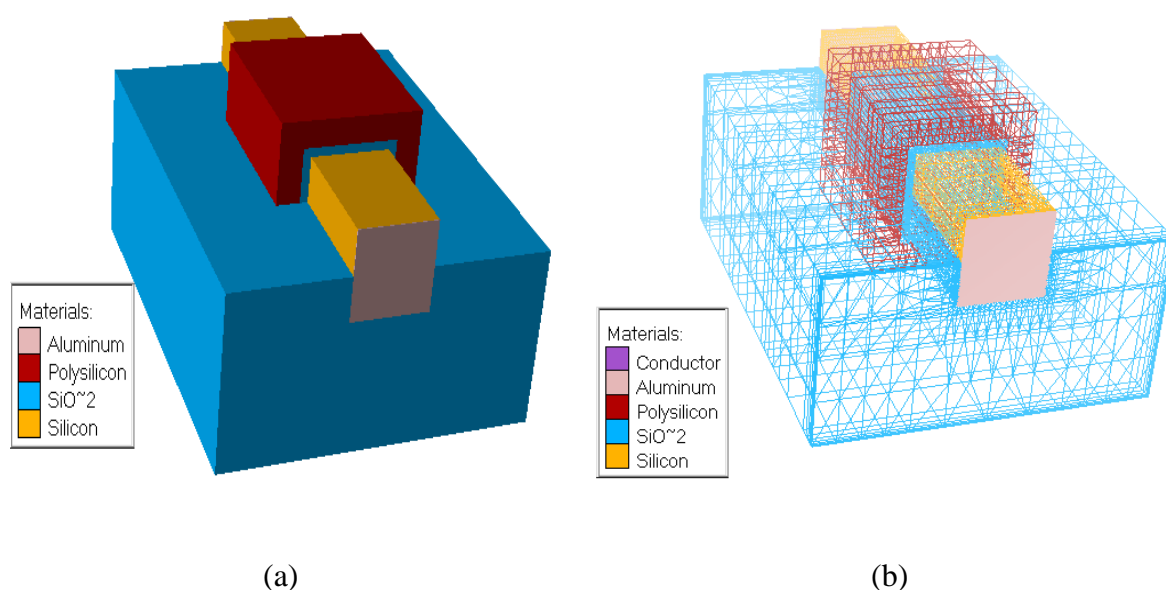


Figure IV. 5 : (a) structure du dispositif de GAA et GAA-JLT de type n, (b) maillage de la structure GAA et GAA-JLT de type n

La Figure IV.6, nous permet de faire la différence entre le GAA et le GAA JLT où le canal, la source et le drain du transistor sans jonctions sont à dopage élevé et uniforme.

Dans le tableau IV.2 nous avons regroupé les différents paramètres géométriques et physiques que nous avons utilisés pour notre conception de notre transistor junction-less GAA à section carrée :

Paramètres de la structure	JL GAA (N+N+N+)
Longueur de grille	20nm
Largeur du canal	10 nm
Hauteur du canal	10 nm
Épaisseur de l'oxyde de grille	1 nm
Concentration du dopage de type N	1.5e+19
Épaisseur de l'oxyde enterré	20 nm

Tableau IV. 2 : les paramètres du dispositif conçu[121].

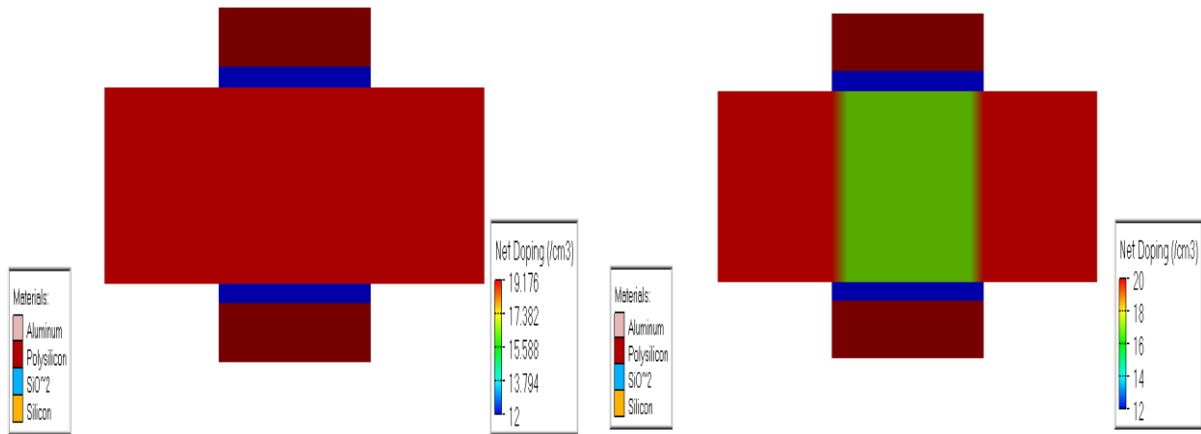


Figure IV. 6 : section transversale du GAA MOSFET avec concentration du dopage (a) JL GAA, (b) GAA.

IV.4 Simulation et discussion

IV.4.1 Structure de Bande dans un transistor GAA sans jonctions

L'application d'un potentiel électrique sur la grille modifie les courbures de bandes d'énergie du semi-conducteur et laisse apparaître différents régimes de fonctionnement dans le transistor JLFET. Ces modes sont séparés par deux valeurs celle de la tension de seuil et celle de la tension de bande plate.

Dans cette section nous allons simuler ses différents régimes de fonctionnement et présenter les résultats sous forme de diagrammes de bande d'énergie dans le cas d'un transistor GAA sans jonctions à canal n.

IV.4.1.1. Déplétion totale

Nous avons appliqué une tension de polarisation nulle sur la grille ($V_{GS}=0$), ce qui entraîne une déplétion totale du volume de la région du canal dans le GAA JLFET dû à la multiplicité des grilles de cette architecture. Ce qui induit à l'arrêt du flux des porteurs majoritaires en raison de la faible résistivité (résistance élevée) dans le canal, comme représenté dans la Figure IV.7.

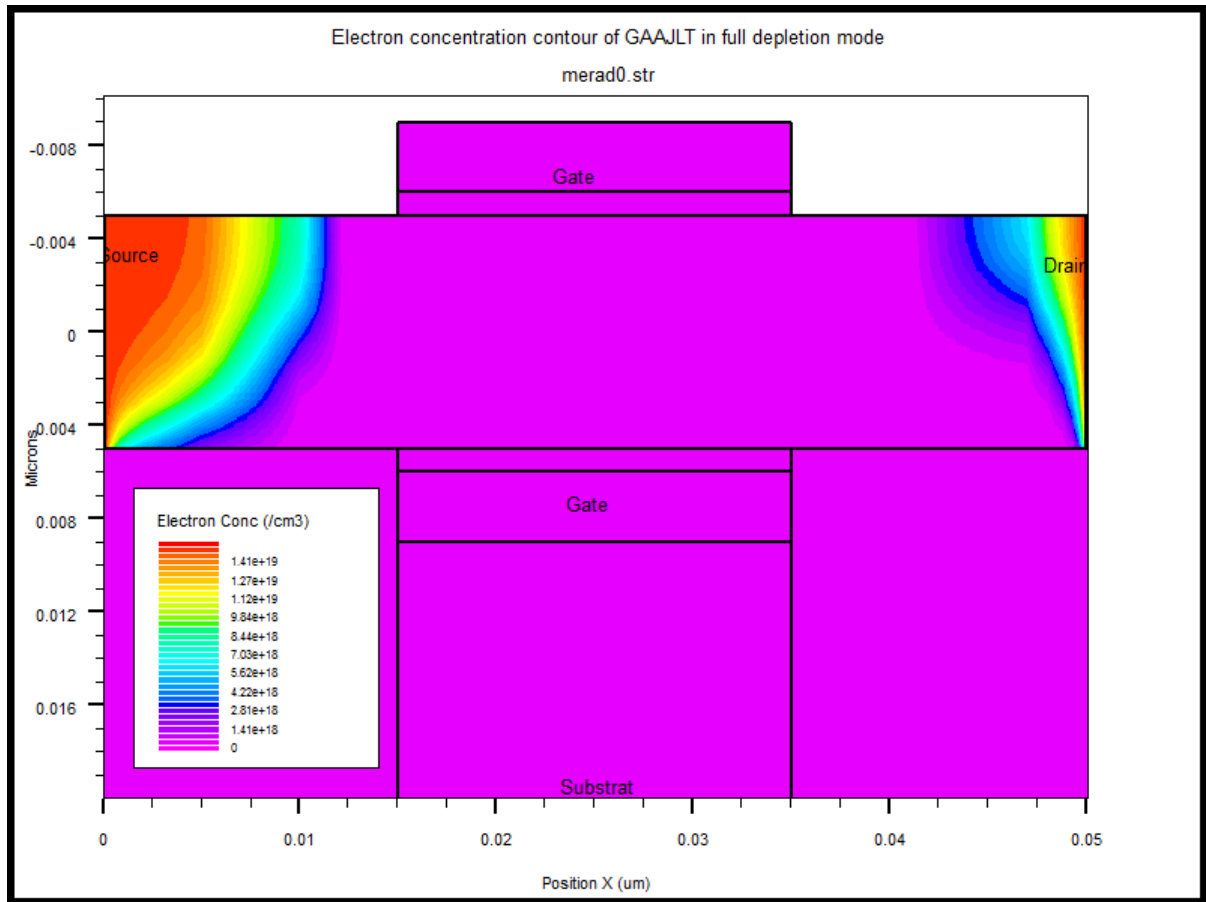


Figure IV. 7 : Représentation de la concentration en électron dans le mode de déplétion totale pour un GAA JLFET à $V_{GS}=0$.

On a schématisé dans la Figure IV.8 le diagramme de bande d'énergie le long du film de silicium pour un GAA JLT MOSFET. Comme le montre la Figure IV.8, le niveau de Fermi est proche de la bande de valence et la courbure de bande est vers le haut. Cela implique que le canal est en déplétion totale.

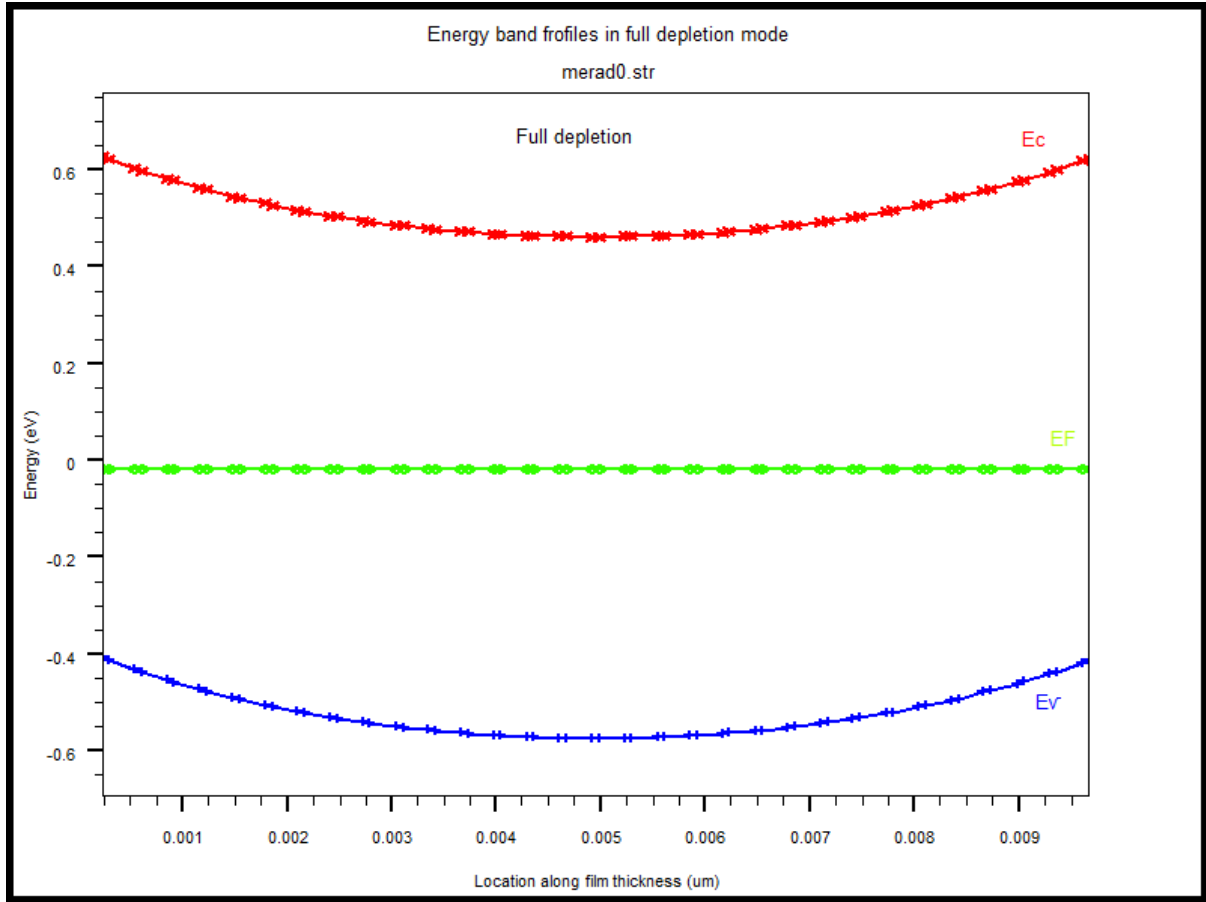


Figure IV. 8 : Diagramme de bande pour un JLTGAA en mode de déplétion totale à $V_{GS}=0$.

IV.4.1.2. Déplétion partielle

Lorsqu'on augmente la tension de polarisation ($V_{GS}>0$) on remarque alors une diminution de la zone de déplétion et l'apparition d'une région non appauvrie de porteurs majoritaires (zone neutre) au milieu du canal qui va permettre au courant de circuler plus facilement de la source vers le drain. La Figure IV.9 représente la concentration en électrons du JLTGAA que nous avons simulé en mode de déplétion partielle et dans laquelle on remarque la présence d'une région dopée et non appauvrie au milieu du canal qui va contribuer à la conduction du courant (par porteur majoritaire).

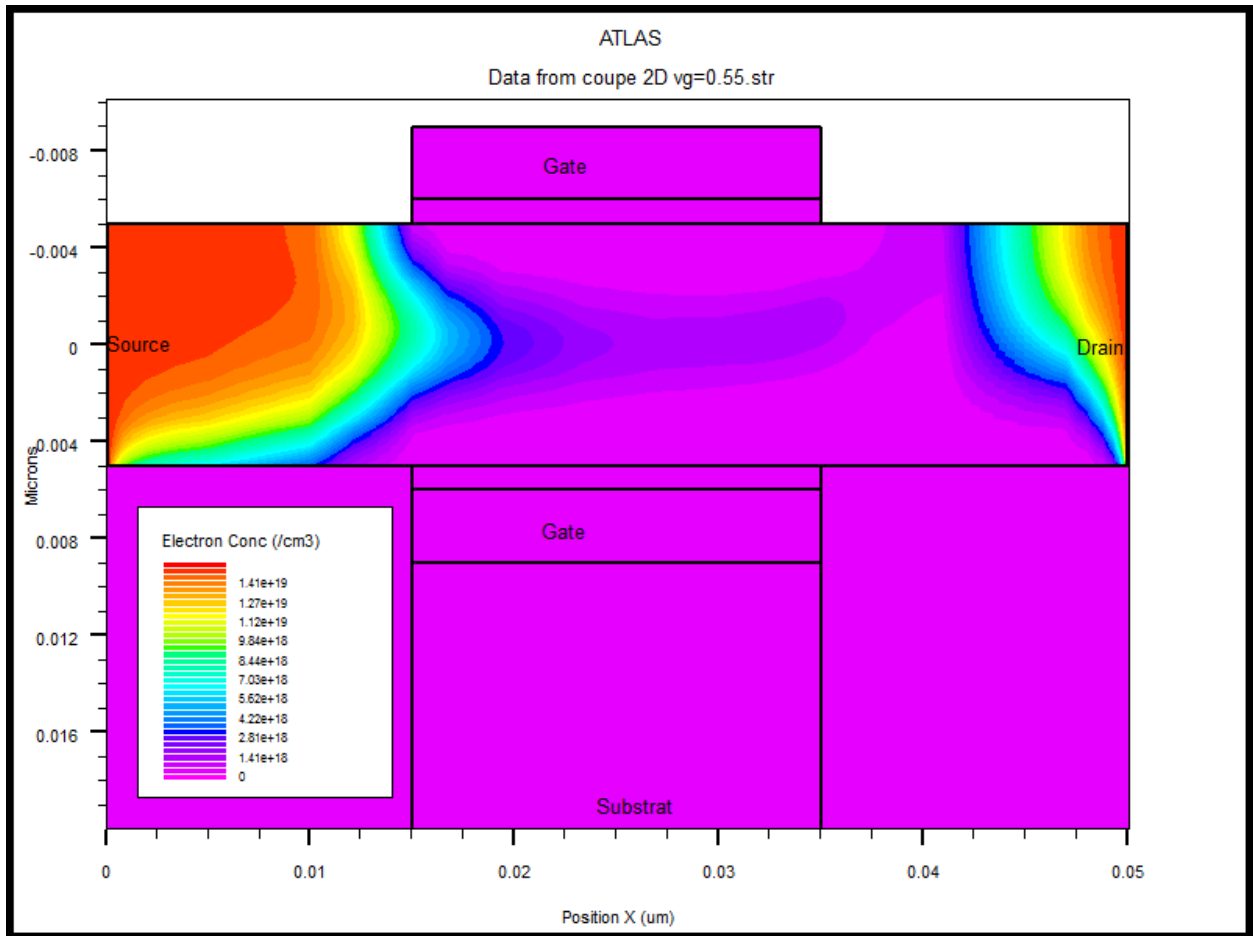


Figure IV. 9 : Représentation de la concentration en électron dans le mode de déplétion partielle pour un GAA JLFET a $V_{GS}=V_{Th}>0$.

Nous avons représenté dans la Figure IV.10 le diagramme de bande d'énergie de notre structure simulée en régime de déplétion partiel. Nous observons que par rapport au mode déplétion total (Figure IV.8). Le niveau de Fermi se rapproche de la bande de conduction dont la courbure se tourne vers le haut

Lorsque la tension de polarisation devient supérieure à la tension de seuil ($V_{GS}>V_{Th}$), les porteurs majoritaires qui se trouvent dans le volume du canal contribuent à la circulation du courant dans le GAA JLFET comme le montre la Figure IV.11.

Le diagramme de bande de la Figure IV.12 nous a permis de remarquer que le niveau de Fermi se décale de plus en plus vers la bande de conduction.

Chapitre IV : Résultats et interprétations

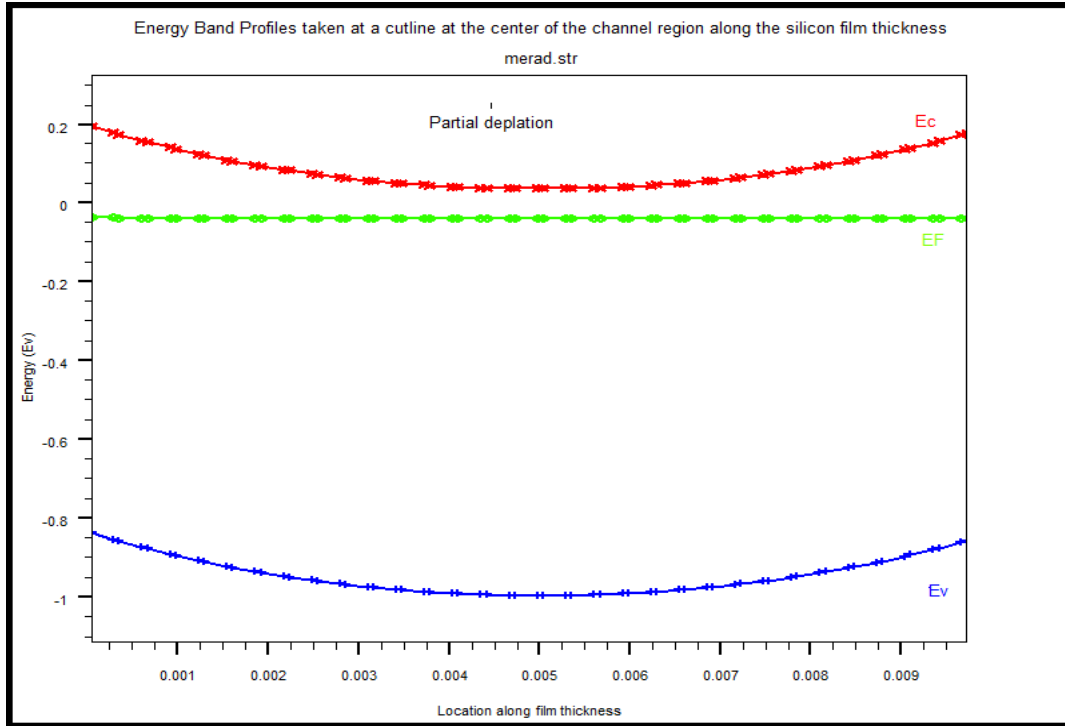


Figure IV. 10 : Diagramme de bande du JLTGAA en mode de déplétion partielle à $V_{GS}=V_{Th}>0$.

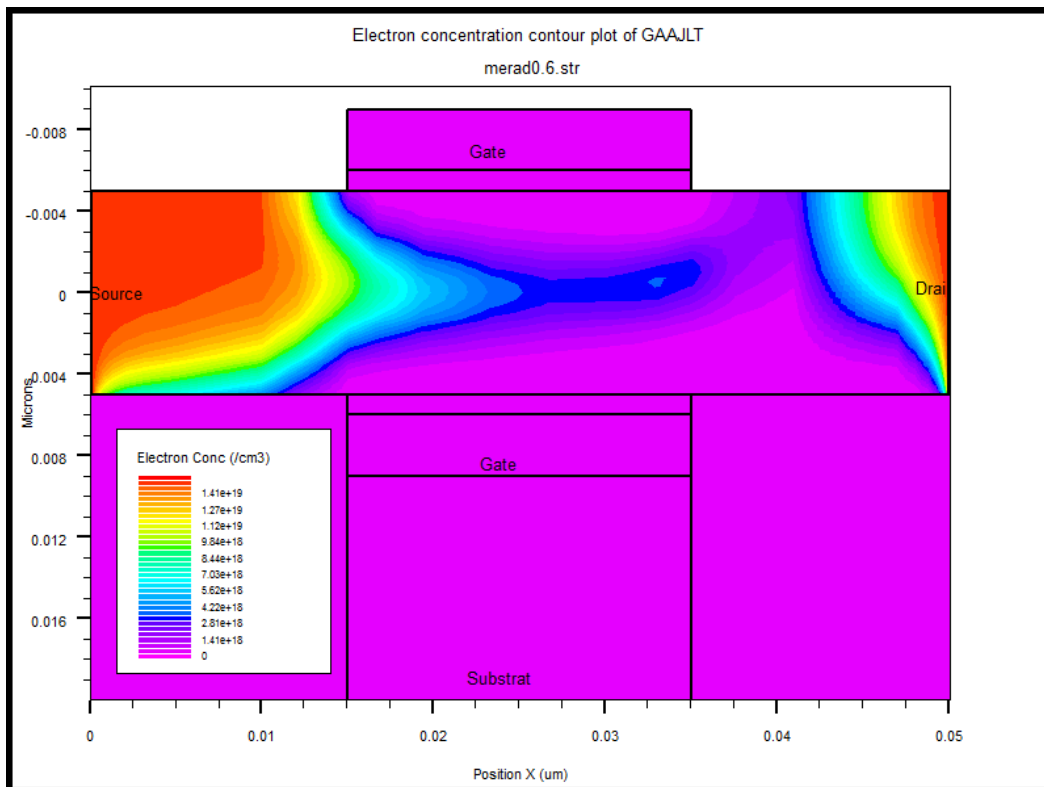


Figure IV. 11 : Représentation de la concentration en électron dans le mode de déplétion partielle pour un GAA JLFET à $V_{GS}>V_{Th}$.

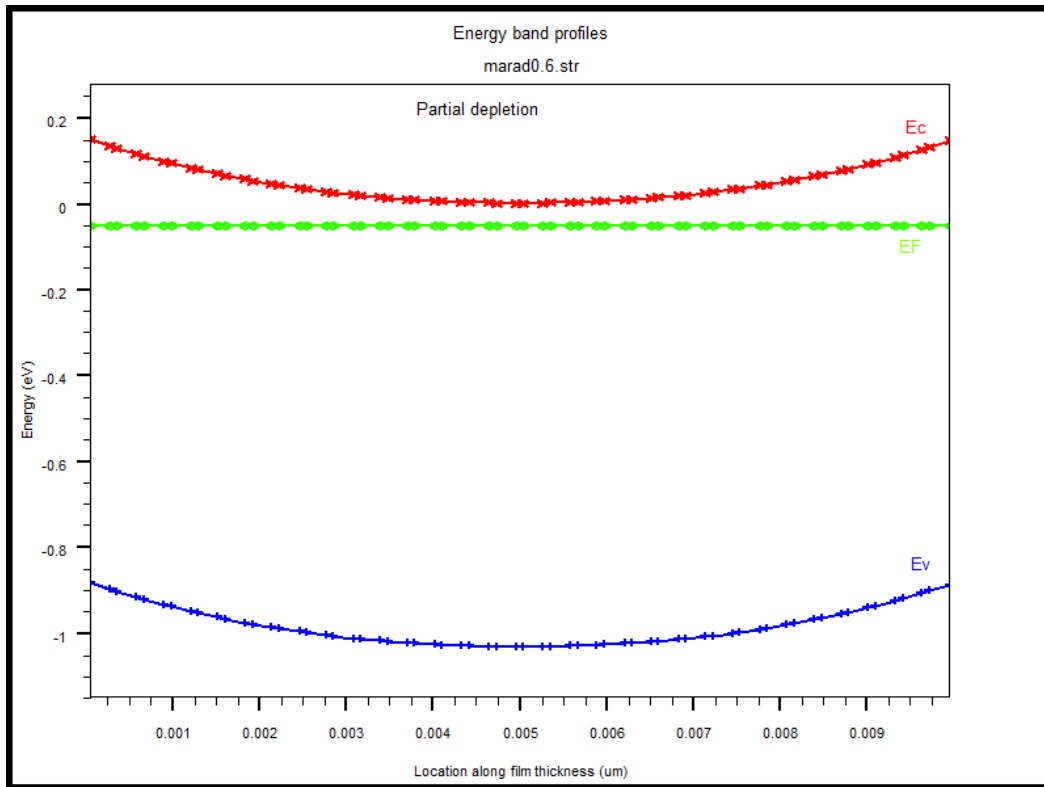


Figure IV. 12 : Diagramme de bande du JLTGAA en mode de déplétion partielle à $V_{GS} > V_{Th}$.

IV.4.1.3. Condition de bande plate

Nous avons augmenté en continu la tension de polarisation de l'électrode de grille et on a observé une diminution de la largeur de la zone de déplétion et l'apparition d'une zone neutre plus grande. Une fois que V_{GS} atteint la tension de bande plate V_{FB} ($V_{GS} = V_{FB} = \phi_M - \phi_S$), le film de silicium devient totalement neutre (disparition des zones de déplétion) et fournit activement des porteurs majoritaires pour la conduction du courant comme représenté en Figure IV.13.

On représente alors le diagramme de bande de notre structure pour une tension $V_{GS} = V_{FB}$ et on observe la disparition de la courbure des bandes (d'où la notion de bande plate), comme indiqué dans la Figure IV.14.

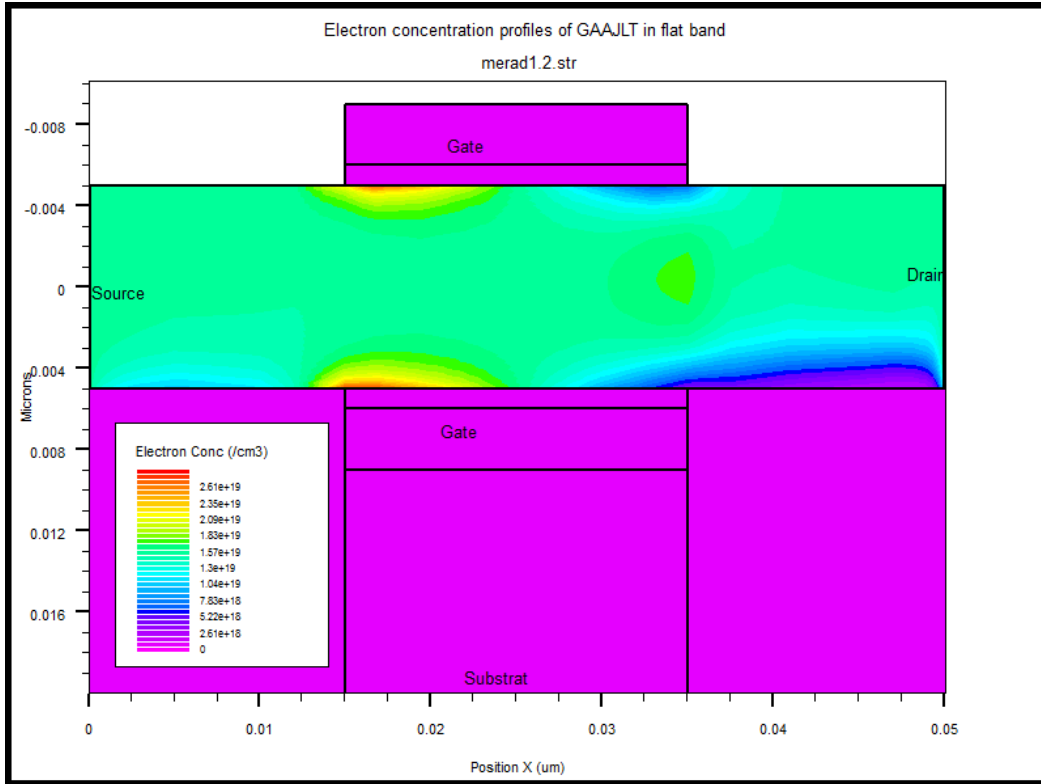


Figure IV. 13 : Représentation de la concentration en électron en condition de bandes plates pour un GAA JLFET à $V_{GS}=V_{FB}$.

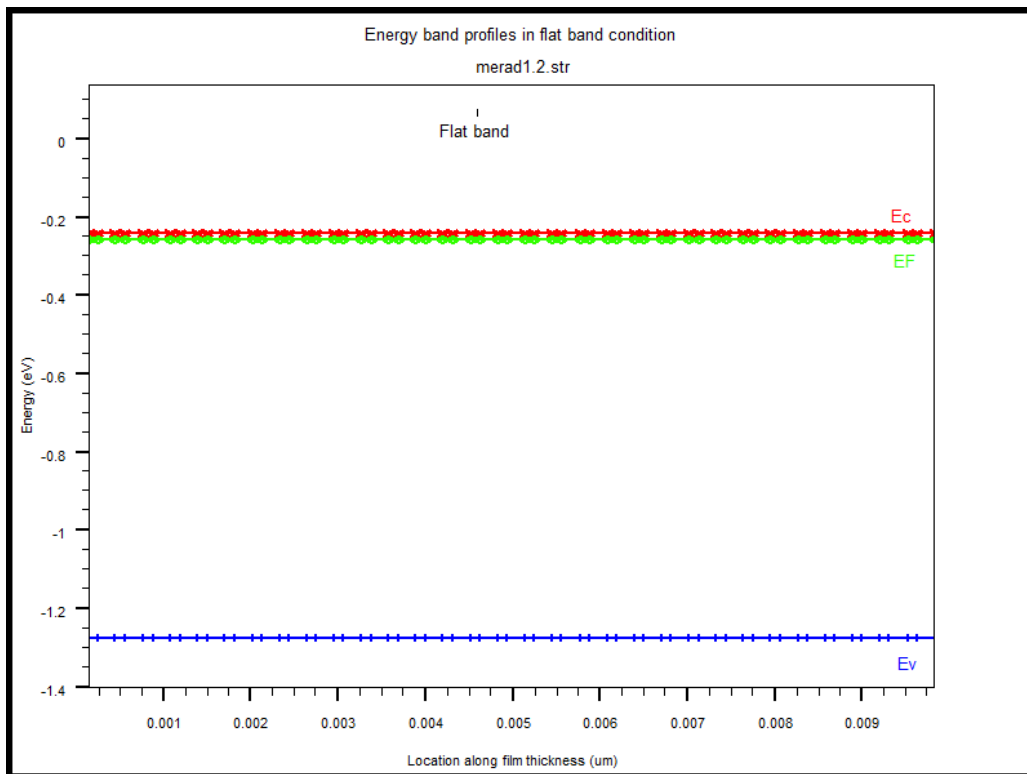


Figure IV. 14 : Diagramme de bande du JLTGAA en condition de bande plate à $V_{GS}=V_{FB}$.

IV.4.1.4. Accumulation

Une fois la tension de bande plate dépassée ($V_{GS} > V_{FB}$), l'augmentation de la tension de polarisation va attirer les électrons à l'interface Si/SiO₂ qui vont former une zone d'accumulation, comme le montre la Figure IV.15. Le diagramme de bande en mode d'accumulation est donné en Figure IV.16. Il laisse apparaître une courbure de bande vers le bas du a l'augmentation du champ électrique à la surface du canal de sa valeur minimale en bande plate et cela par l'accumulation d'électron à l'interface.

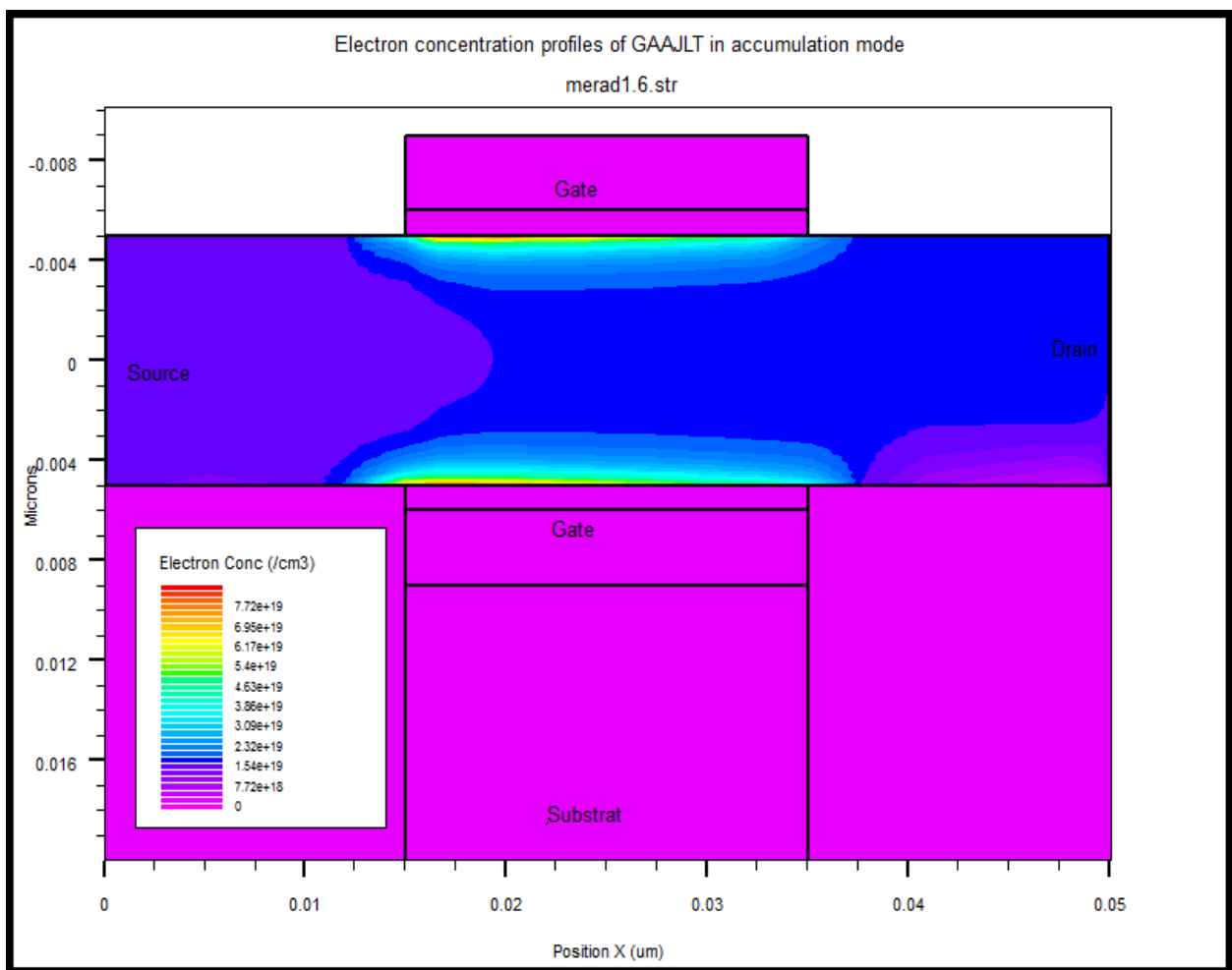


Figure IV. 15: Représentation de la concentration en électron dans le mode d'accumulation pour un GAA JLFET à $V_{GS} > V_{FB}$.

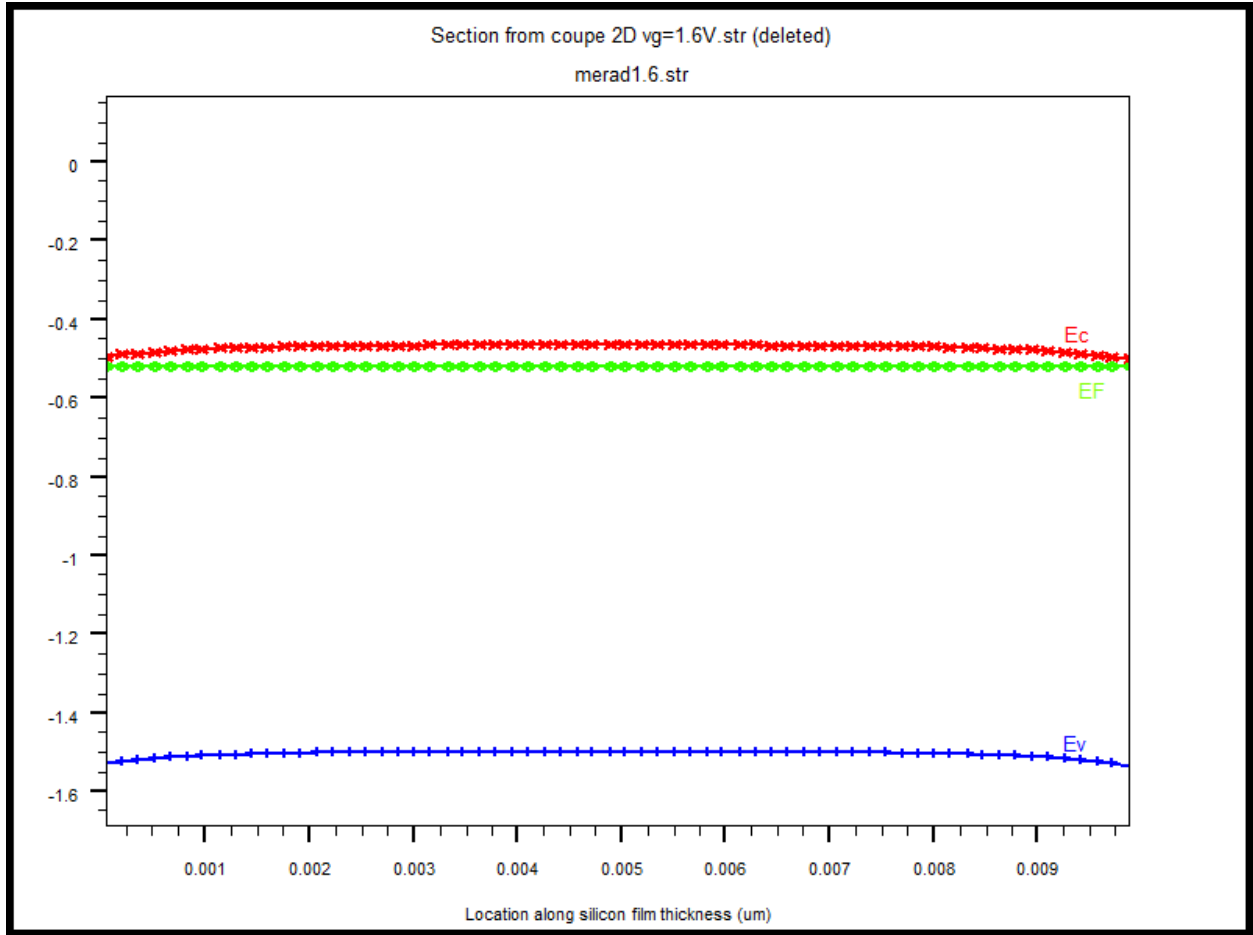


Figure IV. 16 : Diagramme de bande du JLTGAA en condition de bande plate à $V_{GS}=V_{FB}$.

IV.4.2 Caractéristique électrique du transistor GAA sans jonctions

Dans cette section, nous présentons les performances du transistor GAAJLT étudié en mode DC, pour cela nous déterminons par simulation le courant à l'état passant (I_{ON}), la tension de seuil, le DIBL, la pente de sous-seuil (SS) et le rapport I_{ON} / I_{OFF} . Nos résultats de simulation ont été obtenus à l'aide du logiciel ATLAS SILVACO et ceci en choisissant des modèles tels que la CVT (pour la mobilité), SRH (pour la génération-recombinaison), Fermi-Dirac. Les effets quantiques ont été pris en compte dans nos simulations.

IV.4.2.1. Caractéristique de sortie et de transfert

Le courant à l'état passant du transistor sans jonctions est donnée par [67]:

$$I_{DSat} \approx q\mu N_D \frac{HW}{L_g} V_D \tag{IV.1}$$

$$V_{DSat} = V_G - V_{FB} - \left(\frac{qN_D H}{2\epsilon_{ch}} + \frac{qN_D H}{C_{ox}} \right) \quad \text{IV.2}$$

N_D est la densité de dopage, H et W sont respectivement l'épaisseur (hauteur) et la largeur du canal, V_D est la tension de drain, L est la longueur de grille, ϵ_{ch} est la permittivité relative du matériau du canal et C_{ox} est la capacité d'oxyde de grille.

La simulation physique du JL-GAA à canal n à différents tension de grille V_{GS} nous a permis d'obtenir les caractéristiques de sortie I_{DS} - V_{DS} présentées à la Figure IV.17. La caractéristique de transfert I_{DS} - V_{GS} est présentée à la Figure IV.18.

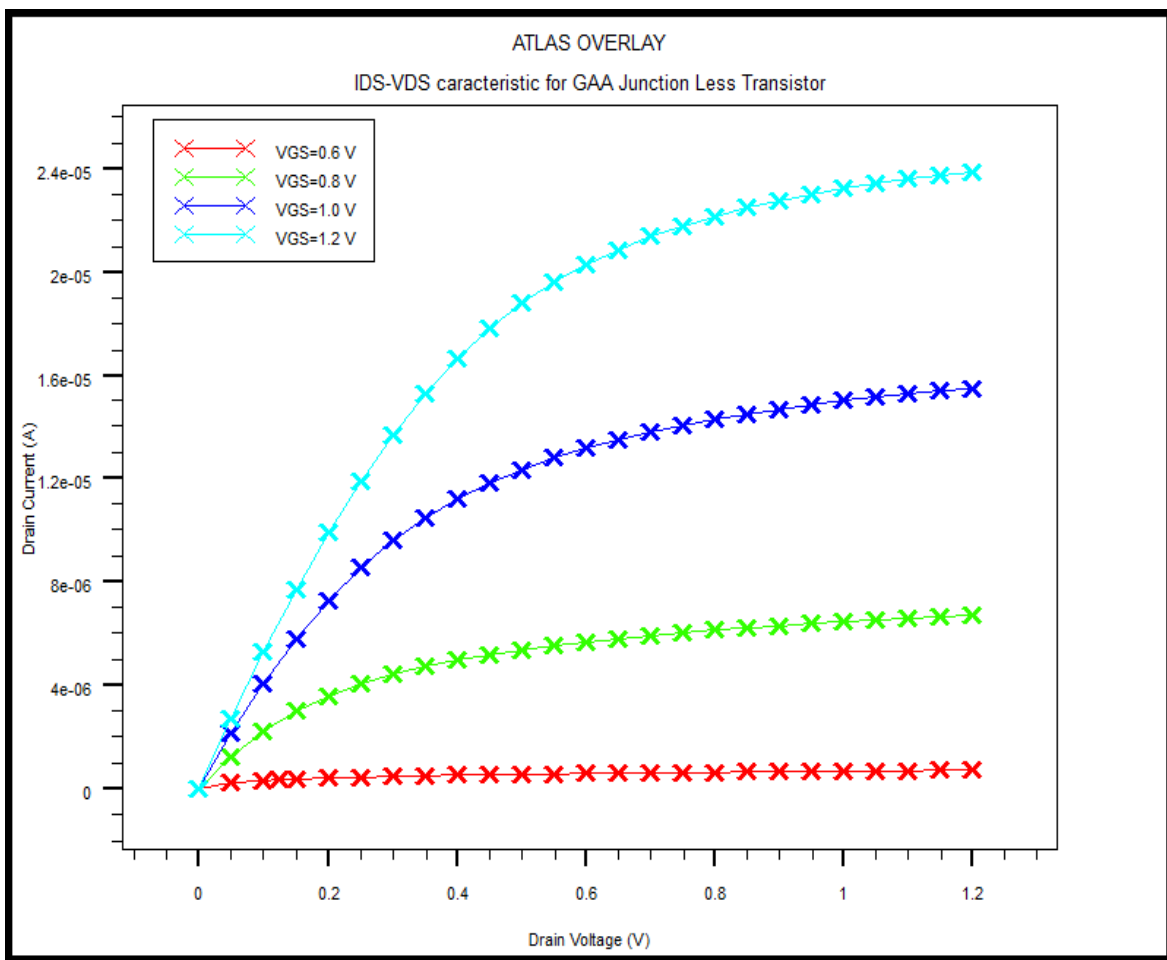


Figure IV. 17 : Caractéristique de sortie I_{DS} - V_{DS} du transistor GAA JLT à section rectangulaire.

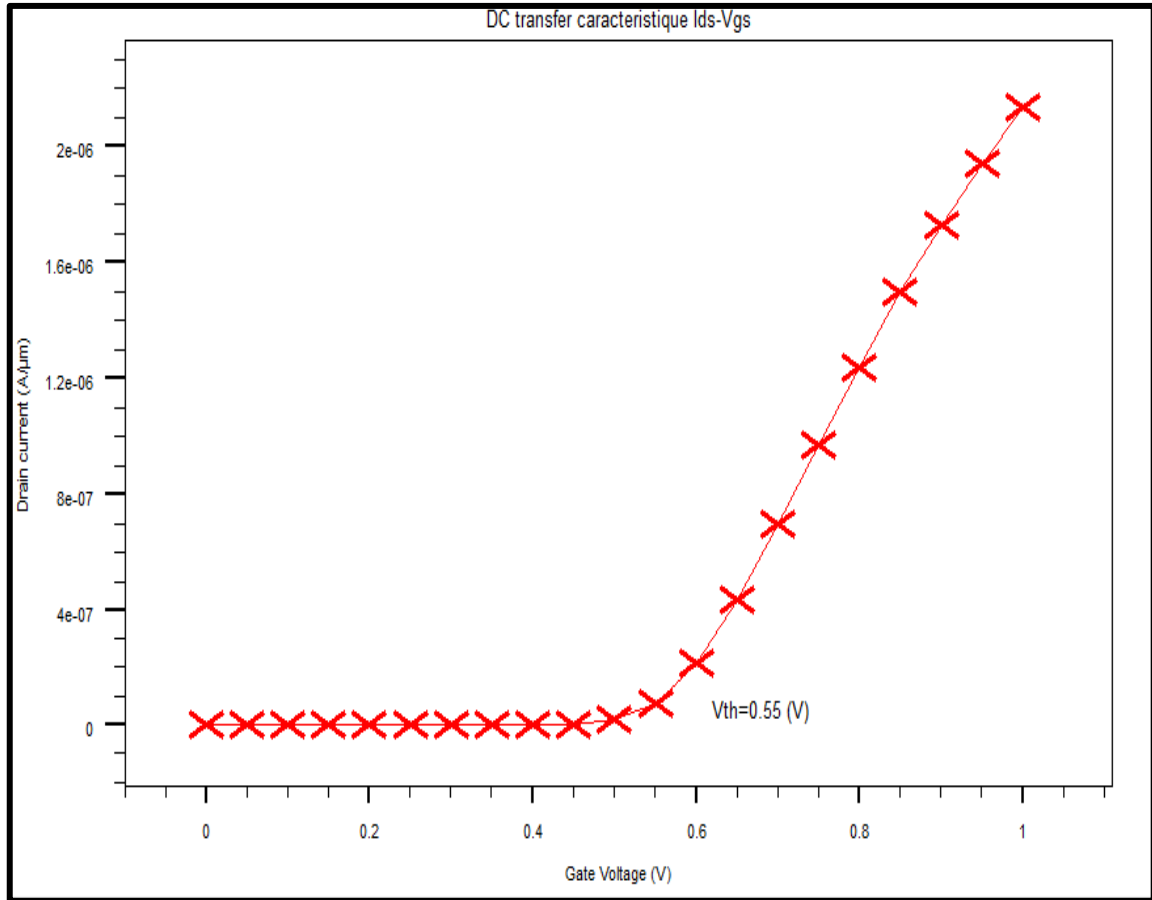


Figure IV. 18 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire.

La simulation de la caractéristique de sortie de notre du JLTGAA a permis de mettre en évidence les différents zones de fonctionnement similaire à celle d'un transistor MOSFET vue sa particularité d'être considéré comme une résistance (JLFET appelé aussi gate resistor).

La caractéristique de transfert de notre dispositif nous permet d'obtenir les paramètres suivant :

a) Tension de seuil (V_{Th} : Threshold voltage)

La tension de seuil est la tension de grille à laquelle l'amplitude du courant de diffusion est égale au courant de dérive et le transistor devient passant. L'expression de V_{Th} est donnée par [122]:

$$V_{Th} = \phi_{MS} - qN_D \left[\frac{WH}{C_{ox}} + \frac{1}{\epsilon_{ch}} \left(\frac{WH}{2H + W} \right)^2 \right] + \frac{\pi^2 \hbar^2}{2qm^*} \left[\frac{1}{H^2} + \frac{1}{W^2} \right] \tag{IV.3}$$

Où ϕ_{MS} est le travail de sortie métal-semi-conducteur, N_D est la concentration de dopage, et H sont respectivement la largeur et la hauteur du canal, ϵ_{ch} est la permittivité relative du matériau du canal, C_{ox} est la capacité d'oxyde de grille, m^* est la masse et h est la constante de Planck.

Nous pouvons remarquer dans la Figure IV.18 que la tension à laquelle notre dispositif devient passant est $V_{Th}=0.55$ V

b) Abaissement de la barrière de potentiel induite par le drain(DIBL: Drain-induced-barrier-lowering)

Le DIBL est l'un des nombreux effets de canaux courts. Le DIBL est attribué à l'influence électrostatique du drain sur la hauteur de la barrière d'injection. En augmentant la tension de drain V_{DS} , il y a une expansion de la zone de charge d'espace au niveau du drain. Cette zone de charge d'espace peut réduire la hauteur de la barrière d'injection. Le DIBL est donné par [123]:

$$\text{DIBL} = \frac{\Delta V_{th}}{\Delta V_{DS}} \quad \text{IV.4}$$

La Figure IV.19 illustre l'effet DIBL. Pour une longueur de grille de 20 nm notre dispositif présente un DIBL de 98,3 mV/V en comparaison aux dispositifs MOSFET qui ont un DIBL supérieur à 100 mV / V pour une longueur de grille inférieure à 50 nm [123]. La valeur du DIBL que nous avons obtenue est relativement faible et cela due à l'absence de jonctions dans le transistor JL GAA [124].

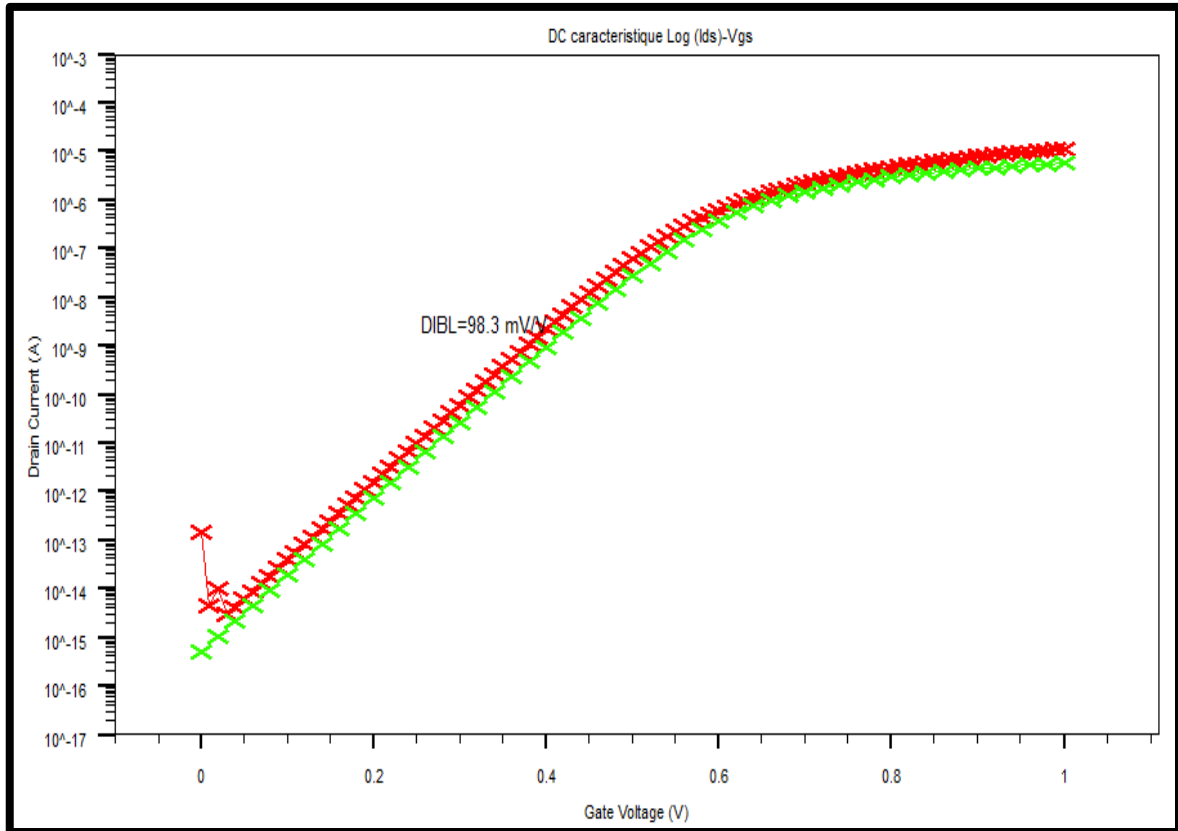


Figure IV. 19 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire.

c) Sub-threshold slope (SS)

Le SS est un autre paramètre des effets de canal court pour estimer la caractéristique sous-seuil «SS» des dispositifs MOSFET à canal court nanométrique [125]. SS détermine l'efficacité d'un transistor pour passer de son état bloqué à son état passant (vitesse de commutation). Il est défini par[67]:

$$SS = \frac{\delta V_{GS}}{\delta(\log I_{DS})} \quad \text{IV.5}$$

Comme le montre la Figure IV.20, le SS de notre transistor GAA JL est faible (<80 mV / dec) et est égal à 63 mV / dec à température ambiante.

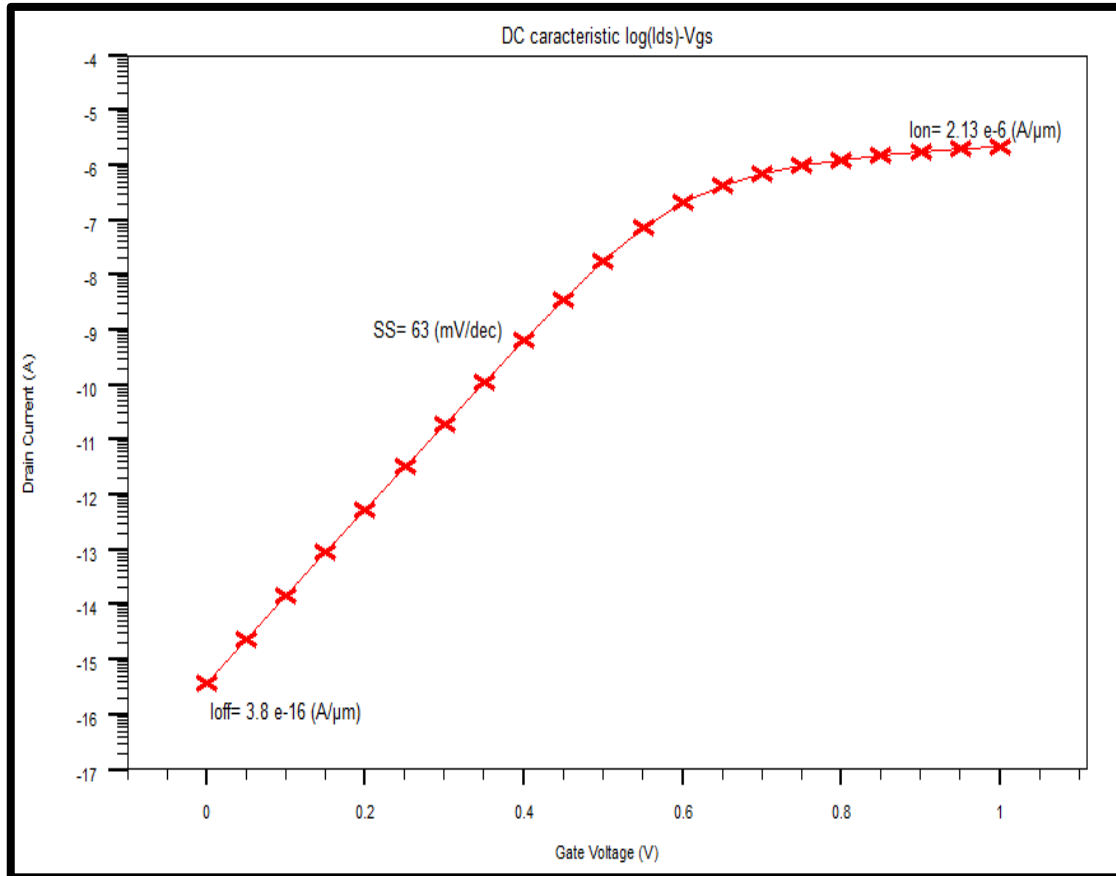


Figure IV. 20 : Caractéristique de transfert $\log(I_{DS})$ - V_{GS} du transistor GAA sans jonctions.

d) I_{ON} , I_{OFF} et le rapport I_{ON}/I_{OFF}

Le courant à l'état passant (I_{ON}) est défini comme la valeur du courant de drain (I_D) à une valeur élevée de V_{GS} avec une tension V_{DS} constante (Figure IV.20). Le courant à l'état bloqué (I_{OFF}) est défini comme la valeur du courant de drain (I_D) à faible valeur de V_{GS} et V_{DS} constant (Figure IV.20) [126].

Pour les dispositifs JLT et à l'état passant, il existe un courant important dans le volume. Ce courant volumique est dû à la concentration de dopage dans le canal qui est relativement élevée, à laquelle un courant d'accumulation de surface peut être ajouté. D'autre part, à l'état bloqué, le canal du dispositif est désactivé par déplétion des porteurs qui est dû à la différence entre les travaux de sortie du matériau de la grille du dispositif et le semi-conducteur plutôt que par le courant de fuite à la jonction P N polarisé en inverse comme dans le cas d'un MOSFET. En effet, dans les dispositifs JLT, le dopage doit être suffisamment élevé pour obtenir une commande de courant appropriée et la section des dispositifs JLT doit être suffisamment petite pour pouvoir éteindre le dispositif. Un contrôle de la grille plus important conduit à un rapport I_{ON} / I_{OFF} plus élevé, ce qui

représente des performances élevées (I_{ON} élevés) et un faible courant de fuite (I_{OFF} faible) pour le transistor CMOS, généralement d'environ $10^6 \sim 10^{10}$. Toute diminution du rapport I_{ON} / I_{OFF} peut entraîner des transitions de sortie lentes ou de faibles oscillations de sortie. Pour notre dispositif, le $I_{ON} / I_{OFF} \approx 10^6 + 10$. Tous les résultats obtenus pour notre simulation sont regroupés dans le Tableau IV.3.

	JLGAA
DIBL (mV/V)	98,3
I_{on} (A)	2.13E-6
I_{off} (A)	3.8E-16
I_{on} / I_{off}	0.55E+10
SS (mV/dec)	63
V_{Th} (V)	0.55

Tableau IV.3 : Variation des paramètres électriques des dispositifs.

IV.4.3 Variation des paramètres technologiques de la structure

Afin d'observer les effets de la variation des paramètres géométriques et physique de notre structure sur ces performances, nous avons fait varier indépendamment chacun des paramètres et on observe l'impact de ces variations sur le courant du drain, la tension de seuil, la pente sous seuil, le DIBL, les courants I_{ON} et I_{OFF} , et le rapport I_{ON}/I_{OFF} . Les résultats que nous avons obtenus sont présentés dans ce qui suit.

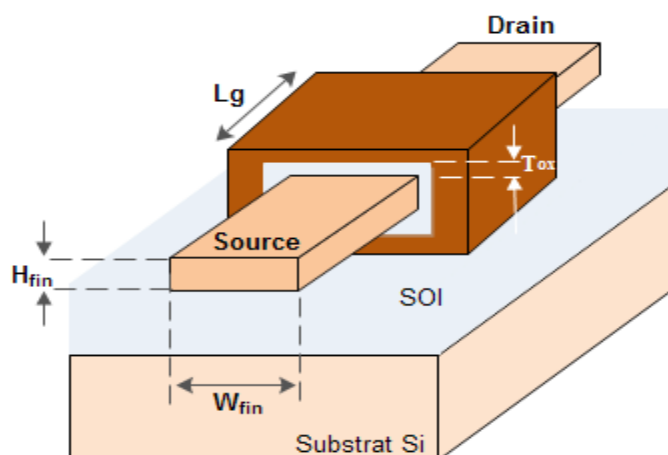


Figure IV. 21: Structure 3D d'un GAAJLFET.

IV.4.3.1 Variation de la concentration des dopants

La concentration du dopage est un paramètre très important dans le fonctionnement des transistors sans jonctions. Son influence sur le courant du drain et la tension de seuil est représentée sur les Figures IV.22 et IV.23.

De la caractéristique de transfert et de sortie, il apparaît clairement que la tension de seuil V_{Th} diminue et le courant du drain I_{DS} augmente avec l'augmentation de la concentration du dopage N_D . Cela était en fait prévisible en considérant l'équation du courant (équation IV.1) ou le courant est proportionnel à la concentration du dopage et l'équation de la tension de seuil (équation IV.3) qui montre une proportionnalité inverse à la concentration du dopage.

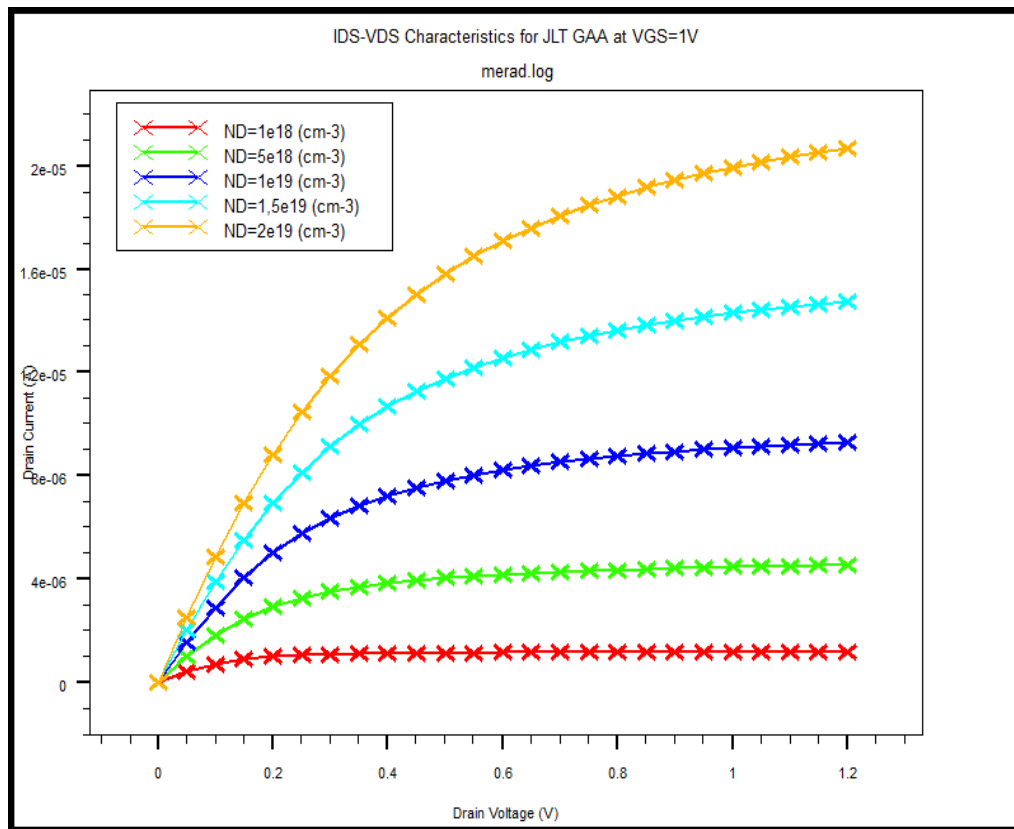


Figure IV. 22: Caractéristique de sortie I_{DS} - V_{DS} à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la concentration du dopage N_D .

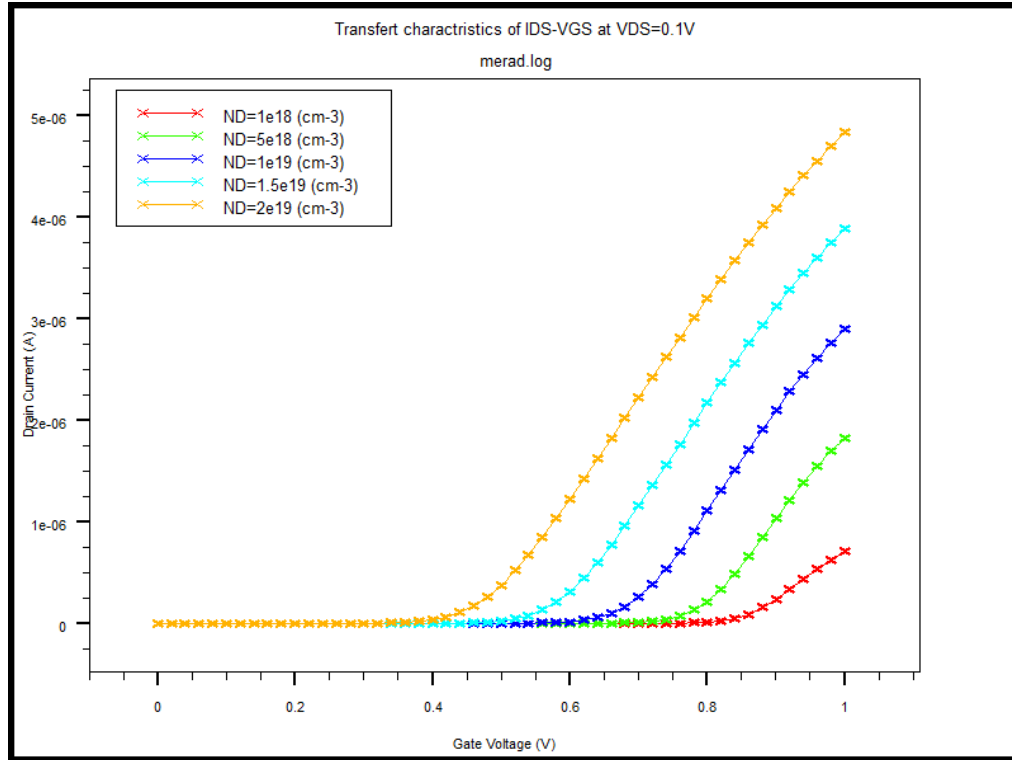


Figure IV. 23 : Caractéristique de transfert I_{DS} - V_{GS} du transistor GAA JLT à section rectangulaire avec variation de la concentration du dopage N_D .

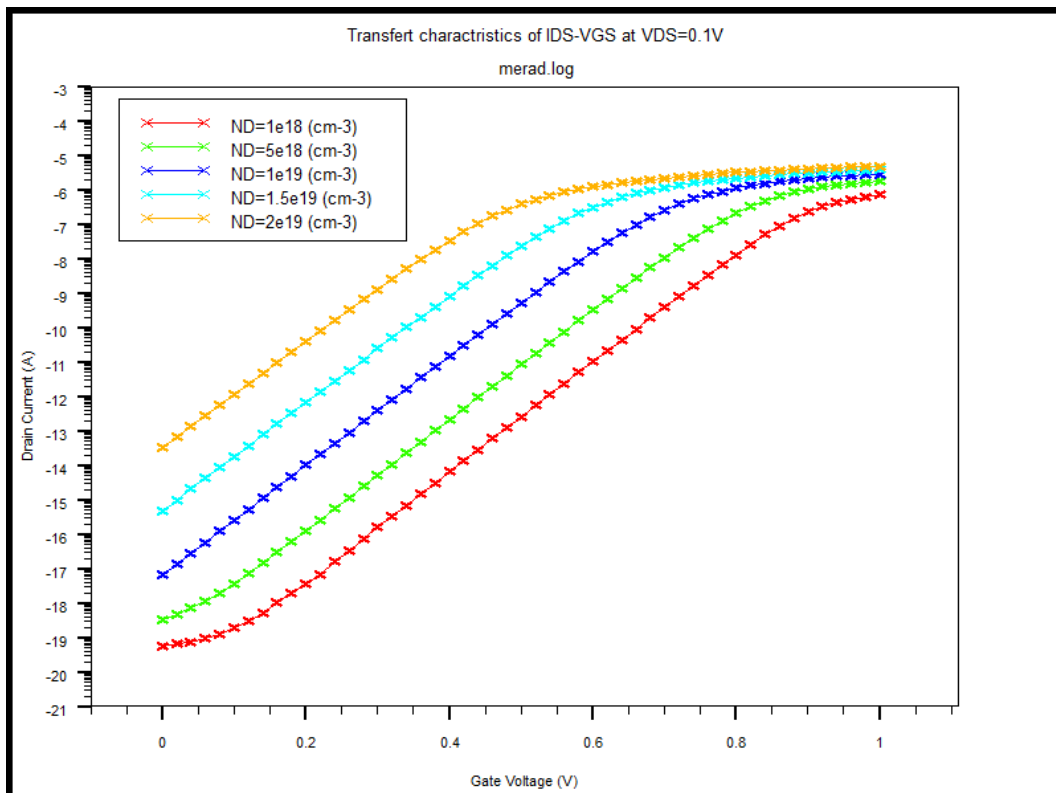


Figure IV. 24 : Caractéristique de transfert $\log(I_{DS})$ - V_{GS} du transistor GAA JLT à section rectangulaire avec variation de la concentration du dopage N_D .

Chapitre IV : Résultats et interprétations

La caractéristique de transfert à l'échelle logarithmique (Figure IV.24) nous a permis d'évaluer la variation du courant I_{ON} , du courant de fuite I_{OFF} et la pente sous seuil SS. Les résultats obtenus sont regroupés dans le Tableau IV.4.

$N_D(\text{cm}^{-3})$	1E+18	5E+18	1E+19	1.5E+19	2E+19
$V_{Th}(\text{V})$	0,862	0,769	0,660	0,55	0,439
SS (mV/dec)	54	61	62,4	63	64,1
$I_{ON}(\text{A})$	7,12E-7	1,8E-6	2,89E-6	3,88E-6	4,83E-6
$I_{OFF}(\text{A})$	5,47E-20	3,37E-19	6,91E-18	4,81E-16	3,20E-14
I_{ON}/I_{OFF}	1,3E+13	5,39E+12	4,18E+11	8,05E+9	1,50E+8

Tableau IV. 4 : Résultat de simulation des paramètres du JLTGAA à section rectangulaire avec la variation du dopage.

Du Tableau IV.4, il apparaît une faible augmentation de la pente sous-seuil (SS) et du courant I_{ON} quand on fait augmenter la concentration du dopage dans le film de silicium, cependant son influence est significative sur le courant de fuite I_{OFF} , qui à son tour augmente avec l'augmentation de N_D et par conséquent fait diminuer le rapport I_{ON}/I_{OFF} .

IV.4.3.2 Variation de la longueur de la grille

La longueur de la grille est aussi un paramètre très important dans l'étude et la miniaturisation des transistors. Les Figures IV.21 et IV.22 représentent respectivement les caractéristiques de sortie et de transfert de notre dispositif pour des longueurs de grille variant de 9 nm à 20 nm.

Les résultats obtenus montrent que l'augmentation de la longueur de la grille s'accompagne d'une augmentation de la tension de seuil et d'une diminution du courant du drain.

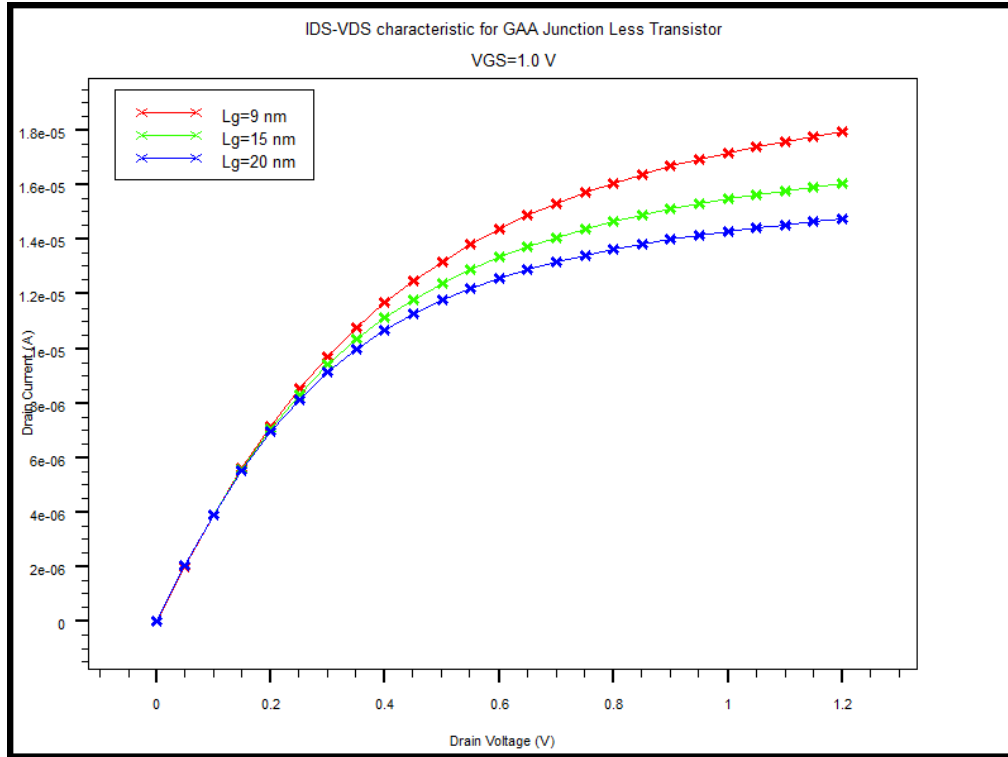


Figure IV. 25 : Caractéristique de sortie I_{DS} - V_{DS} à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la longueur de la grille L_g .

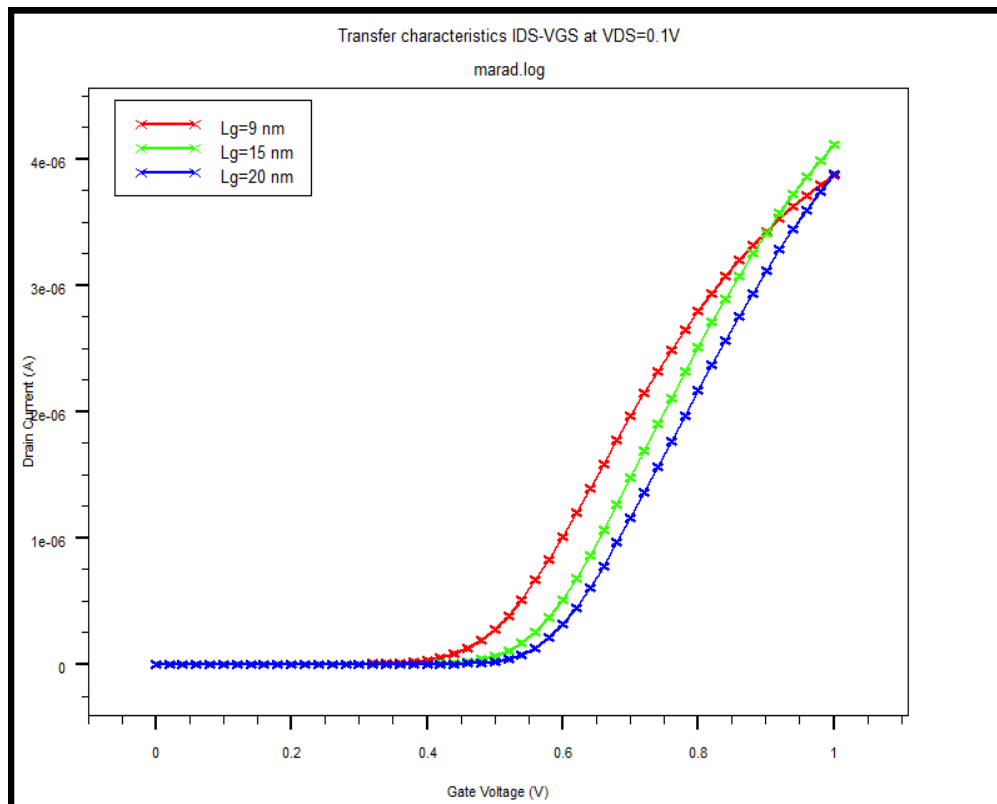


Figure IV. 26 : Caractéristique de transfert I_{DS} - V_{GS} du transistor GAA JLT à section rectangulaire avec variation de la longueur de la grille L_g .

Chapitre IV : Résultats et interprétations

La caractéristique de transfert à l'échelle logarithmique (Figure IV.27) nous a permis d'évaluer la variation du courant I_{ON} , du courant de fuite I_{OFF} et la pente sous seuil SS. Les résultats obtenus sont regroupés dans le Tableau IV.5.

Comme on peut le remarquer sur le Tableau IV.5, dans la structure JLTGAA la pente sous seuil diminue, le courant de fuite quant à lui diminue et le courant I_{ON} reste constant quand la longueur de la grille augmente, ce qui conduit à l'augmentation du rapport I_{ON}/I_{OFF} .

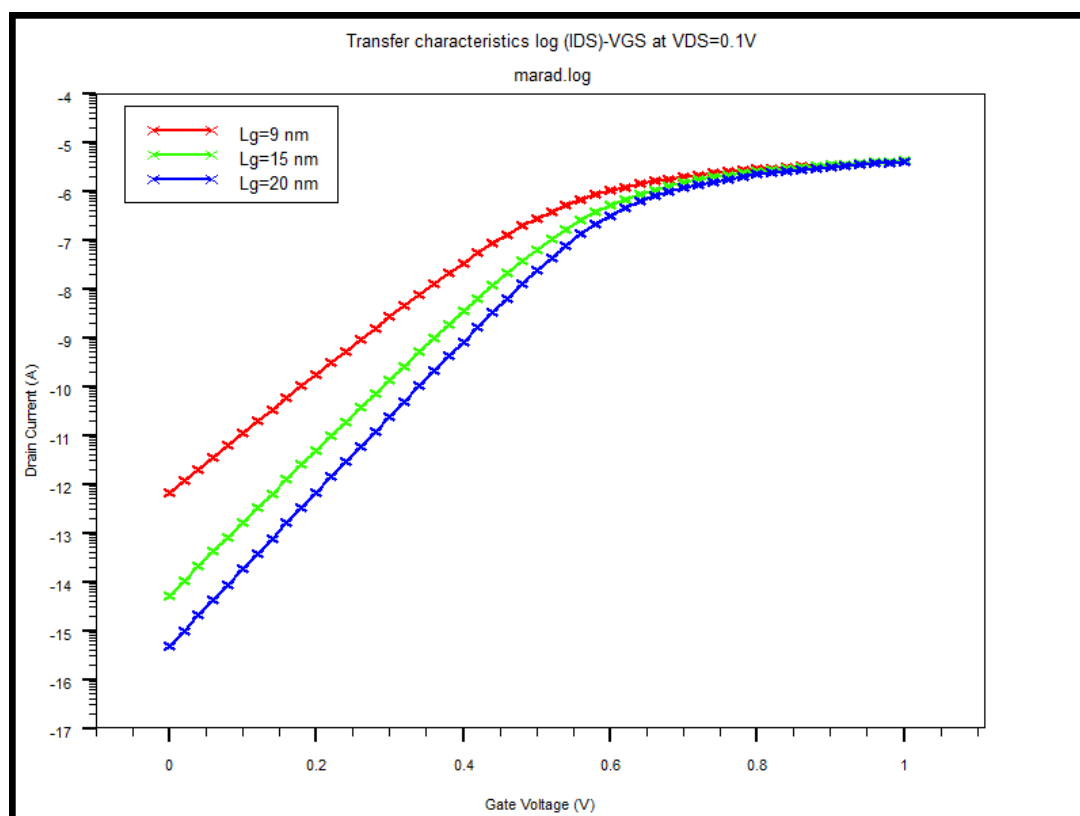


Figure IV. 27 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox} .

L_g (nm)	9	15	20
V_{Th} (V)	0.45	0.519	0,55
SS (mV/dec)	80	67,7	63
I_{ON} (A)	3,87E-6	3,87E-6	3,88E-6
I_{OFF} (A)	6,42E-15	5,20E-15	4,81E-16
I_{ON}/I_{OFF}	6.021E+6	7,35E+8	8,05E+9

Tableau IV. 5 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de la longueur de la grille.

IV.4.3.3 Variation de l'épaisseur de l'oxyde

Nous présentons dans les Figures IV. 27 et IV.28 la caractéristique de sortie $I_{DS}(V_{DS})$ et de transfert $I_{DS}(V_{GS})$ pour différentes valeurs de l'épaisseur de l'oxyde de grille t_{ox} .

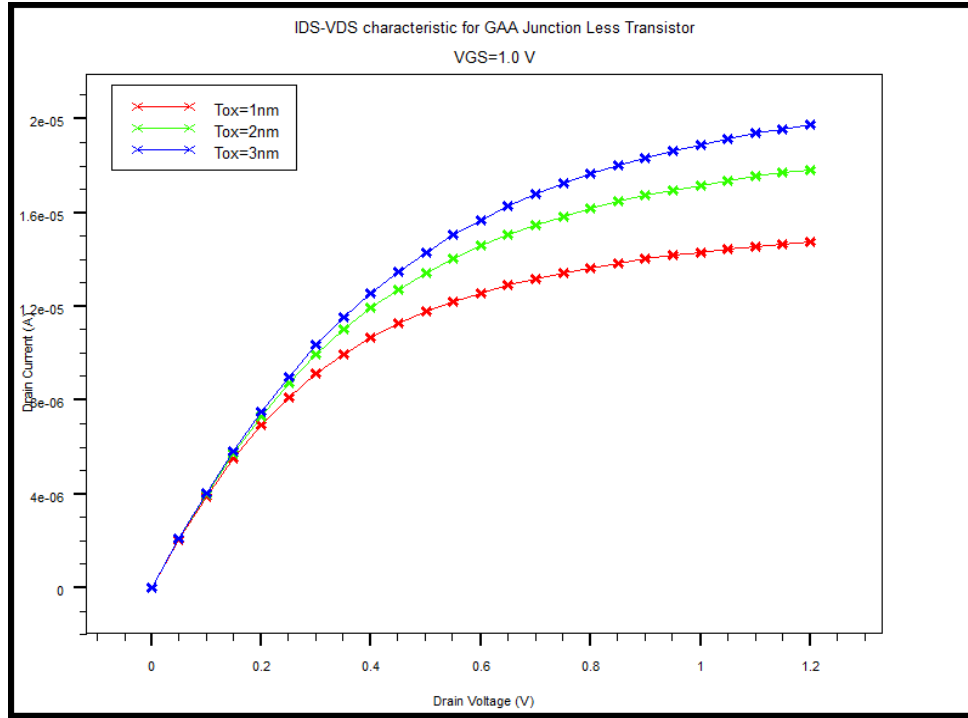


Figure IV. 28 : Caractéristique de transfert $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox} .

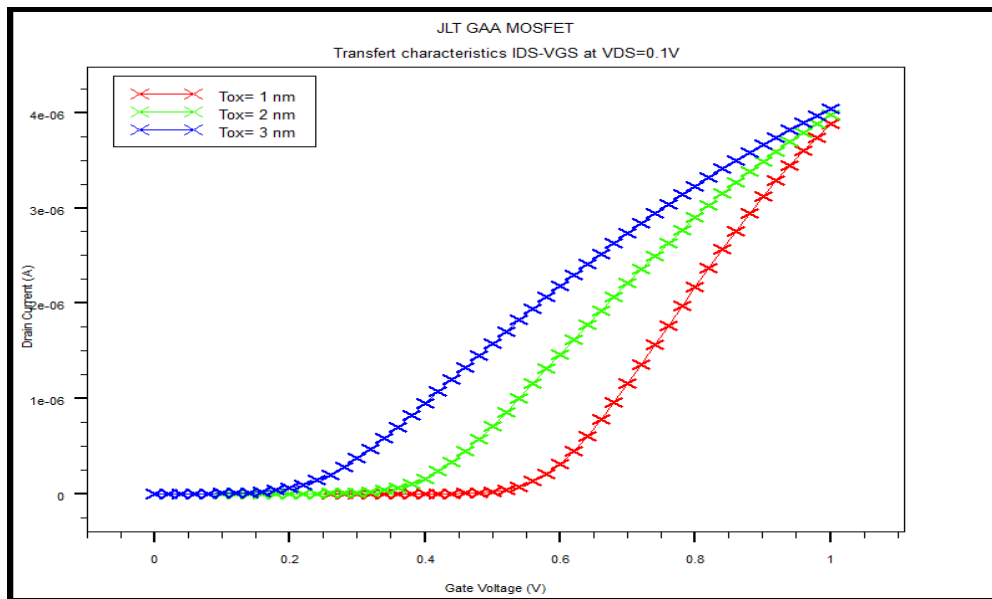


Figure IV. 29 : Caractéristique de transfert $I_{DS}-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox} .

Chapitre IV : Résultats et interprétations

Les résultats que nous avons obtenus présentent une variation des caractéristiques électriques de notre dispositif quand l'épaisseur de l'oxyde de grille t_{ox} varie. Au fur et à mesure que l'épaisseur de l'oxyde de grille augmente, le champ électrique de grille qui déplète la région de canal diminue ce qui entraîne une réduction de la tension de seuil V_{Th} et l'augmentation du courant du drain contrairement aux MOSFET.

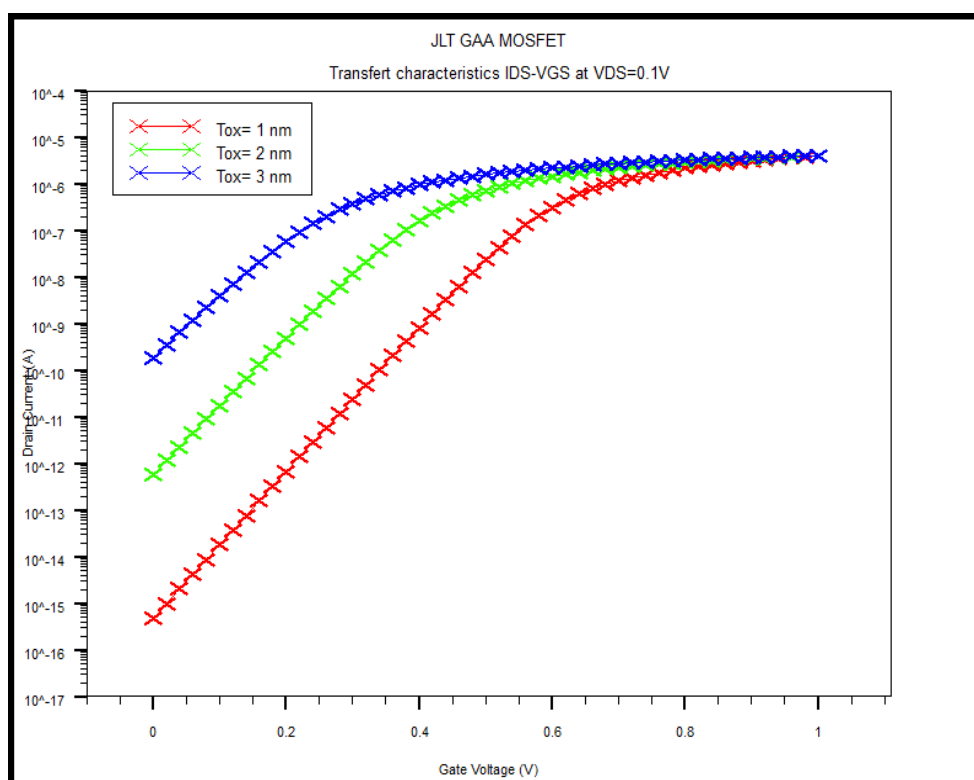


Figure IV. 30 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de l'épaisseur de l'oxyde t_{ox} .

$t_{ox}(nm)$	1	2	3
$V_{Th}(V)$	0,55	0.37	0.22
SS (mV/dec)	63	67,2	73,8
$I_{ON}(A)$	3,88E-6	3,97E-6	4,03E-6
$I_{OFF}(A)$	4,81E-16	5,81E-13	1,88E-10
I_{ON}/I_{OFF}	8,05E+9	6,84E+6	2,14E+4

Tableau IV. 6: Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de l'épaisseur de l'oxyde.

La caractéristique de transfert à l'échelle logarithmique (Figure IV.30) nous a permis d'évaluer la variation du courant I_{ON} , du courant de fuite I_{OFF} et la pente sous seuil SS. Les résultats obtenus sont regroupés dans le Tableau IV.6. Il apparaît une augmentation de la pente sous seuil, du courant ON, du courant OFF et une diminution du rapport I_{ON}/I_{OFF} avec l'augmentation de t_{ox} .

IV.4.3.4 Variation de la hauteur du film de silicium

La hauteur du film de silicium (H_{fin}) est aussi un paramètre très important dans l'étude des performances de notre dispositif. Afin d'évaluer les effets de la variation de cette hauteur sur les caractéristiques du GAAJLT, nous faisons varier la hauteur du film de silicium (H_{fin}) et nous évaluons l'effet de cette variation sur le courant du drain I_{DS} et la tension de seuil V_{Th} .

Les résultats de simulation que nous avons obtenus sont donnés en Figure IV.31 et en Figure IV.32.

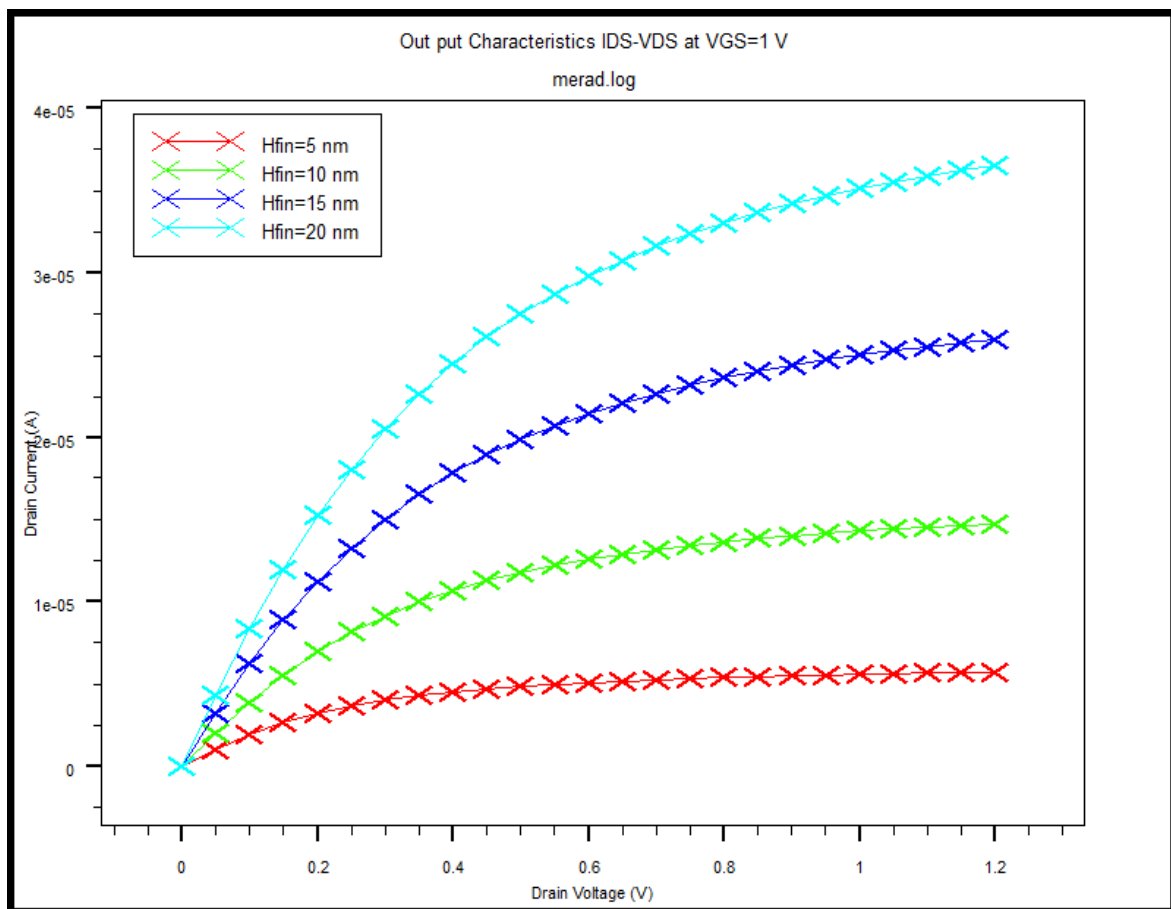


Figure IV. 31 : Caractéristique de sortie $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la hauteur du $FINH_{fin}$.

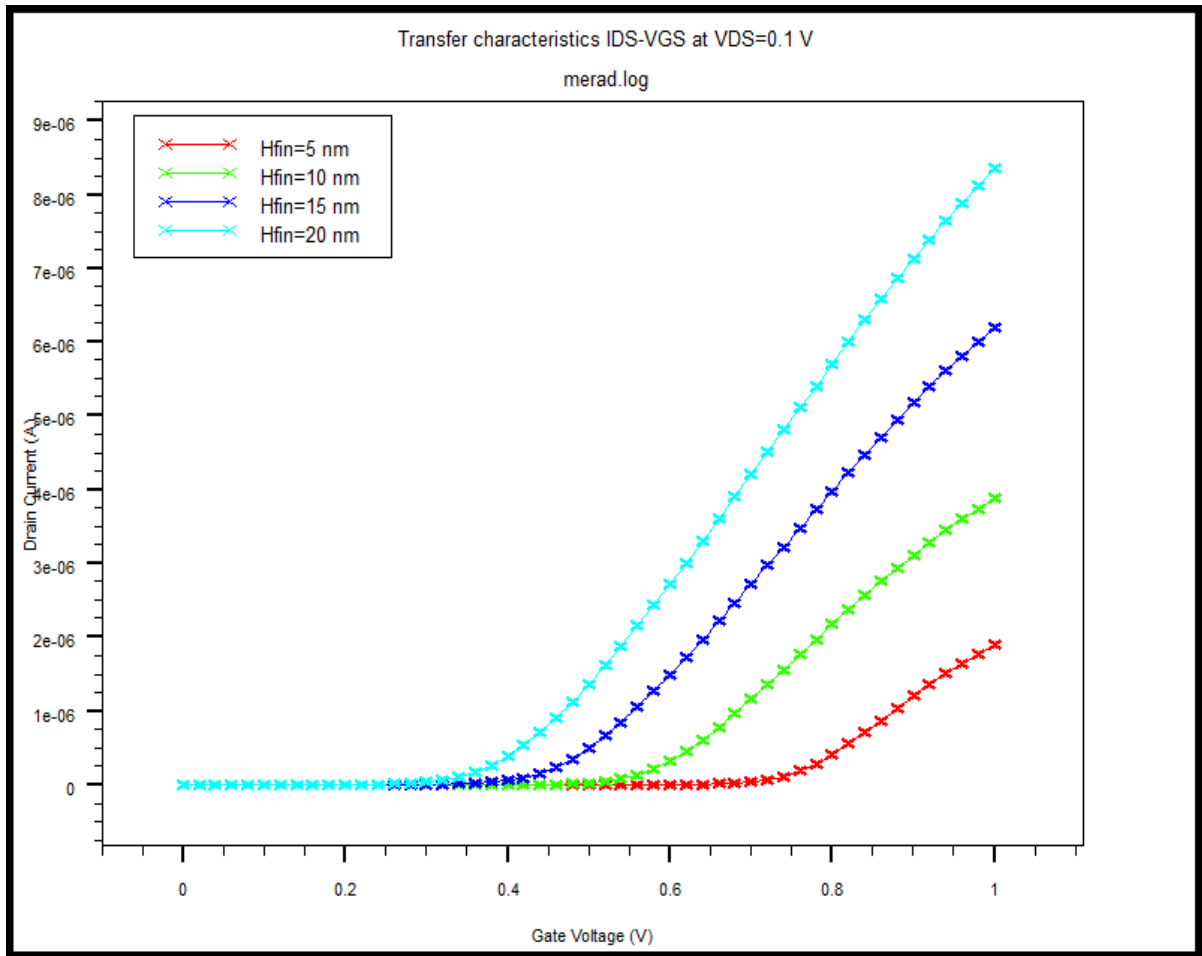


Figure IV. 32 : Caractéristique de transfert I_{DS} - V_{GS} du transistor GAA JLT à section rectangulaire avec variation de la hauteur du FIN H_{fin}

La Figure IV.31 représente les caractéristiques de sortie du transistor pour différentes valeurs de la hauteur du FIN, il apparaît clairement que le courant du drain I_{DS} augmente avec l'augmentation de la hauteur du FIN. Cela était en fait prévisible en considérant l'équation IV.1 qui montre une proportionnalité entre le courant et la hauteur H_{fin} .

La Figure IV.32 représente la caractéristique de transfert du GAAJLT avec la variation de H_{fin} . On constate que l'augmentation de H_{fin} fait diminuer la tension de seuil.

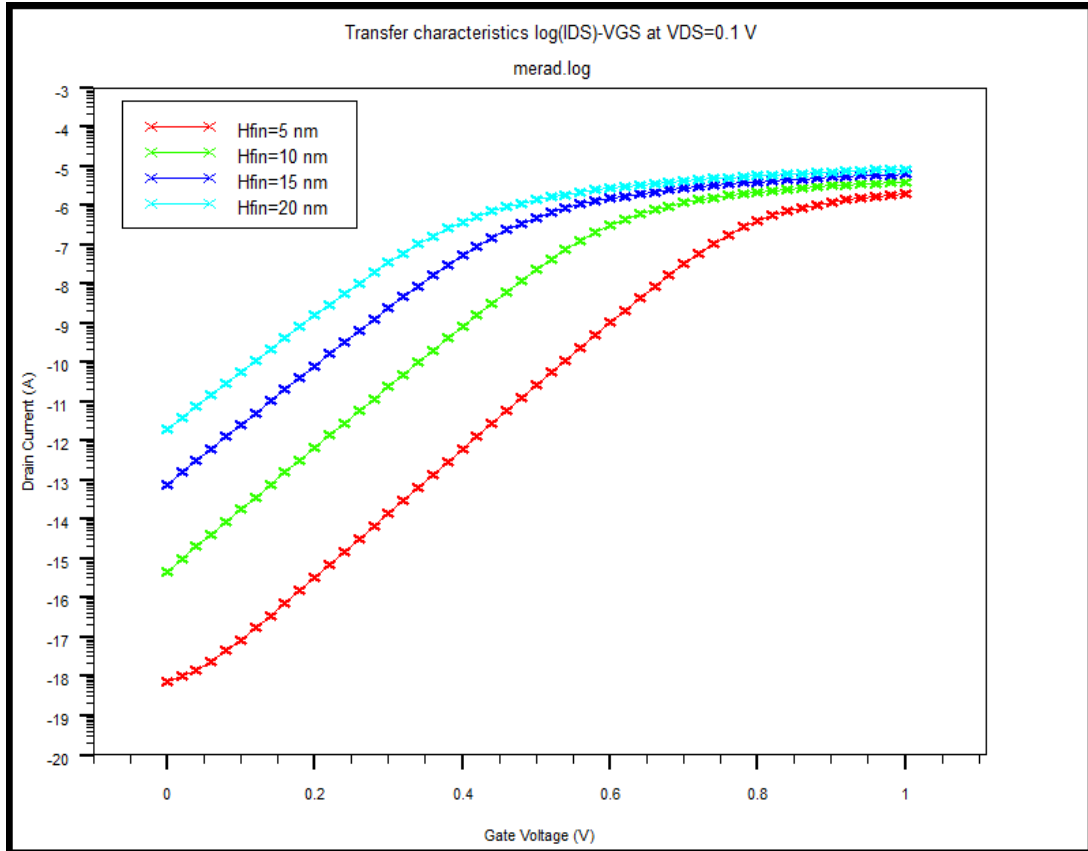


Figure IV. 33 : Caractéristique de transfert $\log(I_{DS})-V_{GS}$ du transistor GAA JLT à section rectangulaire avec variation de la hauteur du FIN H_{fin} .

$H_{fin}(nm)$	5	10	15	20
$V_{Th}(V)$	0,74	0,55	0,43	0,34
$SS (mV/dec)$	61	63	65	67
$I_{ON}(A)$	$1,9^E-6$	$3,88E-6$	$6,20^E-6$	$8,35E-6$
$I_{OFF}(A)$	$7,44^E-19$	$4,81E-16$	$7,74^E-14$	$1,96E-12$
I_{ON}/I_{OFF}	$2,55^E+12$	$8,05E+9$	$8,00^E+7$	$4,26E+6$

Tableau IV. 7 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de la hauteur du FIN.

La Figure IV.33 montre une augmentation de la pente (SS), du courant I_{ON} , du courant de fuite I_{OFF} . Les résultats obtenus sont regroupés dans le Tableau IV.7 on peut constater que le rapport I_{ON}/I_{OFF} diminue dû à l'augmentation considérable du courant de fuite.

IV.4.3.5 Variation de la largeur du film de silicium

Comme la hauteur du FIN la largeur du film de silicium est importante dans la miniaturisation des dispositifs. Son influence sur le courant du drain et la tension de seuil son représentée sur les Figures VI.34 et IV.35.

Dans la Figure IV.34 représentant la caractéristique de sortie de notre dispositif pour différentes largeurs du FIN, on remarque que W_{fin} influe directement sur le courant du drain qui augmente avec l'augmentation de la largeur du FIN, résultat qui est en adéquation avec la proportionnalité évoqué dans l'équation IV.1.

La Figure IV.35 permet de constater l'influence directe de la largeur du FIN sur la tension de seuil du GAAJLT. On constate alors de la caractéristique de transfert $I_{DS}-V_{GS}$ une diminution de la tension de seuil avec l'augmentation de la largeur du FIN.

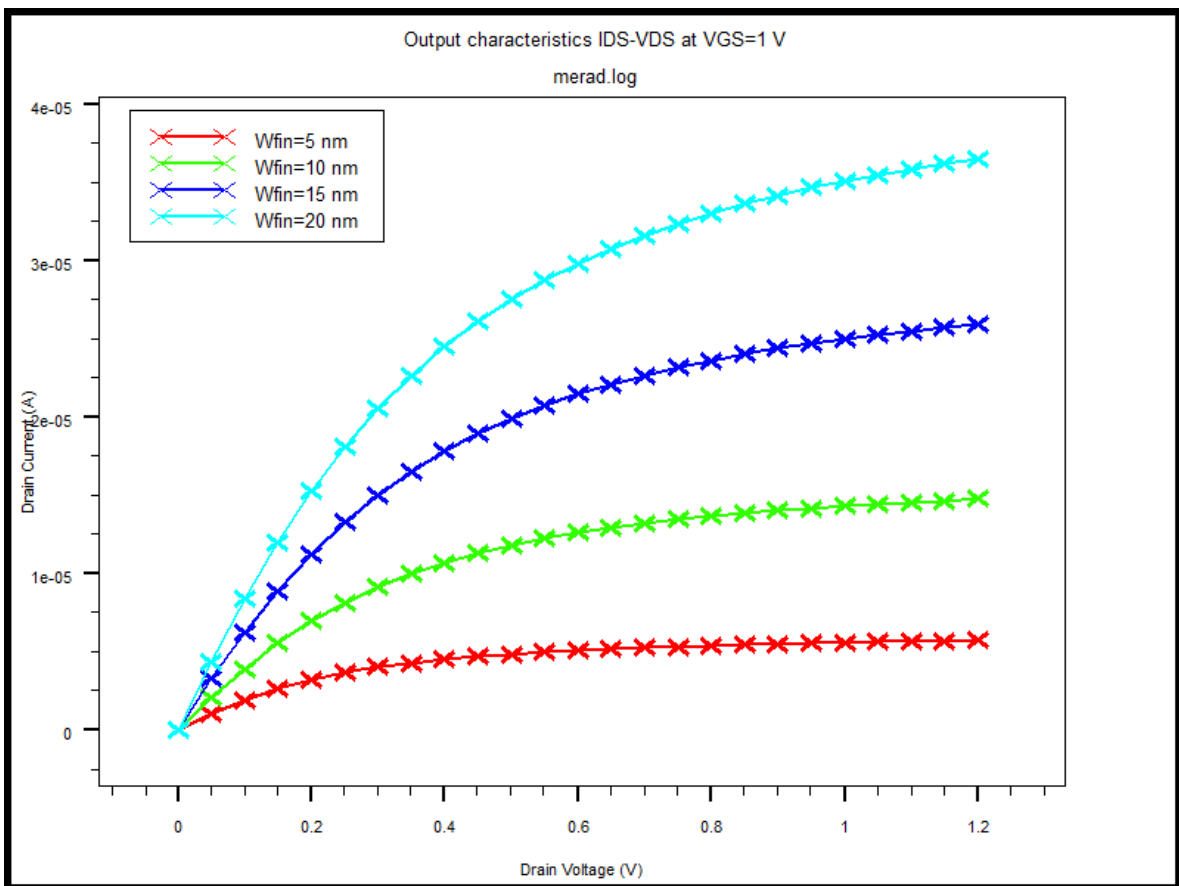


Figure IV. 34 : Caractéristique de sortie $I_{DS}-V_{DS}$ à $V_{GS} = 1.0$ V du transistor GAA JLT à section rectangulaire avec variation de la largeur du FIN W_{fin} .

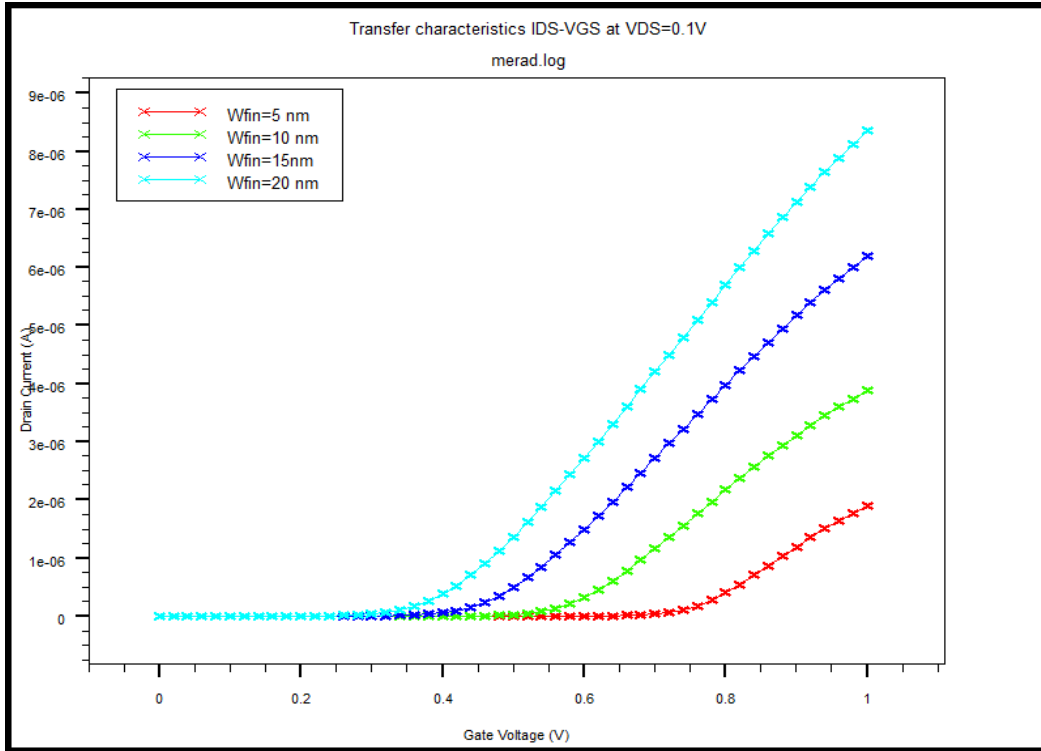


Figure IV. 35 : Caractéristique de transfert I_{DS} - V_{GS} du transistor GAA JLT à section rectangulaire avec variation de la largeur du FIN W_{fin} .

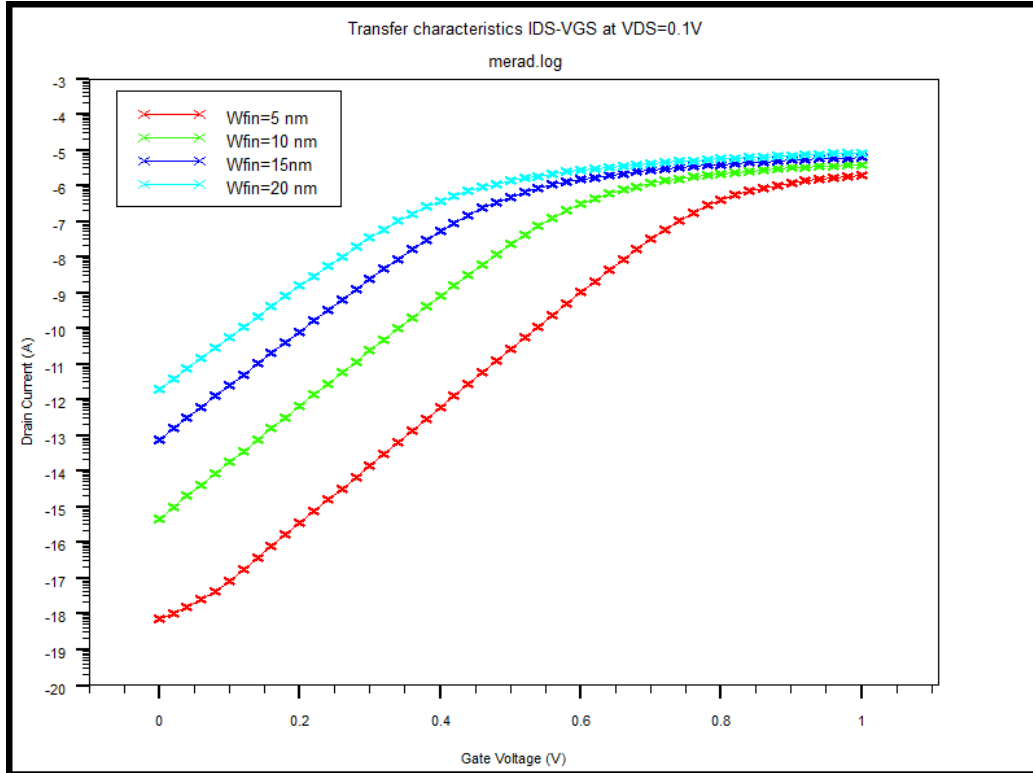


Figure IV. 36 : Caractéristique de transfert $\log(I_{DS})$ - V_{GS} du transistor GAA JLT à section rectangulaire avec la variation de la largeur du FIN W_{fin} .

$W_{fin}(nm)$	5	10	15	20
$V_{Th}(V)$	0,73	0,55	0,42	0,34
$SS (mV/dec)$	61	63	65,4	67,5
$I_{ON}(A)$	1,89E-6	3,88E-6	6,20E-6	8,35E-6
$I_{OFF}(A)$	7,43E-18	4,81E-16	7,75E-14	1,93E-12
I_{ON}/I_{OFF}	2,55E+12	8,05E+9	8,00E+7	4,33 E +6

Tableau IV. 8 : Résultat de simulation des paramètres du JLTGAA a section rectangulaire avec la variation de la largeur du FIN.

La Figure IV.36 représente la caractéristique de transfert à l'échelle logarithmique, elle met en évidence la variation de la pente, le courant I_{ON} et le courant de fuite I_{OFF} . On constate alors une augmentation de la pente, et les courants I_{ON} et I_{OFF} avec l'augmentation de la largeur du film de silicium. Les résultats obtenus sont représentés dans le Tableau IV.8, il apparaît une diminution du rapport I_{ON}/I_{OFF} avec l'augmentation de W_{fin}

IV.4.3.6 Étude comparative entre Si-JLT GAA et Ge-JLT GAA

Afin d'étudier l'impact du matériau du canal sur les caractéristiques de GAAJLT, nous avons simulé une deuxième structure à base de germanium de type N. Les caractéristiques de sortie de ces deux dispositifs sous une valeur de tension d'alimentation V_{GS} de 1.2 V sont représentées sur la Figure IV.37. Les caractéristiques de transfert sont illustrées sur la Figure IV.38.

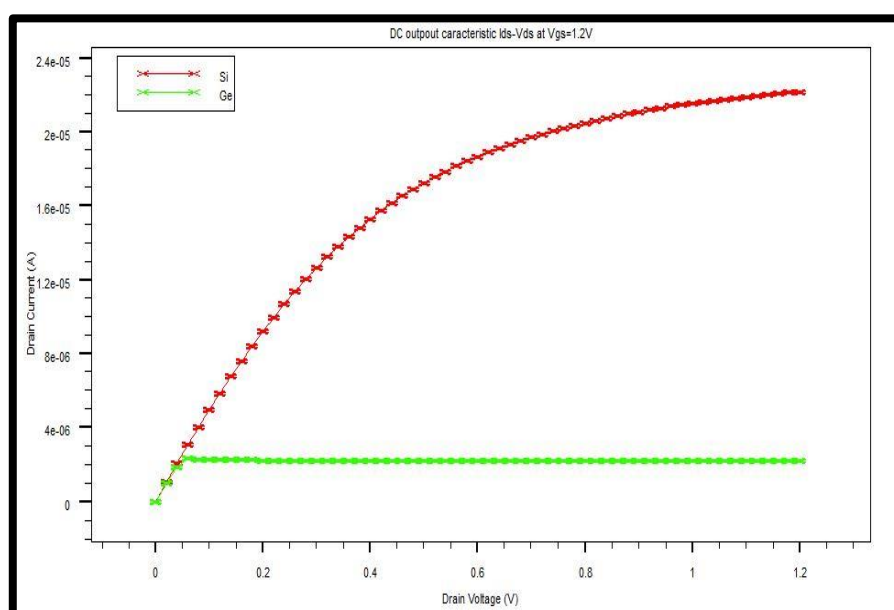


Figure IV. 37: Caractéristique de sortie du Ge et Si GAAJLT.

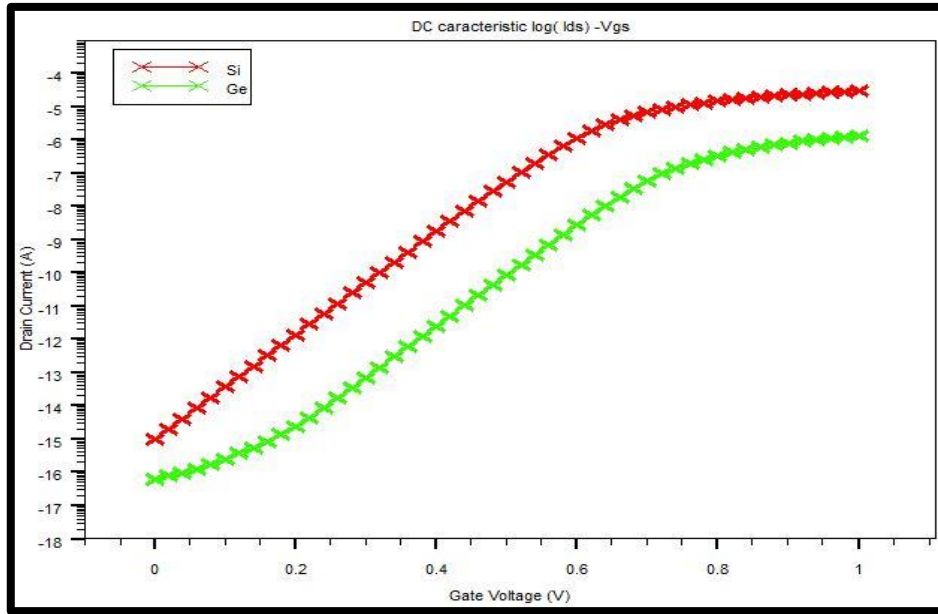


Figure IV. 38 : Caractéristique de transfert du Ge et Si GAAJLT.

On constate que le courant I_{ON} du Si-GAAJLT est environ deux fois plus élevé que le courant I_{ON} du Ge- GAAJLT. Les performances DC de nos deux dispositifs sont données dans le Tableau .IV.9. Nos résultats nous permettent de confirmer que le silicium JLT-GAA à de meilleures performances DC que le Germanium JLT-GAA.

Le courant de fuite d'un JLT-GAA au germanium est inférieur à celui d'un courant de fuite d'un dispositif en silicium. Ce résultat est dû à la différence entre l'énergie de bande interdite du germanium et l'énergie de bande interdite du silicium ($E_{gGe} < E_{gSi}$). Le courant I_{OFF} est donné par [127]:

$$I_{OFF} = I_0 e^{((V_{GS} - V_{Th}) / \eta U_T)} \quad \text{IV.8}$$

η est un coefficient qui exprime la sensibilité de la commande du transistor par la grille et I_0 est une valeur de courant à $V_{GS} = V_{Th}$. ϕ_{MS} est le travail de sortie métal-semi-conducteur ($\phi_{MS} = \phi_M - (\chi_s + (E_g/2q) + \phi_F)$) dépend de l'énergie de la bande interdite E_g . Lorsque E_g augmente, ϕ_{MS} diminue, la tension de seuil V_{Th} diminue et I_{OFF} augmente.

	Si-JLGAA	Ge-JLGAA
DIBL (mV/V)	98,3	11.2
I_{ON} (A)	2.13E-6	1.31E-6
I_{OFF} (A)	3.8E-16	6.33E-17
I_{ON}/ I_{OFF}	0.55E+10	2.07E+10
SS (mV/dec)	63	64
V_{Th} (V)	0.55	0.72

Tableau IV. 9 : Performances DC obtenues pour Si et Ge GAA JLT

Dans le Tableau IV.10, nous résumons tous nos résultats de simulation que nous comparons à certains résultats trouvés dans la littérature. Nous pouvons voir que les résultats que nous avons obtenus sont en accord avec d'autres résultats obtenus pour différents dispositifs JLT GAA, ce qui indique la bonne approche de nos simulations.

	Résultat de Simulation obtenus pour notre JLT GAA		[67]	[124]	[128]	[129]	
Structure	Si-JL- GAA	Ge-JL- GAA	JL- Multigate	JL-NW	JL-NW	Si-JL- DG	Ge-JL-DG
Lg (nm)	20	20	1000	50	20	20	20
W(nm)	10	10	30		10	10	10
DIBL (mV/V)	98,3	11.2	-	7	78	47	22
I_{ON} (A)	2.13E-6	1.31E-6	-	-	1000uA/um	-	-
I_{OFF} (A)	3.8E-16	6.33E-17	1E-15	-	-	-	-
I_{ON}/ I_{OFF}	0.55E+10	2.07E+10	>>1E+6	-	5E+6	-	-
SS (mV/dec)	63	64	64	60	92	69.2	64.7
V_{Th} (V)	0.55	0.72	-	-	-	-	-

Tableau IV. 10: Différent résultats obtenus pour le JLT GAA trouvé dans la littérature.

IV.5 Conclusion

On a présenté dans ce travail les résultats d'un nouveau type de dispositifs « sans jonctions » au quelle nous avons appliqué une multiplicité de grille pour obtenir un transistor « GAA sans jonctions » à section rectangulaire. Nous avons mis en évidence la différence entre la structure GAA conventionnel et celle sans jonctions du point de vue du dopage, puis nous avons présenté les différents modes de fonctionnement et leur diagramme de bande. Nous avons procédé à une caractérisation DC de notre structure puis nous avons fait varier certain paramètres de cette structure. Afin d'estimer leur influence sur les performances en terme de courant (I_{ON} , I_{OFF} et saturation), tension de seuil, pente sous-seuil et le rapport I_{ON}/I_{OFF} . Une étude comparative avec un GAA à base de germanium a été effectuée pour démontrer l'influence de la nature du matériau, nous avons comparé par la suite nos résultat avec ceux trouvés dans la littérature pour conclure à une cohérence avec les travaux de recherche actuels.

CONCLUSION GÉNÉRALE

Conclusion générale

Actuellement la miniaturisation accentuée des transistors MOSFETs réalisée dans des dispositifs à forte densité d'intégration rencontre de nombreux défis, car la réduction des dimensions géométriques des transistors est accompagnée de nombreux effets qui affectent le bon fonctionnement de ces transistors appelés les effets des canaux courts. Pour faire face à ces effets indésirables plusieurs solutions technologiques ont été envisagées. Afin de rendre l'effet des canaux courts moins prononcé et Pour alléger le besoin de profils de dopage abrupt (ultra steep), des transistors à effet de champ sans jonctions métallurgique ont été proposés pour faciliter la réduction des MOSFET conventionnels.

Les études entreprises au long de cette thèse ont porté a une contribution à la conception et la simulation des transistors JLFET d'où nous nous sommes intéressé au fonctionnement des JLFET pour fournir une analyse comparative des différentes paramètres de performance des JLFET par rapport aux MOSFET.

Ce manuscrit comporte quatre chapitres, regroupant l'essentiel des travaux effectué lors de cette thèse.

Le premier chapitre a été consacré à présenter de façon générale les transistors MOSFETs, leur principe de fonctionnement, ainsi que les différents effets indésirables lies a la miniaturisation.

Le second chapitre a concerné la description du transistor JLFET ainsi que son principe de fonctionnement afin de situer notre travail de thèse.

Le troisième chapitre a présenté une analyse approfondie sur la modélisation et la conception du transistor JLFET avec cette différente architecture dont le GAA.

Le quatrième chapitre fut consacré à la présentation des différents résultats que nous avons obtenus suite à la simulation numérique des différents dispositifs conçus sous environnement DevEdit et ATLAS de SILVACO -TCAD. Les résultats obtenus ont montrés :

- L'influence de la tension de polarisation V_{GS} sur les courbures de bande et les différent mode de fonctionnement de ce dispositif.
- Le dopage (N_D) est un paramètre très important dans la modélisation des JLFETs, L'augmentation de ce paramètre fait augmenter le courant du drain.

Conclusion générale

- La hauteur et la largeur du Fin (H_{fin} et W_{fin}) sont des paramètres géométriques à prendre en considération lors de la miniaturisation, pour notre structure l'augmentation du courant du drain est proportionnelle à ces deux paramètres.
- La variation de la longueur de la grille (L_g) permet d'évaluer la longueur adaptée pour une structure GAA JLJFET. Nous avons pu constater qu'une augmentation de cette longueur fait diminuer le courant du drain.
- L'épaisseur de l'oxyde (t_{ox}) est un paramètre évalué lors de l'élaboration d'un transistor. A l'inverse des MOSFET, l'augmentation de l'épaisseur de l'oxyde de grille fait diminuer le courant.
- Le choix du matériau du canal est aussi un paramètre essentiel dans la conception des transistors sans jonctions. Le courant est environ 10 fois plus supérieur dans un canal en silicium que dans un canal en germanium.

D'après tous ces résultats, et en faisant une comparaison avec des résultats trouvés dans la littérature, nous pouvons dire que les résultats obtenus lors de notre simulation paraissent assez prometteurs

BIBLIOGRAPHIES

Bibliographie

- [1] G. Moore, 'Cramming more components onto integrated circuits', *Electronics*, vol. 38, no. 8, 1965.
- [2] A. Litty, "Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator)," phdthesis, Université Grenoble Alpes, 2016. Accessed: Jun. 13, 2017. [Online]. Available: <https://tel.archives-ouvertes.fr/tel-01280101/document>
- [3] P. Razavi, "Simulation of multigate SOI transistors with silicon, germanium and III-V channels," 2013, [Online]. Available: <https://cora.ucc.ie/handle/10468/1287>
- [4] T. Nguyen, "Caractérisation, modélisation et fiabilité des diélectriques de grille à base de HfO₂ pour les futures technologies CMOS," INSA de Lyon, 2009. [Online]. Available: <http://theses.insa-lyon.fr/publication/2009ISAL0067/these.pdf>
- [5] F. Fadhuile-Crepy, "Méthodologie de conception de circuits analogiques pour des applications radiofréquence à faible consommation de puissance," phdthesis, Université de Bordeaux, 2015. Accessed: Jun. 13, 2017. [Online]. Available: <https://tel.archives-ouvertes.fr/tel-01219254/document>
- [6] X.-L. Han, Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux en silicium. Lille 1, 2011. Accessed: Jun. 13, 2017. [Online]. Available: <http://www.theses.fr/2011LIL10069>
- [7] R. Daviot, "Étude en radiofréquences de transistors à effet de champ MOS partiellement désertés en technologie avancée Silicium-Sur-Isolant sub-0,13 µm," Institut National des Sciences Appliquées de Lyon, 2006. [Online]. Available: <http://theses.insa-lyon.fr/publication/2006ISAL0010/these.pdf>
- [8] F. N. Trofimenkoff, "Field-dependent mobility analysis of the field-effect transistor," *Proc. IEEE*, vol. 53, no. 11, pp. 1765–1766, 1965.
- [9] S. M. Sze, *Physics of Semiconductor Devices*. John Wiley & Sons, 1981.
- [10] Y. Tsididis, *Operation and Modeling of the MOS Transistor*. Oxford University Press, 1999.
- [11] J.-P. Colinge, "Physique des dispositifs semi-conducteurs," 1996, [Online]. Available: <http://archives.umc.edu.dz/handle/123456789/118294>
- [12] T. K. Chiang, Y. H. Wang, and M. P. Houng, "Modeling of threshold voltage and subthreshold swing of short-channel SOI MESFET's," *Solid-State Electron.*, vol. 43, no. 1, pp. 123–129, 1999.

Bibliographie

- [13] Z.-H. Liu et al., “Threshold voltage model for deep-submicrometer MOSFETs,” *IEEE Trans. Electron Devices*, vol. 40, no. 1, pp. 86–95, 1993.
- [14] S. R. Banna, P. C. Chan, P. K. Ko, C. T. Nguyen, and M. Chan, “Threshold voltage model for deep-submicrometer fully depleted SOI MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 42, no. 11, pp. 1949–1955, 1995.
- [15] F. Stern and W. E. Howard, “Properties of semiconductor surface inversion layers in the electric quantum limit,” *Phys. Rev.*, vol. 163, no. 3, p. 816, 1967.
- [16] Y. Li, T. Tang, and X. Wang, “Modeling of quantum effects for ultrathin oxide MOS structures with an effective potential,” *IEEE Trans. Nanotechnol.*, vol. 99, no. 4, pp. 238–242, 2002.
- [17] R. Rios and N. D. Arora, “Determination of ultra-thin gate oxide thicknesses for CMOS structures using quantum effects,” in *Electron Devices Meeting, 1994. IEDM’94. Technical Digest., International, 1994*, pp. 613–616. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/383335/>
- [18] A. Abramo, A. Cardin, L. Selmi, and E. Sangiorgi, “Two-dimensional quantum mechanical simulation of charge distribution in silicon MOSFETs,” *IEEE Trans. Electron Devices*, vol. 47, no. 10, pp. 1858–1863, 2000.
- [19] A. Pirovano, A. L. Lacaita, and A. S. Spinelli, “Two-dimensional quantum effects in nanoscale MOSFETs,” *IEEE Trans. Electron Devices*, vol. 49, no. 1, pp. 25–31, 2002.
- [20] N. Shigyo and H. Tanimoto, “A new quantum effect model for practical device simulation,” *IEEE Trans. Electron Devices*, vol. 47, no. 5, pp. 1010–1012, 2000.
- [21] A. S. Spinelli, A. Benvenuti, and A. Pacelli, “Self-consistent 2-D model for quantum effects in n-MOS transistors,” *IEEE Trans. Electron Devices*, vol. 45, no. 6, pp. 1342–1349, 1998.
- [22] Z. Han, N. Goldsman, and C.-K. Lin, “2-D quantum transport device modeling by self-consistent solution of the Wigner and Poisson equations,” in *Simulation of Semiconductor Processes and Devices, 2000. SISPAD 2000. 2000 International Conference on, 2000*, pp. 62–65. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/871207/>
- [23] M. Ogawa, H. Tsuchiya, and T. Miyoshi, “Quantum transport modeling in nano-scale devices,” in *Simulation of Semiconductor Processes and Devices, 2002. SISPAD 2002. International Conference on, 2002*, pp. 261–266. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/1034568/>

Bibliographie

- [24] A. Svizhenko, M. P. Anantram, T. R. Govindan, B. Biegel, and R. Venugopal, "Two-dimensional quantum mechanical modeling of nanotransistors," *J. Appl. Phys.*, vol. 91, no. 4, pp. 2343–2354, 2002.
- [25] K. S. Krisch, J. D. Bude, and L. Manchanda, "Gate capacitance attenuation in MOS devices with thin gate dielectrics," *IEEE Electron Device Lett.*, vol. 17, no. 11, pp. 521–524, 1996.
- [26] K. Yang, Y.-C. King, and C. Hu, "Quantum effect in oxide thickness determination from capacitance measurement," in *VLSI Technology, 1999. Digest of Technical Papers. 1999 Symposium on, 1999*, pp. 77–78. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/799348/>
- [27] C. A. Richter, A. R. Hefner, and E. M. Vogel, "A comparison of quantum-mechanical capacitance-voltage simulators," *IEEE Electron Device Lett.*, vol. 22, no. 1, pp. 35–37, 2001.
- [28] A. Asenov, G. Slavcheva, A. R. Brown, J. H. Davies, and S. Saini, "Quantum mechanical enhancement of the random dopant induced threshold voltage fluctuations and lowering in sub 0.1 micron MOSFETs," in *Electron Devices Meeting, 1999. IEDM'99. Technical Digest. International, 1999*, pp. 535–538. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/824210/>
- [29] C.-Y. Lu and J. M. Sung, "Reverse short-channel effects on threshold voltage in submicrometer salicide devices," *IEEE Electron Device Lett.*, vol. 10, no. 10, pp. 446–448, 1989.
- [30] V. Nathan and N. C. Das, "Gate-induced drain leakage current in MOS devices," *IEEE Trans. Electron Devices*, vol. 40, no. 10, pp. 1888–1890, 1993.
- [31] R. Talmat, "Etude des phénomènes de transport de porteurs et du bruit basse fréquence en fonction de la température dans les transistors MOSFETs nanométriques (FinFETs)," université de caen, 2011. [Online]. Available: <https://hal.archives-ouvertes.fr/tel-01076455/>
- [32] S. CRISTOLOVEANU and F. BALESTRA, "Technologie silicium sur isolant (SOI)," *Tech. Ing. Electron.*, vol. 2, no. E2380, pp. E2380-1, 2002.
- [33] J. Jomaah, G. Ghibaud, and F. Balestra, "Analysis and modeling of self-heating effects in thin-film SOI MOSFETs as a function of temperature," *Solid-State Electron.*, vol. 38, no. 3, pp. 615–618, 1995.
- [34] F. Balestra and S. Cristoloveanu, "Special mechanisms in thin-film SOI MOSFETs," *Microelectron. Reliab.*, vol. 37, no. 9, pp. 1341–1351, 1997.

Bibliographie

- [35] P. G. Der Agopian, J. A. Martino, E. Simoen, and C. Claeys, "Study of the linear kink effect in PD SOI nMOSFETs," *Microelectron. J.*, vol. 38, no. 1, pp. 114–119, 2007.
- [36] P. Smeys and J. P. Colinge, "Analysis of drain breakdown voltage in enhancement-mode SOI MOSFETs," *Solid-State Electron.*, vol. 36, no. 4, pp. 569–573, 1993.
- [37] G. Janczyk, "Bipolar mechanisms present in short channel SOI-MOSFET transistors," *Microelectron. Reliab.*, vol. 45, no. 7, pp. 1257–1263, 2005.
- [38] H. Mr ACHOUR, "Etude en courant continu et en bruit basse fréquence, en fonction de la température (10 K–300 K), de transistors FinFETs," Université Mouloud Maameri de Tizi Ouzou. [Online]. Available: <https://www.pnst.cerist.dz/detail.php?id=81672>
- [39] D. Munteanu, "Modélisation et caractérisation des transistors SOI: du pseudo-MOSFET au MOSFET submicronique ultramince," 1999. [Online]. Available: <http://cat.inist.fr/?aModele=afficheN&cpsid=199513>
- [40] B. Doyle et al., "Tri-gate fully-depleted CMOS transistors: Fabrication, design and layout," in *VLSI Technology, 2003. Digest of Technical Papers. 2003 Symposium on*, 2003, pp. 133–134. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/1221121/>
- [41] B. S. Doyle et al., "High performance fully-depleted tri-gate CMOS transistors," *IEEE Electron Device Lett.*, vol. 24, no. 4, pp. 263–265, 2003.
- [42] J.-T. Park and J.-P. Colinge, "Multiple-gate SOI MOSFETs: device design guidelines," *IEEE Trans. Electron Devices*, vol. 49, no. 12, pp. 2222–2229, 2002.
- [43] J.-T. Park, J.-P. Colinge, and C. H. Diaz, "Pi-gate soi mosfet," *IEEE Electron Device Lett.*, vol. 22, no. 8, pp. 405–406, 2001.
- [44] J. Kedzierski et al., "Metal-gate FinFET and fully-depleted SOI devices using total gate silicidation," in *Electron Devices Meeting, 2002. IEDM'02. International*, 2002, pp. 247–250. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/1175824/>
- [45] J. P. Colinge, "Multi-gate SOI MOSFETs," *Microelectron. Eng.*, vol. 84, no. 9–10, pp. 2071–2076, 2007.
- [46] Y.-K. Choi, T.-J. King, and C. Hu, "Nanoscale CMOS spacer FinFET for the terabit era," *IEEE Electron Device Lett.*, vol. 23, no. 1, pp. 25–27, 2002.
- [47] Y.-K. Choi et al., "Sub-20 nm CMOS FinFET technologies," in *Electron Devices Meeting, 2001. IEDM'01. Technical Digest. International*, 2001, pp. 19–1. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/979526/>

Bibliographie

- [48] F. Andrieu et al., “25nm Short and narrow strained FDSOI with TiN/HfO₂ gate stack,” in VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on, 2006, pp. 134–135. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/1705253/>
- [49] T. Irisawa, T. Numata, T. Tezuka, N. Sugiyama, and S. Takagi, “Electron transport properties of ultrathin-body and tri-gate SOI nMOSFETs with biaxial and uniaxial strain,” in Electron Devices Meeting, 2006. IEDM’06. International, 2006, pp. 1–4. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/4154230/>
- [50] J.-P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, “Silicon-on-insulator’gate-all-around device’,” in Electron Devices Meeting, 1990. IEDM’90. Technical Digest., International, 1990, pp. 595–598. [Online]. Available: <http://ieeexplore.ieee.org/abstract/document/237128/>
- [51] J.-P. Colinge, “Multiple-gate soi mosfets,” *Solid-State Electron.*, vol. 48, no. 6, pp. 897–905, 2004.
- [52] “Intel® 22 nm Technology,” Intel. <https://www.intel.com/content/www/us/en/silicon-innovations/intel-22nm-technology.html> (accessed Dec. 16, 2019).
- [53] “ITRS 2.0 Home Page,” International Technology Roadmap for Semiconductors. <http://www.itrs2.net/> (accessed Dec. 16, 2019).
- [54] J.-P. Colinge, *FinFETs and other multi-gate transistors*, vol. 73. Springer, 2008.
- [55] X. Huang et al., “Sub 50-nm finfet: Pmos,” in International Electron Devices Meeting 1999. Technical Digest (Cat. No. 99CH36318), 1999, pp. 67–70.
- [56] J.-P. Colinge, *FinFETs and Other Multi-Gate Transistors*. Springer Science & Business Media, 2008.
- [57] B. S. Doyle et al., “High performance fully-depleted tri-gate CMOS transistors,” *IEEE Electron Device Lett.*, vol. 24, no. 4, pp. 263–265, 2003.
- [58] C. Auth, “22-nm fully-depleted tri-gate CMOS transistors,” in Proceedings of the IEEE 2012 Custom Integrated Circuits Conference, 2012, pp. 1–6.
- [59] J.-T. Park, J.-P. Colinge, and C. H. Diaz, “Pi-gate soi mosfet,” *IEEE Electron Device Lett.*, vol. 22, no. 8, pp. 405–406, 2001.
- [60] J. Frei et al., “Body effect in tri-and pi-gate SOI MOSFETs,” *IEEE Electron Device Lett.*, vol. 25, no. 12, pp. 813–815, 2004.
- [61] F.-L. Yang et al., “25 nm CMOS omega FETs,” in Digest. International Electron Devices Meeting, 2002, pp. 255–258.

Bibliographie

- [62] J.-P. Colinge, M. H. Gao, A. Romano-Rodriguez, H. Maes, and C. Claeys, "Silicon-on-insulator'gate-all-around device'," in *International Technical Digest on Electron Devices*, 1990, pp. 595–598.
- [63] N. Singh et al., "Ultra-narrow silicon nanowire gate-all-around CMOS devices: Impact of diameter, channel-orientation and low temperature on device performance," in *2006 International Electron Devices Meeting, 2006*, pp. 1–4.
- [64] M. M. Mirza, "Nanofabrication of silicon nanowires and nanoelectronic transistors," PhD Thesis, University of Glasgow, 2015.
- [65] B. Smaani, "Etablissement de modèles compacts de transistors MOS multi grilles nanométriques en vue de leur application pour la conception de circuits," 2015.
- [66] C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, and J.-P. Colinge, "Junctionless multigate field-effect transistor," *Appl. Phys. Lett.*, vol. 94, no. 5, p. 053511, 2009.
- [67] J.-P. Colinge et al., "Nanowire transistors without junctions," *Nat. Nanotechnol.*, vol. 5, no. 3, p. 225, 2010.
- [68] C.-W. Lee et al., "Performance estimation of junctionless multigate transistors," *Solid-State Electron.*, vol. 54, no. 2, pp. 97–103, 2010.
- [69] A. Pfitzner, M. Staniewski, and M. Strzyga, "DC characteristics of junction vertical slit field-effect transistor (JVeSFET)," in *2009 MIXDES-16th International Conference Mixed Design of Integrated Circuits & Systems*, 2009, pp. 420–423.
- [70] X. Qiu, M. Marek-Sadowska, and W. Maly, "Vertical slit field effect transistor in ultra-low power applications," in *Thirteenth International Symposium on Quality Electronic Design (ISQED)*, 2012, pp. 384–390.
- [71] J. P. Colinge et al., "Junctionless nanowire transistor (JNT): Properties and design guidelines," *Solid-State Electron.*, vol. 65, pp. 33–37, 2011.
- [72] S. Sahay and M. J. Kumar, *Junctionless field-effect transistors: design, modeling, and simulation*. John Wiley & Sons, 2019.
- [73] J. E. Lilienfeld, "Method and apparatus for controlling electric currents. US Patent, 1745175," 1925.
- [74] L. J. Edgar, "Device for controlling electric current," Mar. 07, 1933
- [75] R. Rios et al., "Comparison of junctionless and conventional trigate transistors with L_{eff} down to 26 nm," *IEEE Electron Device Lett.*, vol. 32, no. 9, pp. 1170–1172, 2011.

Bibliographie

- [76] S. Sahay and M. J. Kumar, "Realizing efficient volume depletion in SOI junctionless FETs," *IEEE J. Electron Devices Soc.*, vol. 4, no. 3, pp. 110–115, 2016.
- [77] S. Gundapaneni, S. Ganguly, and A. Kottantharayil, "Bulk planar junctionless transistor (BPJLT): An attractive device alternative for scaling," *IEEE Electron Device Lett.*, vol. 32, no. 3, pp. 261–263, 2011.
- [78] J. P. Colinge et al., "Junctionless transistors: physics and properties," in *Semiconductor-On-Insulator Materials for Nanoelectronics Applications*, Springer, 2011, pp. 187–200.
- [79] J.-P. Colinge, "Conduction mechanisms in thin-film accumulation-mode SOI p-channel MOSFETs," *IEEE Trans. Electron Devices*, vol. 37, no. 3, pp. 718–723, 1990.
- [80] W. Cheng, A. Teramoto, M. Hirayama, S. Sugawa, and T. Ohmi, "Impact of improved high-performance Si (110)-oriented metal–oxide–semiconductor field-effect transistors using accumulation-mode fully depleted silicon-on-insulator devices," *Jpn. J. Appl. Phys.*, vol. 45, no. 4S, p. 3110, 2006.
- [81] J.-P. Colinge, D. Flandre, and F. Van de Wiele, "Subthreshold slope of long-channel, accumulation-mode p-channel SOI MOSFETs," *Solid-State Electron.*, vol. 37, no. 2, pp. 289–294, 1994.
- [82] J.-P. Colinge et al., "SOI gated resistor: CMOS without junctions," in *2009 IEEE International SOI Conference*, 2009, pp. 1–2.
- [83] K. J. Kuhn, "Considerations for ultimate CMOS scaling," *IEEE Trans. Electron Devices*, vol. 59, no. 7, pp. 1813–1828, 2012.
- [84] G. K. Celler and S. Cristoloveanu, "Frontiers of silicon-on-insulator," *J. Appl. Phys.*, vol. 93, no. 9, pp. 4955–4978, 2003.
- [85] S. Sahay and M. J. Kumar, "Controlling the drain side tunneling width to reduce ambipolar current in tunnel FETs using heterodielectric BOX," *IEEE Trans. Electron Devices*, vol. 62, no. 11, pp. 3882–3886, 2015.
- [86] Y. Wang et al., "Impact of Random Interface Traps and Random Dopants in High- k /Metal Gate Junctionless FETs," *IEEE Trans. Nanotechnol.*, vol. 13, no. 3, pp. 584–588, 2014.
- [87] Y. Wang, K. Wei, X. Liu, G. Du, and J. Kang, "Random interface trap induced fluctuation in 22nm high- k /metal gate junctionless and inversion-mode FinFETs," in *2013 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA)*, 2013, pp. 1–2.

Bibliographie

- [88] D. Ghosh, M. S. Parihar, G. A. Armstrong, and A. Kranti, "High-performance junctionless MOSFETs for ultralow-power analog/RF applications," *IEEE Electron Device Lett.*, vol. 33, no. 10, pp. 1477–1479, 2012.
- [89] S. Gundapaneni, M. Bajaj, R. K. Pandey, K. V. Murali, S. Ganguly, and A. Kottantharayil, "Effect of band-to-band tunneling on junctionless transistors," *IEEE Trans. Electron Devices*, vol. 59, no. 4, pp. 1023–1029, 2012.
- [90] M.-H. Han, C.-Y. Chang, H.-B. Chen, Y.-C. Cheng, and Y.-C. Wu, "Device and circuit performance estimation of junctionless bulk FinFETs," *IEEE Trans. Electron Devices*, vol. 60, no. 6, pp. 1807–1813, 2013.
- [91] M.-H. Han, C.-Y. Chang, H.-B. Chen, J.-J. Wu, Y.-C. Cheng, and Y.-C. Wu, "Performance comparison between bulk and SOI junctionless transistors," *IEEE Electron Device Lett.*, vol. 34, no. 2, pp. 169–171, 2013.
- [92] F. Jazaeri, "Modeling junctionless metal-oxide-semiconductor field-effect transistor," EPFL, 2015.
- [93] J.-M. Sallese, N. Chevillon, C. Lallement, B. Iniguez, and F. Prégaldiny, "Charge-based modeling of junctionless double-gate field-effect transistors," *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2628–2637, 2011.
- [94] J. P. Duarte, S.-J. Choi, and Y.-K. Choi, "A full-range drain current model for double-gate junctionless transistors," *IEEE Trans. Electron Devices*, vol. 58, no. 12, pp. 4219–4225, 2011.
- [95] Z. Chen et al., "Surface-potential-based drain current model for long-channel junctionless double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 59, no. 12, pp. 3292–3298, 2012.
- [96] E. Gnani, A. Gnidi, S. Reggiani, and G. Baccarani, "Physical model of the junctionless UTB SOI-FET," *IEEE Trans. Electron Devices*, vol. 59, pp. 941–948, Apr. 2012.
- [97] C.-H. Park et al., "Electrical characteristics of 20-nm junctionless Si nanowire transistors," *Solid-State Electron.*, vol. 73, pp. 7–10, 2012.
- [98] S. Zhu et al., "N-type Schottky barrier source/drain MOSFET using ytterbium silicide," *IEEE Electron Device Lett.*, vol. 25, no. 8, pp. 565–567, 2004.
- [99] M. Jeong, P. M. Solomon, S. E. Laux, H.-S. Wong, and D. Chidambarrao, "Comparison of raised and Schottky source/drain MOSFETs using a novel tunneling contact model," in *International Electron Devices Meeting 1998. Technical Digest (Cat. No. 98CH36217)*, 1998, pp. 733–736.

Bibliographie

- [100] E. J. Nowak et al., “Turning silicon on its edge [double gate CMOS/FinFET technology],” *IEEE Circuits Devices Mag.*, vol. 20, no. 1, pp. 20–31, 2004.
- [101] G. Leung and C. O. Chui, “Variability impact of random dopant fluctuation on nanoscale junctionless FinFETs,” *IEEE Electron Device Lett.*, vol. 33, no. 6, pp. 767–769, 2012.
- [102] F. Jazaeri and J.-M. Sallese, *Modeling nanowire and double-gate junctionless field-effect transistors*. Cambridge University Press, 2018.
- [103] S. K. Saha, *Compact Models for Integrated Circuit Design (Open Access): Conventional Transistors and Beyond*. CRC Press, 2018.
- [104] A. B. Bhattacharyya, *Compact MOSFET models for VLSI design*. John Wiley & Sons, 2009.
- [105] M. J. Kumar, H. Batwani, and M. Gaur, “Approaches to nanoscale MOSFET compact modeling using surface potential based models,” in *2007 International Workshop on Physics of Semiconductor Devices, 2007*, pp. 62–67.
- [106] M. J. Kumar and A. Chaudhry, “Two-dimensional analytical modeling of fully depleted DMG SOI MOSFET and evidence for diminished SCEs,” *IEEE Trans. Electron Devices*, vol. 51, no. 4, pp. 569–574, 2004.
- [107] M. Lundstrom, *Fundamentals of carrier transport*. Cambridge university press, 2009.
- [108] M. Lundstrom and C. Jeong, *Near-Equilibrium Transport: Fundamentals and Applications*, vol. 2. World Scientific Publishing Company, 2012.
- [109] S. Khandelwal et al., “BSIM-IMG: A compact model for ultrathin-body SOI MOSFETs with back-gate control,” *IEEE Trans. Electron Devices*, vol. 59, no. 8, pp. 2019–2026, 2012.
- [110] Y. S. Chauhan et al., *FinFET modeling for IC simulation and design: using the BSIM-CMG standard*. Academic Press, 2015.
- [111] J. P. Duarte, S.-J. Choi, D.-I. Moon, and Y.-K. Choi, “Simple analytical bulk current model for long-channel double-gate junctionless transistors,” *IEEE Electron Device Lett.*, vol. 32, no. 6, pp. 704–706, 2011.
- [112] Z. Chen et al., “Surface-potential-based drain current model for long-channel junctionless double-gate MOSFETs,” *IEEE Trans. Electron Devices*, vol. 59, no. 12, pp. 3292–3298, 2012.
- [113] R. M. Corless, G. H. Gonnet, D. E. Hare, D. J. Jeffrey, and D. E. Knuth, “On the LambertW function,” *Adv. Comput. Math.*, vol. 5, no. 1, pp. 329–359, 1996.

Bibliographie

- [114] T. C. Banwell, "Bipolar transistor circuit analysis using the Lambert W-function," *IEEE Trans. Circuits Syst. Fundam. Theory Appl.*, vol. 47, no. 11, pp. 1621–1633, 2000.
- [115] Z. Zhengfan, L. Zhaoji, T. Kaizhou, and Z. Jiabin, "Investigation into sub-threshold performance of double-gate accumulation-mode SOI PMOSFET," in *2007 7th International Conference on ASIC*, 2007, pp. 1150–1153.
- [116] T. K. Chiang, "A new scaling theory for fully-depleted SOI double-gate MOSFET's: including effective conducting path effect (ECPE)," *Solid-State Electron.*, vol. 49, no. 3, pp. 317–322, 2005.
- [117] T.-K. Chiang, "A quasi-two-dimensional threshold voltage model for short-channel junctionless double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 59, no. 9, pp. 2284–2289, 2012.
- [118] W. DIB, "Modélisation des structures photovoltaïques: Aspects fondamentaux et appliqués," PhD Thesis, 2011.
- [119] Silvaco International, "VWF Interactive Tools, Device Simulation Software, Silvaco International, 2004." 2004.
- [120] Silvaco International, "ATLAS User's Manual, Device Simulation Software, 2004." 2004.
- [121] S. Gundapaneni, P. A. Kottantharayil, and P. S. Ganguly, "Investigation of junction-less transistor (jlt) for cmos scaling," *Indian Inst. Technol.-Bombay*, 2012.
- [122] R. D. Trevisoli, R. T. Doria, M. de Souza, and M. A. Pavanello, "A physically-based threshold voltage definition, extraction and analytical model for junctionless nanowire transistors," *Solid-State Electron.*, vol. 90, pp. 12–17, Dec. 2013, doi: 10.1016/j.sse.2013.02.059.
- [123] J. Saint-Martin, "Étude par simulation Monte Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI," PhD Thesis, Université Paris Sud-Paris XI, 2005.
- [124] C. W. Lee et al., "Short-channel junctionless nanowire transistors," in *Proc. SSDM*, 2010, pp. 1044–1045.
- [125] X. Jin, X. Liu, R. Chuai, J.-H. Lee, and J.-H. Lee, "A compact model of subthreshold characteristics for short channel double-gate junctionless field effect transistors," *Eur. Phys. J.-Appl. Phys.*, vol. 65, no. 3, 2014.
- [126] A. Lin et al., "Threshold voltage and on-off ratio tuning for multiple-tube carbon nanotube FETs," *IEEE Trans. Nanotechnol.*, vol. 8, no. 1, p. 4, 2009.

Bibliographie

- [127] R. BENSEGUENI, “Contribution à l’étude du transport électrique à travers des oxydes très minces (< 10nm) dans des structures MOS,” 2016.
- [128] J.-P. Colinge, “Junctionless transistors,” in 2012 IEEE International Meeting for Future of Electron Devices, Kansai, 2012, pp. 1–2.
- [129] R. K. Baruah, “Silicon vs. germanium junctionless double-gate field effect transistor,” in 2012 International Conference on Devices, Circuits and Systems (ICDCS), 2012, pp. 235–238.

PUBLICATION ET COMMUNICATIONS

Publication

Faiza Merad, Ahlam Guen-Bouazza, DC performance analysis of a 20 nm gate length n-type silicon GAA junctionless (SI JL-GAA) transistor, International Journal of Electrical and Computer Engineering (IJECE), Vol. 10, No.4, August 2020, pp. 4043-4052, ISSN: 2088-8708, DOI: 10.11591/ijece.v10i4.pp4043-4052.

Communication

F. Merad, A. Guen-Bouazza, and A. E. Merad, Optimization of Ultra-Thin CIGS Based Solar Cells by Adding New Absorber Layers: InGaAs and AlGaAs, ICREEC 2019: International Conference on Renewable Energy Conversion, November 11-13, 2019, Oran, Algeria.

F. Merad, A-A.Kanoun, A. Guen-Bouazza, Investigation on the Performance of Ultra-Thin CIGS based solar cells Using SCAPS Software ,XIII^{èmes} Journées Maghrébines des Sciences des Matériaux- JMSM'2020, , 09-11 Mars 2020, Oran, Algérie.

Chapitre

F. Merad, A. Guen-Bouazza, A.-A. Kanoun, and A. E. Merad, Optimization of Ultra-Thin CIGS Based Solar Cells by Adding New Absorber Layers: InGaAs and AlGaAs, ICREEC 2019, Springer Proceedings in Energy, Chapter 50, https://doi.org/10.1007/978-981-15-5444-5_50.

Citation

Hakkee Jung, Analysis of subthreshold swing in junctionless double gate MOSFET using stacked high-*k* gate oxide, International Journal of Electrical and Computer Engineering (IJECE) Vol. 11, No. 1, February 2021, pp. 240~248 ISSN: 2088-8708, DOI: 10.11591/ijece.v11i1.pp240-248.

Hakkee Jung, Byungon Kim, Analysis on-off current ratio in asymmetrical junctionless double gate MOSFET using high- k dielectric materials, International Journal of Electrical and Computer Engineering (IJECE) Vol. 11, No. 5, October 2021, pp. 3882~3889 ISSN: 2088-8708, DOI: 10.11591/ijece.v11i5.pp3882-388

HoKokPow, Mathan N, Mohamed Sultan Mohamed Ali, Muhammad Luqman Mohd Napi1, Ali Hosseingholipouras, Fatimah Khairiah Abd Hamid, Electrical Characterization of N-MOS and P-MOS Junctionless Gate-All-Around (GAA) Mosfet for an Inverter Application, ELEKTRIKA journal of electrical engineering Vol. 20, No. 2-2, 2021, 93-97, ISSN 0128-442

DC performance analysis of a 20nm gate length n-type Silicon GAA junctionless (Si JL-GAA) transistor

Faiza Merad¹, Ahlam Guen-Bouazza²

Unit of Research Materials and Renewable Energies, Department of Electronics, Faculty of Technology, University Abou-Bakr-Belkaid, Algeria

Article Info

Article history:

Received Dec 19, 2019

Revised Feb 25, 2020

Accepted Mar 3, 2020

Keywords:

Gate-all-around

Junctionless

MOSFETs

SCEs

SILVACO

ABSTRACT

With integrated circuit scales in the 22-nm regime, conventional planar MOSFETs have approached the limit of their potential performance. To overcome short channel effects 'SCEs' that appears for deeply scaled MOSFETs beyond 10nm technology node many new device structures and channel materials have been proposed. Among these devices such as Gate-all-around FET. Recently, junctionless GAA MOSFETs JL-GAA MOSFETs have attracted much attention since the junctionless MOSFET has been presented. In this paper, DC characteristics of an n-type JL-GAA MOSFET are presented using a 3-D quantum transport model. This new generation device is conceived with the same doping concentration level in its channel source/drain allowing to reduce fabrication complexity. The performance of our 3D JL-GAA structure with a 20nm gate length and a rectangular cross section have been obtained using SILVACO TCAD tools allowing also to study short channel effects. Our device reveals a favorable on/off current ratio and better SCE characteristics compared to an inversion-mode GAA transistor. Our device reveals a threshold voltage of 0.55 V, a sub-threshold slope of 63mV / decade which approaches the ideal value, an Ion/Ioff ratio of 10e + 10 value and a drain induced barrier lowering (DIBL) value of 98mV/V.

Copyright © 2020 Institute of Advanced Engineering and Science.
All rights reserved.

Corresponding Author:

Faiza Merad, Guen Ahlam,
Unit of Research Materials and Renewable Energies,
Department of Electronics, Faculty of Technology,
University Abou-Bakr-Belkaid,
Tlemcen, Algeria BP330 Tlemcen.
Email: meradfaiza13@gmail.com, guenahlam@yahoo.fr

1. INTRODUCTION

Today, a large part of the world economy is owned by the electronics industry. In 1958, integrated circuit concept was introduced by J. Kilby. A few years later, in 1965 [1] Gordon MOORE enunciated his law explaining that the number of transistors on a chip will double every 18 months. With MOSFETs miniaturization the integration density increased allowing to reduce significantly manufacturing costs. Hence, reduction of conventional MOSFETs dimensions has reached its limits because of the appearance of unpleasant effects called "short-channel effect" [2-8] that became very pronounced. In order to reduce these issues a new MOSFET architectures have been developed. These new multiple gate devices also called MUGFET have been extensively studied. This multiple gate devices that replace the conventional MOSFET are : Double-gate, Triple-gate, Pi-gate, Omega-gate, Surrounding gate (square and cylindrical gate-all-around), and finally junctionless FET [9-11] also referred to as junctionless gated resistor that has simpler and less number of fabrication steps than the conventional MOSFETs.

Junctionless transistors are variable resistors that are controlled by the device gate electrode. The silicon channel is a heavily doped nanowire that can be fully depleted to turn the device off. The device

electrical characteristics are the same to normal MOSFETs ones, but the physics is dissimilar. The very first Junctionless transistor has been proposed by Lilienfeld in 1925, but was remained as an idea and was regrettably never fabricated. In 2010, the first JLT was effectively fabricated by J.P. Colinge. In 2011, Choi et al. have conceived a 50 nm gate length gate GAA JLT architecture fabricated on silicon. Later, an N-channel JLT GAA with heavily doped poly-silicon nanowire channel has been reported by Su et al. Zhao et al studied in 2011 a P-type JLT device on Germanium-on-insulator. Dr. A Kranti, J P Colinge and their research group have detailed the design guidelines of such a structure, see Figure 1 [12].

The junctionless transistor is a very promising Metal-Oxide-semiconductor field effect transistor architecture based on a single type (N+N+N+ or P+P+P+) doping of source, drain and channel [13-15]. Junctionless FET represents an innovative class of field effects devices having no abrupt doping junctions. As cited before, the basic structure of a junctionless transistor consists of a uniformly highly doped channel that is controlled by the device gate electrode. This no-junction device is basically a resistor in which the mobile carrier density can be modulated by the device gate. Unlike its conventional MOSFET counterpart, the JLT offers diverse advantages such as : a simpler manufacturing process, a reduced propagation delay, a low electric field at ON state [16], volume conduction (in bulk), improved mobility and insensitive to gate / channel interface effects [15], dynamic power dissipation, and faster switching. It has been shown that the ideal MOSFETs threshold slope obtained is equal to 60 mV / decade actually; manufactured devices can not achieve this value due for exemple to the influence of interface traps. However, the conduction mechanism in the junctionless transistor is based on volume conduction leading its threshold slope to approach the ideal threshold slope value [9].

Different works have been presented studying JLT devices such as bulk planar JLTFET [16], single gate silicon-on-insulator (SOI) JLFET [15], multi-gate nanowire junctionless transistors[17], gate-all-around nanowire junctionless transistors [18], as well as junctionless tunnel FET [19]. Our study allows us to design a 3D GAA junctionless transistor with rectangular cross section using ATLAS SILVACO software. 3-D bohm quantum potential (BQP) transport device simulation has been used to evaluate the conceived device performance allowing considering quantum effects. In this work, SCEs of our conceived JLT GAA are also investigated.

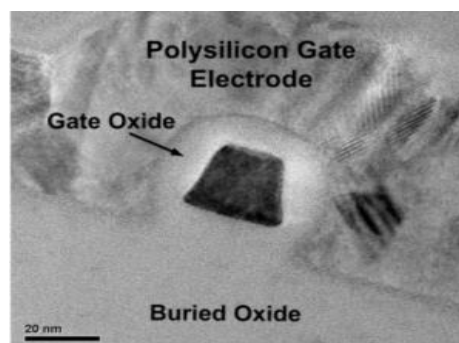


Figure 1. TEM cross section of a JLT nanowire transistor [12]

2. DEVICE DESCRIPTION

MUGFET transistors are further characterized based on the doping of their source, drain and channel regions. The performance variations of JL-GAA FETs strongly depends on doping concentration where the ultrathin active silicon film doping must be as much as necessary high in order to achieve an appropriate source/drain series resistance as realizing efficient volume depletion. Usually, there are three main conduction mechanisms in multigate FETs from the doping prospective. That are inversion, accumulation and partial depletion mode, where the source, drain and channel regions are doped as N+P N+, N+N N+ and N+N+N+ respectively. The inversion and accumulation mode transistors [14], [20]–[22] are the standard MOSFETs based on the formation of PN or Schottky junctions where the drain is initially reverse biased to restrict any current flow in the channel region unless a sufficient gate voltage is being applied to create an inversion layer to provide a way for the carriers to flow between the source and drain regions. Hence these transistors are normally off and after the inversion layer being created, the current flows and the transistor turned on.

Figure 2 shows the energy band diagram for an n-channel junctionless transistor, here we assume a P+ polysilicon gate electrode. Flat-band condition is achieved while a positive gate bias equal to

the workfunction difference between the nanowire and the gate material is applied to the gate of the device as shown in Figure 2 (a). When a zero gate bias is applied, the channel region is fully depleted as shown in Figure 2 (b).

The JL-GAA device is studied using 3-D Silvaco TCAD simulation. SILVACO can analyze and predict the behavior of new devices, without the elevated cost required to manufacture the real components [23]. In order to highlight the ameliorations in performance made by the JL GAA devices compared to GAA ones, these two structures are studied. Figure 3 shows the 3-D n-channel Junctionless Gate-All-Around structure conceived and studied in this work. The gate length L_g , is fixed at 20 nm according to ITRS specifications for the technology node used. As shown in Figure 3 (b) a refined meshing has been used in our device channel region and a less refined meshing is used in the other regions, to optimize the time of device characteristics simulation. The studied JLT GAA and GAA cross-sections are shown in Figure 4. Figure 4, allows to spotlight the difference between the GAA and GAA JLT where for junctionless transistor channel, source and drain are uniformly highly doped. All parameters details for our simulated JLT GAA are given in Table 1.

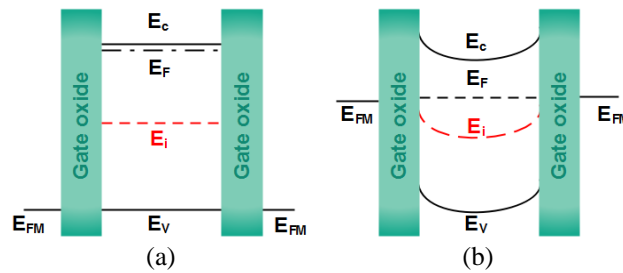


Figure 2. Energy-band diagram for an n-channel Junctionless transistor in (a) flat-band condition (the device is turned on), (b) in off state (the channel region is fully depleted)

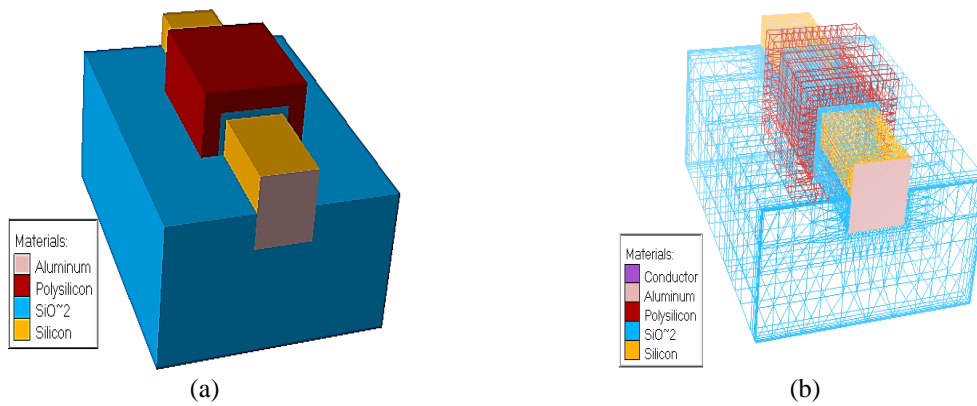


Figure 3. (a) Device structure of n-type GAA and GAA-JLT, (b) meshing structure of n-type GAA and GAA-JLT

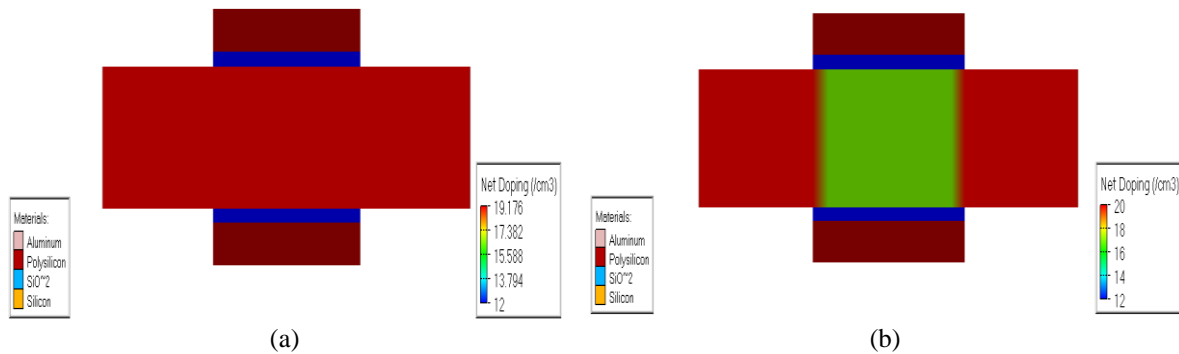


Figure 4. Cross-section of GAA MOSFET with doping concentration (a) JL GAA, (b) GAA

Table 1. Device Parameters of JL GAA

Device Parameters	JL GAA (N+N+N+)
Gate length	20nm
Channel width	10 nm
Channel height	10 nm
Gate oxide thickness	1 nm
N-Channel concentration level	1.5e+19
Buried oxide layer thickness	20 nm

3. RESULTS AND DISCUSSION

In this section, DC performance parameters of the studied Junctionless GAA are presented, allowing to enumerate our device characteristics such as its on-state current, its threshold voltage, the DIBL, Sub-threshold slope (SS) and I_{on}/I_{off} ratio. Our results have been obtained using ATLAS SILVACO software where quantum effects have been considered to describe accurately the electrical behaviours of all nanoscale devices and to assess their performance limits.

The on-state current drive of the junctionless transistor is given by [14] :

$$I_{DSat} \approx q\mu N_D \frac{T_{ch} W_{ch}}{L} V_D \quad (1)$$

$$V_{DSat} = V_G - V_{Fb} - \left(\frac{qN_D T_{ch}}{2\epsilon_{ch}} + \frac{qN_D T_{ch}}{C_{ox}} \right) \quad (2)$$

N_D is the doping density, T_{ch} and W_{ch} are the channel thickness and width respectively, V_D is the drain voltage, L is the gate length, ϵ_{ch} is the relative permittivity of the channel material and C_{ox} is the gate oxide capacitance. $I_{DS}-V_{DS}$ characteristics of the studied n-channel JL-GAA under different supply voltage V_{GS} levels are reported in Figure 5. $I_{DS}-V_{GS}$ characteristic is reported in Figure 6.

The junctionless gate all around transistors are practically fully depleted by regulating the work function of gate material at OFF-state. This device needs reasonably high doping for relatively a high drive current at ON-state. We can see that our device shows an excellent electrostatic control with relatively high ON-state current and low OFF-state one leading to a high I_{ON}/I_{OFF} ratio.

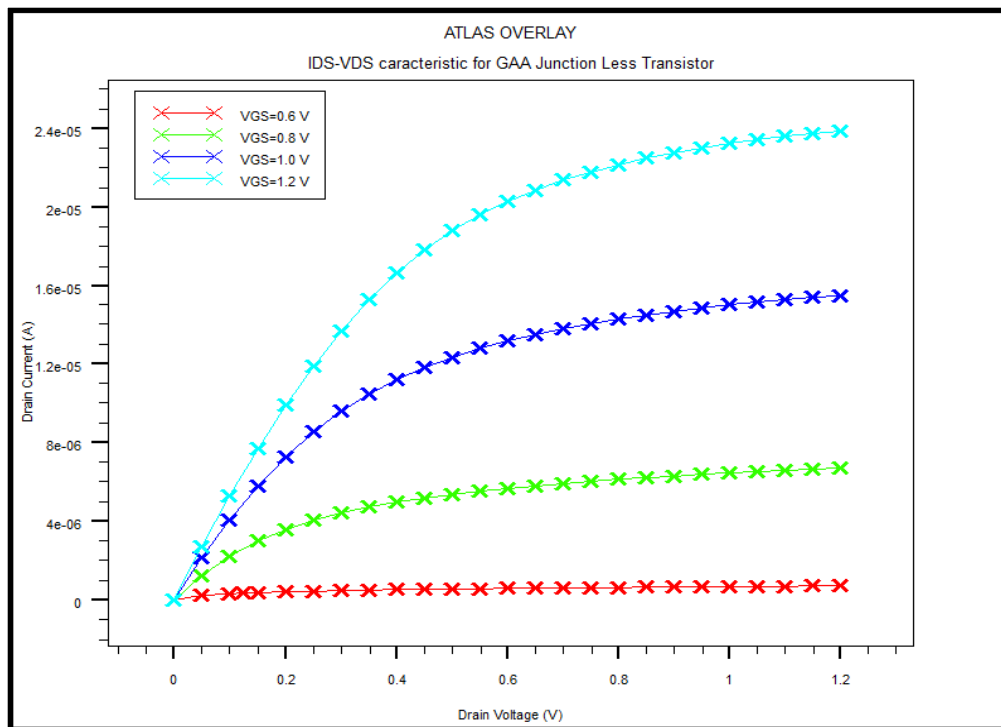


Figure 5. Output characteristics of GAA Junctionless transistor

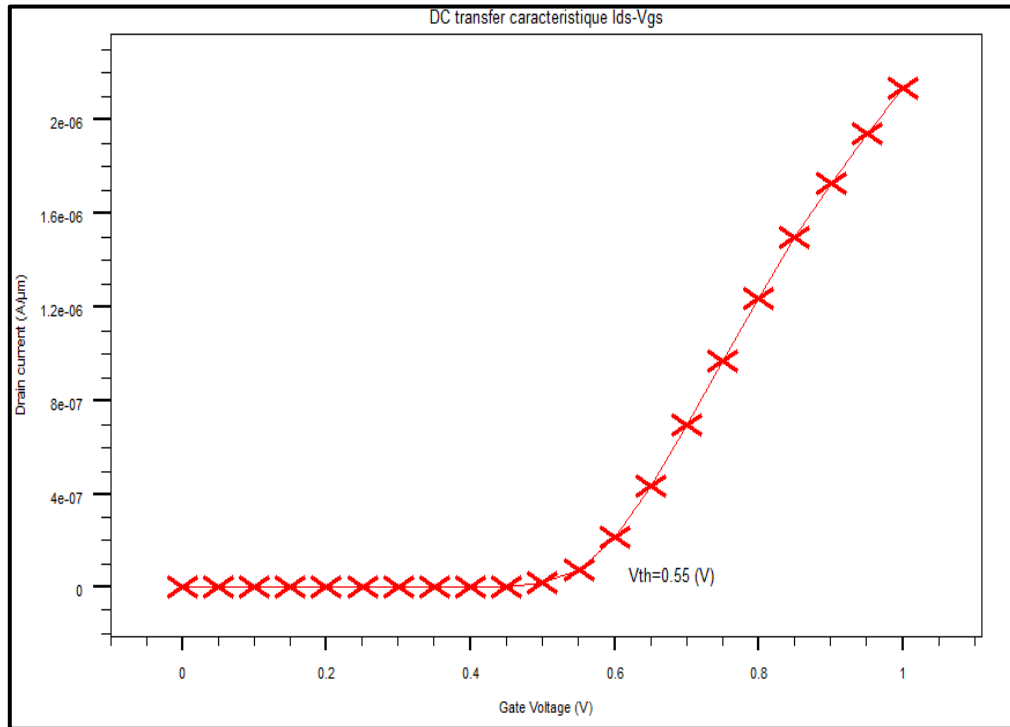


Figure 6. Transfer characteristics of GAA Junctionless transistor

3.1. Threshold voltage (V_{th})

The threshold voltage is the gate voltage at which the magnitude of diffusion current equals drifts current and transistor turns on. The expression of V_{th} is given by [24]:

$$V_{th} = \phi_{MS} - qN_D \left[\frac{WH}{C_{ox}} + \frac{1}{\epsilon_{ch}} \left(\frac{WH}{2H+W} \right)^2 \right] + \frac{\pi^2 \hbar^2}{2qm^*} \left[\frac{1}{H^2} + \frac{1}{W^2} \right] \quad (3)$$

where ϕ_{MS} is the metal-semiconductor work function, N_D is the carrier doping concentration, W and H are the channel width and height respectively, ϵ_{ch} is the relative permittivity of the channel material, C_{ox} is the gate oxide capacitance, m^* is the effective mass and h is the Planck's constant. The GAA JL transistor for our simulation turned on at $V_{th}=0.55$ V as shown in Figure 5. Our results allow to observe that we have obtain an appropriate V_{th} due to the P++ doping polysilicon gate used.

3.2. Drain-induced-barrier-lowering (DIBL)

The DIBL is one of many short channels effects. It is attributed to the electrostatic influence of the drain on the barrier height of injection barrier. By increasing the drain voltage V_{DS} , there is expansion of the space charge area at the drain. This space charge area can reduce the height of the injection barrier. The DIBL is given by [25] :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_{DS}} \quad (4)$$

The DIBL for the MOSFET devices is generally higher than 100mV/V for the gate length less than 50 nm [25]. For our device the DIBL = 98.3 mV/V as shown in Figure 7 for gate length 20 nm. This relatively low value is due to the absence of junction in JL GAA Transistor [26].

3.3. Sub-threshold slope (SS)

The SS is another parameter of short channel effects to estimate the sub-threshold characteristics "SS" of nanoscale short channel MOSFET devices [27]. SS determines the efficiency of a transistor to switch from its off-state to its on-state. It is defined as [14]:

$$SS = \frac{\delta V_{GS}}{\delta(\log I_{DS})} \tag{5}$$

As shows in Figure 8 the SS of our GAA JL transistor is low (< 80mV/dec) and is equal to 63mV/dec at room temperature.

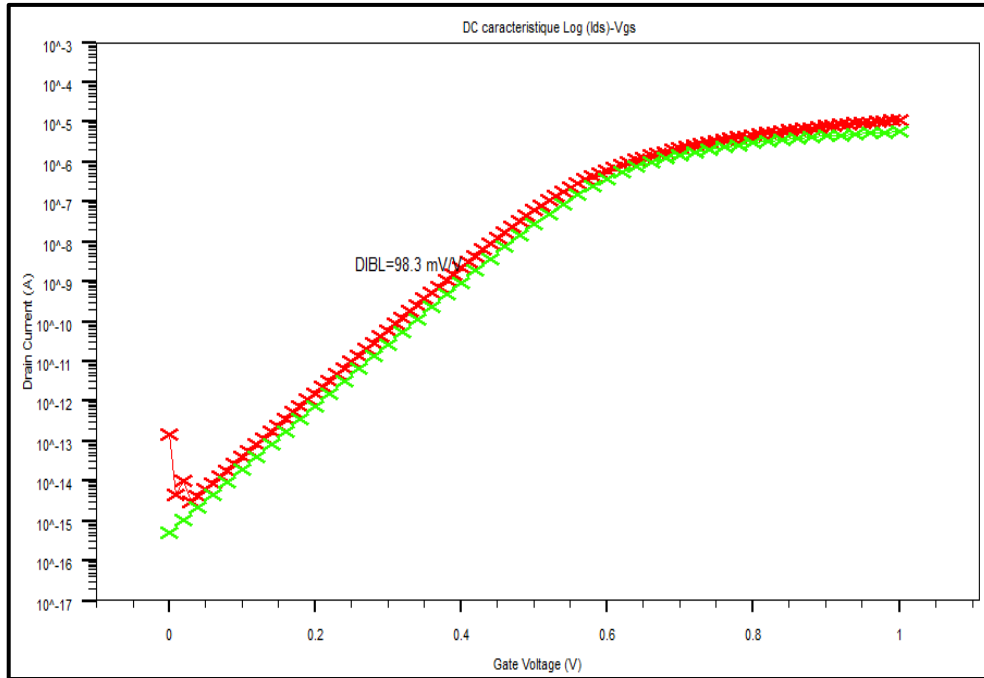


Figure 7. Transfer characteristics log(I_{DS}) vs V_{GS} of GAA Junction Less transistor at different value of V_{DS}

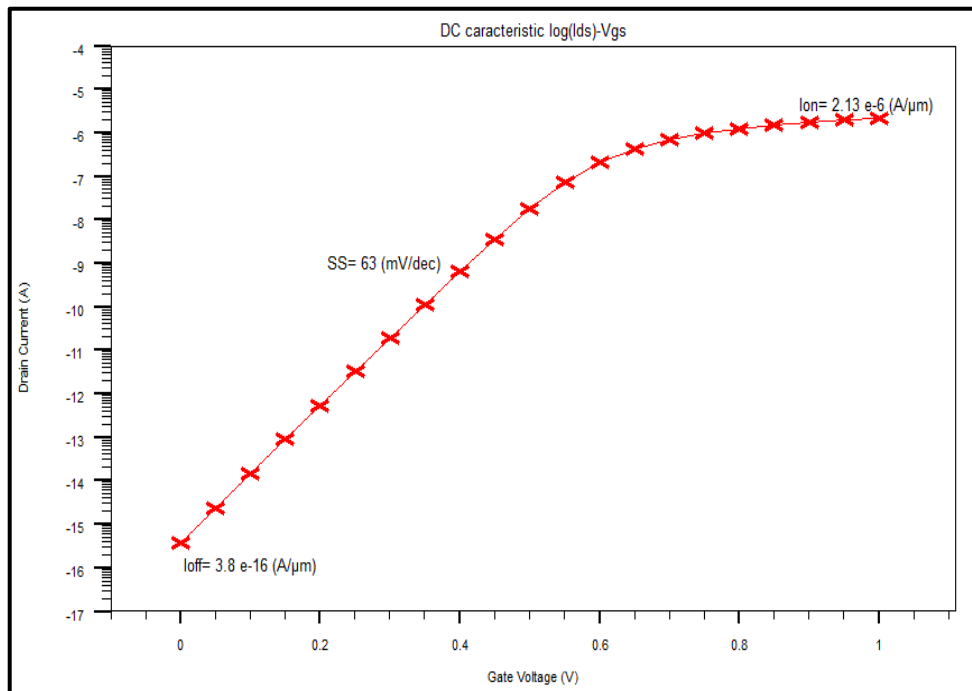


Figure 8. Transfer characteristics log(I_{DS}) vs V_{GS} of GAA Junction Less transistor

3.4. I_{on} , I_{off} and I_{on}/I_{off} ratio

The on-state current (I_{on}) is defined as the value of the drain current (I_D) at high value of V_{GS} with a constant V_{DS} voltage. The off-state current (I_{off}) is defined as the value of the drain current (I_D) at low value of V_{GS} and constant V_{DS} [28]. For JLT devices and in the on-state, there is a large body current. This body current is due to the doping concentration in the channel that is relatively high, to which surface accumulation current can be added. In an other hand, in the off-state the device channel is turned off by depletion of carriers and this is in fact due to the difference in workfunction between the material of the device gate and the semiconductor. Indeed, in JLT devices, the doping has to be high enough for obtaining a suitable current drive and the cross section of JLT devices has to be sufficiently small to be able to turn the device off. More gate control leads to more I_{on}/I_{off} ratio which represents high performance (high I_{on}) and low leakage current (low I_{off}) for the CMOS transistor, Typically it is around $10^6 \sim 10^{10}$. Any decrease in I_{on}/I_{off} ratio can cause slow output transitions or low output swings. For our device the $I_{on}/I_{off} \approx 10^6 \sim 10^{10}$. All the results obtained for our simulation are given in Table 2.

Table 2. Variation of the device electrical parameters

	JLGAA
DIBL (mV/V)	98,3
I_{on} (A)	2.13E-6
I_{off} (A)	3.8E-16
I_{on}/I_{off}	0.55E+10
SS (mV/dec)	63
V_{th} (V)	0.55

3.5. Comparative study of Si-JLT GAA and Ge-JLT GAA

In order to study the impact of channel material on the device characteristics Silicon and Germanium n-channel JL-GAA are presented. The output characteristics of these devices under different supply voltage V_{GS} levels are reported in Figure 9. The transfer characteristic is shown in Figure 10.

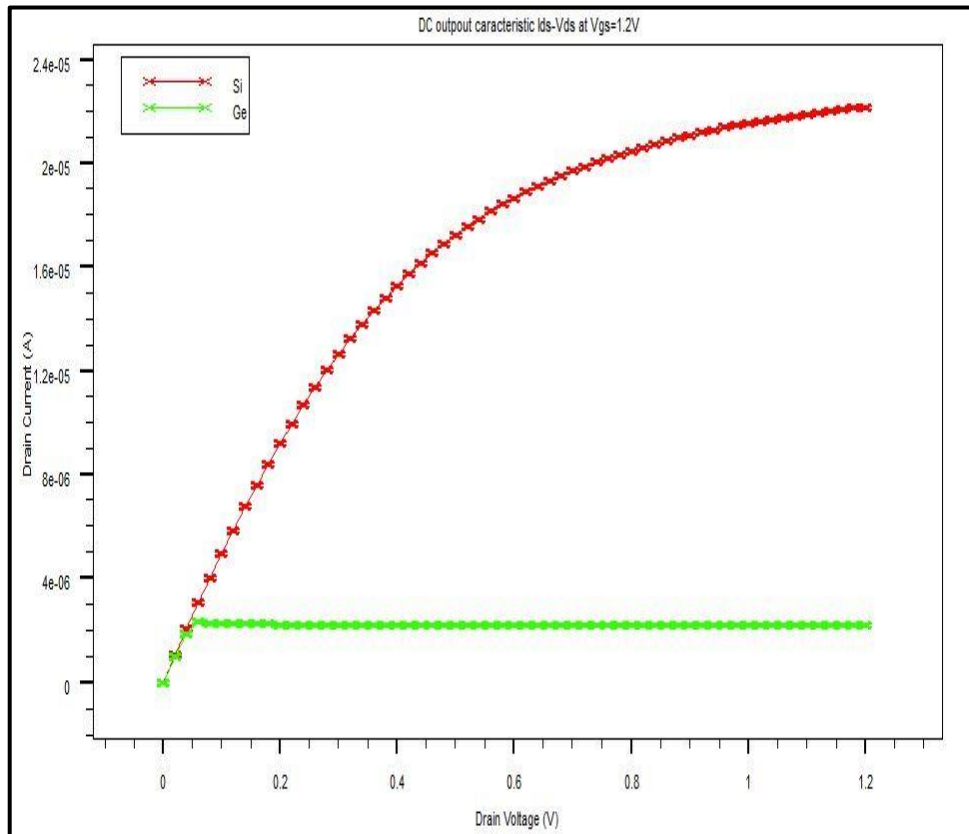


Figure 9. Output characteristics of Si and Ge GAA Junctionless transistor

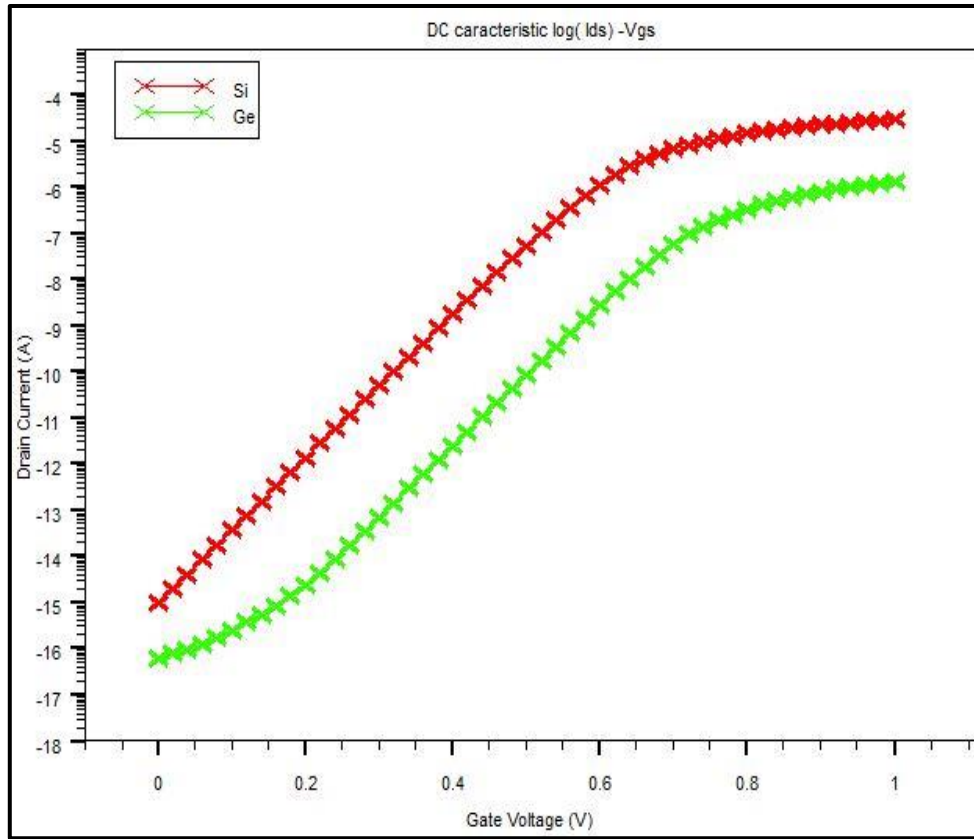


Figure 10. Transfer characteristics of Si and Ge GAA Junctionless transistor

The I_{on} current of a silicon n-channel JLT-GAA is about twice upper than I_{on} current of a germanium-channel JLT-GAA. DC performances of our two devices are given in Table 3. Our results allow us to confirm that silicon JLT-GAA have better DC performance compared to Germanium JLT-GAA. The leakage current of a germanium JLT-GAA is lesser than a leakage current of a silicon device. This result is due to the difference between the band gap energy of germanium and band gap energy of silicon ($E_{gGe} < E_{gSi}$). The I_{off} current is given by [29]:

$$I_{off} = I_0 e^{((V_{GS}-V_{th})/\eta U_T)} \tag{6}$$

η is a coefficient that expresses the sensitivity of the transistor control by the gate and I_0 is a current value at $V_{GS}=V_{th}$. The metal-semiconductor work function $\phi_{MS}(\phi_{MS} = \phi_M - (\chi_s + (E_g/2q) + \phi_F))$ depends on the band gap energy E_g . When E_g increases ϕ_{MS} decreases, threshold voltage V_{th} decreases and I_{off} increases. In Table 4 we summarize all our simulation results that we compare to some results found in literature. Our results are compared to some results found in literature. We can see that the results we obtained are in agreement with other results obtained for different JLT GAA devices, which indicates the good approach of our simulations.

Table 3. DC results obtained for Si and Ge GAA JLT

	Si-JLGAA	Ge-JLGAA
DIBL (mV/V)	98,3	11.2
I_{on} (A)	2.13E-6	1.31E-6
I_{off} (A)	3.8E-16	6.33E-17
I_{on}/I_{off}	0.55E+10	2.07E+10
SS (mV/dec)	63	64
V_{th} (V)	0.55	0.72

Table 4. Different results obtained for JLT GAA found in literature.

Structure	Simulation results obtained for our 20nm gate length JLT GAA		[14]	[26]	[30]	[31]	
	Si-JL-GAA	Ge-JL-GAA	JL-Multigate	JL-NW	JL-NW	Si-JL-DG	Ge-JL-DG
Lg (nm)	20	20	1000	50	20	20	20
W(nm)	10	10	30	-	10	10	10
DIBL (mV/V)	98,3	11.2	-	7	78	47	22
I _{on} (A)	2.13E-6	1.31E-6	-	-	1000uA/um	-	-
I _{off} (A)	3.8E-16	6.33E-17	1E-15	-	-	-	-
I _{on} /I _{off}	0.55E+10	2.07E+10	>>1E+6	-	5E+6	-	-
SS (mV/dec)	63	64	64	60	92	69.2	64.7
V _{th} (V)	0.55	0.72	-	-	-	-	-

4. CONCLUSION

In this paper, the DC device performance analysis of a 20nm gate length n-type Junctionless transistor GAA with a rectangular cross section has been evaluated. This Junctionless transistor is a variable resistor controlled by a gate electrode. For this work, a 3-D Bohm Quantum Potential (BQP) transport device simulation has been used to evaluate the DC device performance. The studied device reveals a low sub-threshold slope SS=63 mV/decade, and a good current density 25mA/mm. The Junctionless device structure studied shows improved ON to OFF current ratio of about 10e+10 that can be observed from our results compared to GAA MOSFET because of reduced SCEs. In addition, our device shows lower SS and DIBL to those of the GAA device at gate length Lg of 20 nm. At the end of this study, we can observe that the DC behaviour exhibited by the proposed GAA JL device is very promising. Indeed, the junctionless improves the control of the gate on the channel allowing using this device in different applications.

REFERENCES

- [1] G. Moore, "Cramming more components onto integrated circuits," *Electronics*, vol. 38, no. 8. 1965.
- [2] A. Litty, "Conception, fabrication, caractérisation et modélisation de transistors MOSFET haute tension en technologie avancée SOI (Silicon-On-Insulator)," *PhD Thesis, Grenoble Alpes*, 2016.
- [3] P. Razavi, "Simulation of multigate SOI transistors with silicon, germanium and III-V channels," 2013.
- [4] T. Nguyen, "Caractérisation, modélisation et fiabilité des diélectriques de grille à base de HfO2 pour les futures technologies CMOS," *PhD Thesis, Thèse de Doctorat*, 2009.
- [5] H. K. Jung and S. Dimitrijević, "The Impact of Tunneling on the Subthreshold Swing in Sub-20 nm Asymmetric Double Gate MOSFETs," *International Journal of Electrical and Computer Engineering (IJECE)*, vol. 6, no. 6, pp. 2730–2734, 2016.
- [6] D. Jiménez, B. Iníguez, J. Suñé, and J. J. Sáenz, "Analog performance of the nanoscale double-gate metal-oxide-semiconductor field-effect-transistor near the ultimate scaling limits," *Journal of Applied Physics*, vol. 96, no. 9, pp. 5271–5276, 2004.
- [7] D. Jiménez, J. J. Saenz, B. Iniguez, J. Sune, L. F. Marsal, and J. Pallares, "Modeling of nanoscale gate-all-around MOSFETs," *IEEE Electron Device Letters*, vol. 25, no. 5, pp. 314–316, 2004.
- [8] J.-T. Park and J.-P. Colinge, "Multiple-gate SOI MOSFETs: device design guidelines," *IEEE transactions on electron devices*, vol. 49, no. 12, pp. 2222–2229, 2002.
- [9] M. A. Riyadi, I. D. Sukawati, T. Prakoso, and D. Darjat, "Influence of Gate Material and Process on Junctionless FET Subthreshold Performance," *International Journal of Electrical and Computer Engineering (IJECE)*, vol. 6, no. 2, pp. 895–900, 2016.
- [10] S.-H. Oh, D. Monroe, and J. M. Hergenrother, "Analytic description of short-channel effects in fully-depleted double-gate and cylindrical, surrounding-gate MOSFETs," *IEEE electron device letters*, vol. 21, no. 9, pp. 445–447, 2000.
- [11] Y. H. Hashim, Y. Atalla, A. N. A. Ghafar, and W. A. Jabar, "Temperature Characterization of (Si-FinFET) based on Channel Oxide Thickness," *TELKOMNIKA (Telecommunication Computing Electronics and Control)*, vol. 17, no. 5, Oct. 2019.
- [12] A. Kranti et al., "Junctionless nanowire transistor (JNT): Properties and design guidelines," in *2010 Proceedings of the European Solid State Device Research Conference*, pp. 357–360, 2010.
- [13] M.-H. Han, C.-Y. Chang, H.-B. Chen, Y.-C. Cheng, and Y.-C. Wu, "Device and circuit performance estimation of junctionless bulk FinFETs," *IEEE Transactions on Electron Devices*, vol. 60, no. 6, pp. 1807–1813, 2013.
- [14] J.-P. Colinge et al., "Nanowire transistors without junctions," *Nature nanotechnology*, vol. 5, no. 3, paper. 225, 2010.
- [15] J. P. Colinge, "Silicon-on-insulator (SOI) junctionless transistors," in *Silicon-On-Insulator (SOI) Technology*, Elsevier, pp. 167–194, 2014.
- [16] S. Gundapaneni, S. Ganguly, and A. Kottantharayil, "Bulk planar junctionless transistor (BPJLT): An attractive device alternative for scaling," *IEEE Electron Device Letters*, vol. 32, no. 3, pp. 261–263, 2011.

- [17] F. Jazaeri, L. Barbut, A. Koukab, and J.-M. Sallese, "Analytical model for ultra-thin body junctionless symmetric double gate MOSFETs in subthreshold regime," *Solid-State Electronics*, vol. 82, pp. 103–110, 2013.
- [18] M. Najmzadeh, M. Berthomé, J.-M. Sallese, W. Grabinski, and A. M. Ionescu, "Electron mobility extraction in triangular gate-all-around Si nanowire junctionless nMOSFETs with cross-section down to 5 nm," *Solid-State Electronics*, vol. 98, pp. 55–62, 2014.
- [19] P. Bal, M. W. Akram, P. Mondal, and B. Ghosh, "Performance estimation of sub-30 nm junctionless tunnel FET (JLTFET)," *Journal of Computational Electronics*, vol. 12, no. 4, pp. 782–789, 2013.
- [20] J.-P. Colinge, X. Baie, V. Bayot, and E. Grivei, "A silicon-on-insulator quantum wire," *Solid-State Electronics*, vol. 39, no. 1, pp. 49–51, 1996.
- [21] D. Hisamoto, T. Kaga, Y. Kawamoto, and E. Takeda, "A fully depleted lean-channel transistor (DELTA)-a novel vertical ultra thin SOI MOSFET," in *International Technical Digest on Electron Devices Meeting*, pp. 833–836, 1989.
- [22] J.-P. Colinge, "FinFETs and other multi-gate transistors," *Springer*, vol. 73, 2008.
- [23] A. Guen and B. Bouazza, "Numerical Simulation of a Nanoscale DG N-MOSFET Using SILVACO Software," *International Journal of Science and Advanced Technology*, vol. 2, no. 6, Jun. 2012.
- [24] R. D. Trevisoli, R. T. Doria, M. de Souza, and M. A. Pavanello, "A physically-based threshold voltage definition, extraction and analytical model for junctionless nanowire transistors," *Solid-State Electronics*, vol. 90, pp. 12–17, Dec. 2013.
- [25] J. Saint-Martin, "Étude par simulation Monte Carlo d'architectures de MOSFET ultracourts à grille multiple sur SOI," PhD Thesis, Université Paris Sud-Paris XI, 2005.
- [26] C. W. Lee et al., "Short-channel junctionless nanowire transistors," in *Proc. SSDM*, pp. 1044–1045, 2010.
- [27] X. Jin, X. Liu, R. Chuai, J.-H. Lee, and J.-H. Lee, "A compact model of subthreshold characteristics for short channel double-gate junctionless field effect transistors," *The European Physical Journal-Applied Physics*, vol. 65, no. 3, 2014.
- [28] A. Lin et al., "Threshold voltage and on-off ratio tuning for multiple-tube carbon nanotube FETs," *IEEE transactions on nanotechnology*, vol. 8, no. 1, paper. 4, 2009.
- [29] R. Bensegueni, "Contribution à l'étude du transport électrique à travers des oxydes très minces (< 10nm) dans des structures MOS," PhD Thesis, Département D'électronique, Faculte Des Sciences De La Technologie, Université Frères Mentouri Constantine, Algeria, 2016. [Online]. Available: <http://193.194.84.142/theses/electronique/BEN6980.pdf>
- [30] J.-P. Colinge, "Junctionless transistors," in *2012 IEEE International Meeting for Future of Electron Devices, Kansai*, pp. 1-2, 2012.
- [31] R. K. Baruah, "Silicon vs germanium junctionless double-gate field effect transistor," in *2012 International Conference on Devices, Circuits and Systems (ICDCS)*, pp. 235–238, 2012.

Résumé

Les transistors sont les éléments constitutifs fondamentaux des dispositifs électroniques modernes et tous les transistors existants contiennent des jonctions semi-conductrices. Cependant, Au fur et à mesure que le canal atteint des longueurs inférieures à 20 nm, le MOSFET conventionnel nécessitera des dopages extraordinairement élevés et des profils de dopage très raide au niveau des jonctions source-canal et canal-drain. Les nouvelles architectures de dispositif sans jonction deviennent très intéressantes pour concevoir des transistors MOS avec des longueurs de canaux ultracourtes. Nous proposons dans ce travail une structure MOSFET sans jonction à grille enrobante et à section carré hautement évolutif de type GAA JLT-MOSFET. Ce type de dispositif est actuellement considéré comme l'un des meilleurs candidats pour la conception de dispositifs CMOS nanométriques en raison de la simplicité et flexibilité de leur procédé de fabrication combinée à d'excellentes performances. Le canal des JLT -MOSFET est fortement dopé et est identique à celui des régions source/drain (S/D), et une couche mince est nécessaire pour fournir un épuisement complet des porteurs à l'état OFF de ce dispositif. Ainsi les travaux proposés dans cette thèse sont dédiés principalement à l'étude et la modélisation par le biais de la simulation d'une structure sans jonction à grille entourant (GAAJLFET) à l'aide du logiciel SILVACO-TCAD. Les résultats obtenus par simulation nous ont permis d'évaluer les performances d'un tel dispositif à travers ses caractéristiques électriques permettant de mettre en évidence l'importance de ce type de dispositif dans les structures nanométriques.

Mots clés : JLFET, GAA-JLFET, Transistor sans jonction, MOSFET, SILVACO-TCAD, simulation, grille enrobante.

Abstract

Transistors are the fundamental building blocks of modern electronic devices, and all existing transistors contain semiconductor junctions. However, as the channel reaches lengths less than 20nm, the conventional MOSFET will require extraordinarily high doping and very steep doping profiles at the source/channel and drain/channel. New junctionless device architectures are becoming very interesting for designing MOS transistors with ultrashort channel lengths. We propose in this work a MOSFET structure without junction with wrapping gate and square section a GAA JLT-MOSFET type. This type of device is currently considered one of the best candidates for the design of nanoscale CMOS devices due to the simplicity and flexibility of their manufacturing process combined with excellent performance. The JLT -MOSFET channel is heavily doped and is identical to that of the source / drain regions, and a thin film is required to provide complete depletion of the carriers in the OFF state of this device. Thus the work proposed in this thesis is mainly dedicated to the study and modeling through the simulation of a GAAJLFET structure using the SILVACO-TCAD software. The results obtained by simulation have enabled us to assess the performance of such a device through its electrical characteristics, which highlight the importance of this type of device in nanometric structures.

Keywords: JLFET, GAAJLFET, junction less transistor, MOSFETs, SILVACO-TCAD, simulation, gate all around.

الملخص

الترانزستورات هي اللبنات الأساسية للأجهزة الإلكترونية الحديثة ، وتحتوي جميع الترانزستورات الموجودة على صمامات أشباه ناقلة. ومع ذلك ، نظرًا لأن القناة تصل أطوالها إلى أقل من 20 نانومتر ، فإن MOSFET التقليدي سيتطلب منشطات عالية بشكل غير عادي وملامح منشطات شديدة الانحدار عند المصدر / القناة والصرف / القناة. أصبحت البنى الجديدة للأجهزة غير المتقاطعة مثيرة جدًا للاهتمام لتصميم ترانزستورات MOS ذات أطوال قنوات فائقة القصر. نقترح في هذا العمل هيكل MOSFET بدون صمام مع بوابة التفاف وقسم مربع الشكل. GAA JLT-MOSFET يعتبر هذا النوع من الأجهزة حاليًا أحد أفضل المرشحين لتصميم أجهزة CMOS ذات المقياس النانومتري نظرًا لبساطته ومرونة عملية التصنيع إلى جانب الأداء الممتاز. قناة JLT -MOSFET منشطة بشكل كبير وهي مطابقة لمناطق المصدر / التصريف، ويلزم وجود طبقة رقيقة لتوفير استنفاد كامل للناقلات في حالة إيقاف تشغيل هذا الجهاز. وبالتالي فإن العمل المقترح في هذه الأطروحة مخصص بشكل أساسي للدراسة والنمذجة من خلال محاكاة بنية GAAJLFET باستخدام برنامج SILVACO-TCAD. لقد مكنتنا النتائج التي تم الحصول عليها عن طريق المحاكاة من تقييم أداء هذا الجهاز من خلال خصائصه الكهربائية ، والتي تسلط الضوء على أهمية هذا النوع من الأجهزة في الهياكل النانومترية.

الكلمات الرئيسية: JLFET ، GAAJLFET ، الترانزستور بدون صمام ، MOSFETs ، SILVACO-TCAD ، محاكاة ، بوابة التفاف.