

الجمهورية الجزائرية الديمقراطية الشعبية

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم العالي والبحث العلمي

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

جامعة أبي بكر بلقايد - تلمسان

Université Aboubakr Belkaïd – Tlemcen –

Faculté de TECHNOLOGIE



MEMOIRE

Présenté pour l'obtention du **diplôme de MASTER**

En : Télécommunications

Spécialité : Systèmes de Télécommunications

Par : HOCINI Ilyes et DERGAOUI Mohamed

Sujet

Réalisation d'un modulateur et démodulateur OFDM sur FPGA ZYNQ

Soutenu publiquement, le 04 / 07 / 2019 , devant le jury composé de :

Mr.R.BOUABDELLAH	MAA	Univ. Tlemcen	Président
Mr.H.MEGNAFI	MCB	Univ. Tlemcen	Examineur
Mr.F.DERREZ	MCB	Univ. Tlemcen	Encadreur
Mr.M.BOUSAHLA	MCB	Univ. Tlemcen	Co-Encadreur

Pour ma famille

Pour mes années passées à Tlemcen

REMERCIEMENT

Nous remercions tout d'abord le grand Dieu pour l'achèvement de ce mémoire.

Nous exprimons nos gratitude à Monsieur le président de jury Monsieur R. BOUABDELLAH d'avoir accepté d'examiner ce mémoire.

Nous remercions Monsieur le Examineur : H.MEGNAFI d'avoir accepté de prendre part à ce jury ainsi que pour l'intérêt qu'ils l'ont portés à ce travail.

Nous remercions Monsieur F. DERREZ notre encadreur et Monsieur M. BOUSAHLA notre Co-encadreur, pour ses conseils et suggestions avisés qui nous aidés à mener à bien ce travail, et d'avoir rapporté à ce mémoire ces remarques et conseils.

DÉDICACES

Je dédie ce modeste travail à mes parents

Aucun mot ne saurait exprimer mon respect et mon amour éternel.

Votre générosité et votre bonté malgré les dilemmes ont toujours été un modèle pour moi.

A ma sœur et mes frères

Vous m'avez honoré de votre présence. Mes souhaits pour vous ! Santé et bonheur, vous êtes ma fierté.

A toute la famille HOCINI.

A mon frère binôme : Mohammed ainsi que tous mes amis et mes Proches (Ismail et Yousef), je vous aime.

A tous ceux qui m'ont dit que je ne pourrai pas aller loin, car grâce à eux, je l'ai fait, j'ai pu progresser et j'ai réussi.

HOCINI Ilyes.

Que ce travail témoigne de mes respects :

A mes parents :

Grâce à leurs tendres encouragements et leurs grands sacrifices, ils ont pu créer le climat affectueux et propice à la poursuite de mes études.

Aucune dédicace ne pourrait exprimer mon respect, ma considération et mes profonds sentiments envers eux. Je prie le bon Dieu de les bénir, de veiller sur eux, en espérant qu'ils seront toujours fiers de moi.

A ma sœur et à mon frère.

A la famille DERGAOUI

Ils vont trouver ici l'expression de mes sentiments de respect et de reconnaissance pour le soutien qu'ils n'ont cessé de me porter.

A tous mes professeurs :

Leur générosité et leur soutien m'oblige de leurs témoigner mon profond respect et ma loyale considération.

A tous mes amis et mes collègues :

Ils vont trouver ici le témoignage d'une fidélité et d'une amitié infinie.

DERGAOUI Mohamed

RÉSUMÉ

Ce travail présente L'implémentation d'un modulateur et démodulateur **OFDM** sur **FPGA ZYNQ**.

Nous avons tout d'abord étudié le principe de l'**OFDM** est de transmettre les informations sur plusieurs porteuses orthogonales entre elles. Puis nous allons présenter la chaîne de transmission OFDM que nous avons conçu, appliqué dans système Generator Xilinx. Et à la fin nous avons implémentés notre (modulation / démodulateur) **OFDM** Sur la carte **FPGA ZYNQ**.

Mots clés :

OFDM, FPGA ZYNQ.

ABSTRACT

This work presents The Implementation of an OFDM modulator and demodulator on FPGA ZYNQ.

We first studied the principle of the OFDM is to transmit information on several orthogonal carriers between them. Then we will present the OFDM transmission chain we designed, applied in Generator Xilinx system. And at the end we implemented our OFDM (modulation / demodulator) on the ZYNQ FPGA board.

Keywords:

OFDM, FPGA ZYNQ.

ملخص

يعرض هذا العمل تطبيق مُشغل ومزيل تشكيل OFDM على FPGA ZYNQ. لقد درسنا أولاً مبدأ OFDM وهو نقل المعلومات حول عدة ناقلات متعامدة بينها. ثم سنقدم سلسلة نقل OFDM التي قمنا بتصميمها وتطبيقها في نظام Generator Xilinx. وفي النهاية، قمنا بتطبيق OFDM (التشكيل / إزالة التشكيل) على ZYNQ FPGA.

TABLE DES MATIÈRES

INTRODUCTION GÉNÉRALE	1
CHAPITRE I: Modulation Multi Porteuses (OFDM)	1
1. Introduction :.....	2
2. Canal à trajets multiples :.....	2
3. Effet des trajets multiples :.....	3
3.1. Canal sélectif en fréquence :	4
4. Principe de l'OFDM :	4
4.1. Principe de la modulation	6
4.2. Principe de la démodulation.....	6
4.3. L'orthogonalité :.....	7
5. Conversion série-parallèle /parallèle- série :	8
6. Expression du signal OFDM	9
7. Intervalle de garde :.....	10
8. Préfixe cyclique :.....	11
9. Chaîne de transmission :.....	12
9.1. Emission :	12
9.2. Canal de propagation :.....	13
9.3. Réception :	13
10. Avantages et inconvénient de l'OFDM :	14
10.1. Les avantage :.....	14
10.2. Les inconvénients :	14
11. Conclusion :.....	15
CHAPITRE II : Les Circuits FPGA ZYNQ	16
1. Description de la famille ZYNQ :.....	17
2. Architecture de la famille ZYNQ :	18
3. Description de la partie PS du ZYNQ :.....	19
3.1. Les interfaces externes du système de traitement PS :.....	20
4. Description de la partie PL du ZYNQ :.....	22
5. Interfaçage (Interconnexion) entre le PS et le PL :.....	22
6. Composants de base :	23
7. Conclusion :	25
CHAPITRE III : Implémentation et résultat de simulation	26
1. Introduction :.....	27
2. MATLAB/Simulink :.....	27

3. Xilinx vivado et System Generator:	27
4. Configuration MATLAB et System Generator:	28
5. Blocs Xilinx :	29
5.1. Organisation des bibliothèques de blocs de Xilinx.....	29
5.2. Blocs de générateur de système Xilinx :	30
6. Blocs Simulink :	32
7. Transformée de Fourier Rapide :	32
8. Modèle d'émetteur-récepteur en System Generator:	34
8.1. Transmetteur :	35
8.2. Canal de transmission AWGN :	37
8.3. Récepteur :	38
9. Résultats de simulations :	39
CONCLUSION GÉNÉRALE :	44

LISTE DES FIGURES

- FIGURE 1.1 : Propagation par trajets multiples
- FIGURE 1.2: Interférence inter symbole (ISI)
- FIGURE 1.3: Effet canal sélectif en fréquence
- FIGURE 1.4: Les systèmes OFDM transmettent les données par blocs
- FIGURE 1.5: Principe de l'OFDM
- FIGURE 1.6: Schéma de principe d'un modulateur
- FIGURE 1.7: Schéma de principe du modulateur OFDM
- FIGURE 1.8: Spectre du signal en sortie du modulateur OFDM
- FIGURE 1.9: Génération d'un signal OFDM par conversion S/P
- FIGURE 1.10: Conversion série/parallèle de symbole OFDM
- FIGURE 1.11: Conversion série/parallèle de symbole OFDM
- FIGURE 1.12: Constellation QPSK (a gauche) et 16-QAM (a droite)
- FIGURE 1.13: Intervalle de garde par prolongation cyclique
- FIGURE 1.14: Insertion de préfixe cyclique(PC)
- FIGURE 1.15: Diagramme en bloc de la chaîne de transmission OFDM
- FIGURE 2.1 : La famille ZYNQ
- FIGURE 2.2 : Architecture de la famille ZYNQ
- FIGURE 2.3 : Connecter la partie PS avec la partie PL par le bus industriel AXI
- FIGURE 2.4 : La partie PS et PL du ZYNQ
- FIGURE 2.5: Architecture de la partie PS
- FIGURE 2.6: Les interfaces externes du système de traitement PS
- FIGURE 2.7: Composants du ZYNQ
- Figure 3.1 : Xilinx vivado
- Figure 3.2 : Xilinx System Generator
- Figure 3.3: Configuration MATLAB et System Generator Vivado

ABBREVIATIONS

AMBA	Advanced Microcontroller Bus Architecture
ADC	Analog-to-Digital Converter
AXI	Advanced extensible Interface
APU	Application Processing Unit
BPSK	Binary Phase Shift Keying
CNA	Conversion Numérique/ Analogique
CAN	Conversion Analogique/Numérique
CPU	Central processing Unit
CLB	Configurable Logic Blocks
DMA	Direct Marketing Association
DSP	Digital Signal Processor
DIP	Dipping
EPP	European People's Party
E / S	Entrée / Sortie
EMIO	Extended Multiplexed Input/output
FFT	Fast Fourier Transform.
FPGA	Field Programmable Gate Array
FMC-LPC	FPGA Mezzanine Card, Low Pin Count
FPU	Floating Point Unit
GPIO	General Purpose Input/output.
GPU	Graphics Processing Unit.
GigeE	Ethernet
GND	Ground
HDMI	High Definition Multimedia Interface.
ISI	Interférence inter symbole
IDFT	Inverse Discret Fourier Transforme
IES	Interférences Entre Symboles
IEP	Interférences Entre Porteuses
IFFT	Inverse Fast Fourier Transform.
IDFT	Inverse Discreet Fourier Transform
IOB	Input/output Blocks

I2C	Inter-Integrated Circuit bus
JTAG	Joint Test Action Group
L1	Level 1
L2	Level 2
MPE	Media Processing Engine
MMU	Memory Management Unit
MIO	Multiplexed Input/output
OCM	On Chip Memory
OFDM	Orthogonal Frequency Division Multiplexing
LED	Light-Emitting Diode
OLED	Organic Light-Emitting Diode
RAM	Random Acces Memory.
SC	Suffixe Cyclique
SPI	Interface Périphérique Série
SDS	Secure Digital
SPDT	Single pole, double throw
SCU	Snoop Control Unit
PC	Préfixe Cyclique
PSK	Phase Shift Keying.
PS	Programmable System
PL	Programmable Logique
Pmod	Peripheral Module interface
QPSK	Quadratur Phase Shift Keying.
QAM	Quadratur Amplitude Modulation.
USB OTG	Universal Serial Bus On The Go
UART	Universel Asynchrone Récepteur émetteur
VGA	Video Graphics Array
VADJ	Vlog All Days in June
XADC	Xilinx Analog-to-Digital Converter

INTRODUCTION GÉNÉRALE

Technologie de multiplexage orthogonale de la fréquence (OFDM) évite les multi trajets en convertissant la bande large canal sélectif en fréquence dans un ensemble de bande étroite sous-porteuse plate. Le débit de symbole modulé sur chaque sous-porteuse est plus faible par rapport à l'étalement du délai de canal, ainsi les interférences inter symboles (ISI) peuvent être évitées. Par conséquent, la combinaison des approches OFDM est une technique attrayante pour les systèmes cellulaires sans fil surtout sur un canal qui s'estompe.

Le travail présenté dans ce projet a pour but la conception et la réalisation d'un modulateur et démodulateur OFDM à base d'une carte FPGA ZYNQ.

Ce mémoire est organisé comme suit.

Le premier chapitre est consacré à la présentation de la technique OFDM. Il est composé de deux parties, la première partie présente le canal à trajets multiples, l'effet des trajets multiples et la sélectivité du canal. Dans la deuxième partie de ce chapitre nous définissons la technique OFDM et nous donnons le principe de cette technique

Le deuxième chapitre contient une description générale de la carte FPGA ZYNQ.

Le troisième chapitre présente modulateur et démodulateur OFDM que nous avons conçu sur System Generator Xilinx, nous donnons le schéma Simulink et la définition de chaque bloc. Ensuite nous présentons les résultats de simulation sous Simulink. Par la suite nous présentons l'implémentation sur la carte FPGA ZYNQ.

Enfin, nous terminons notre mémoire avec une conclusion générale.

CHAPITRE I: Modulation Multi Porteuses (OFDM)

1. Introduction :

Un des problèmes majeurs en télécommunications est d'adapter l'information à transmettre au canal de propagation. Pour des canaux sélectifs en fréquence, une technique est l'utilisation de modulations multi porteuses.

Les techniques de modulation multi porteuses sont parmi les solutions les plus efficaces pour combattre les effets de distorsion causés par les canaux sélectifs en fréquence.

Dans ce chapitre nous présentons la technique OFDM. La première partie de ce chapitre est consacrée à la présentation du canal à trajets multiples, l'effet des trajets multiples. Après nous introduisons la sélectivité de canal.

Dans la deuxième partie nous introduisons le principe de base de l'OFDM. Nous exposons l'orthogonalité fréquentiel, la conversion série/parallèle. Puis nous expliquons l'intervalle de garde, la bande de garde et ses influences sur la modulation. Enfin nous détaillerons la chaîne de transmission : l'émission, canal de propagation et la réception. A la fin, nous citerons quelques avantages et inconvénients de ce type de modulation.

2. Canal à trajets multiples :

A la réception, l'antenne reçoit plusieurs échos du signal retardés et atténués par le canal. Ces échos sont généralement générés par l'interaction entre le signal émis et différents éléments constituant le canal de transmission. Ce signal reçu est distorsionné par rapport au signal transmis et subit des variations d'amplitude importantes et aléatoires. Les principaux phénomènes d'interaction sont la réflexion, la diffraction et la dispersion [1]

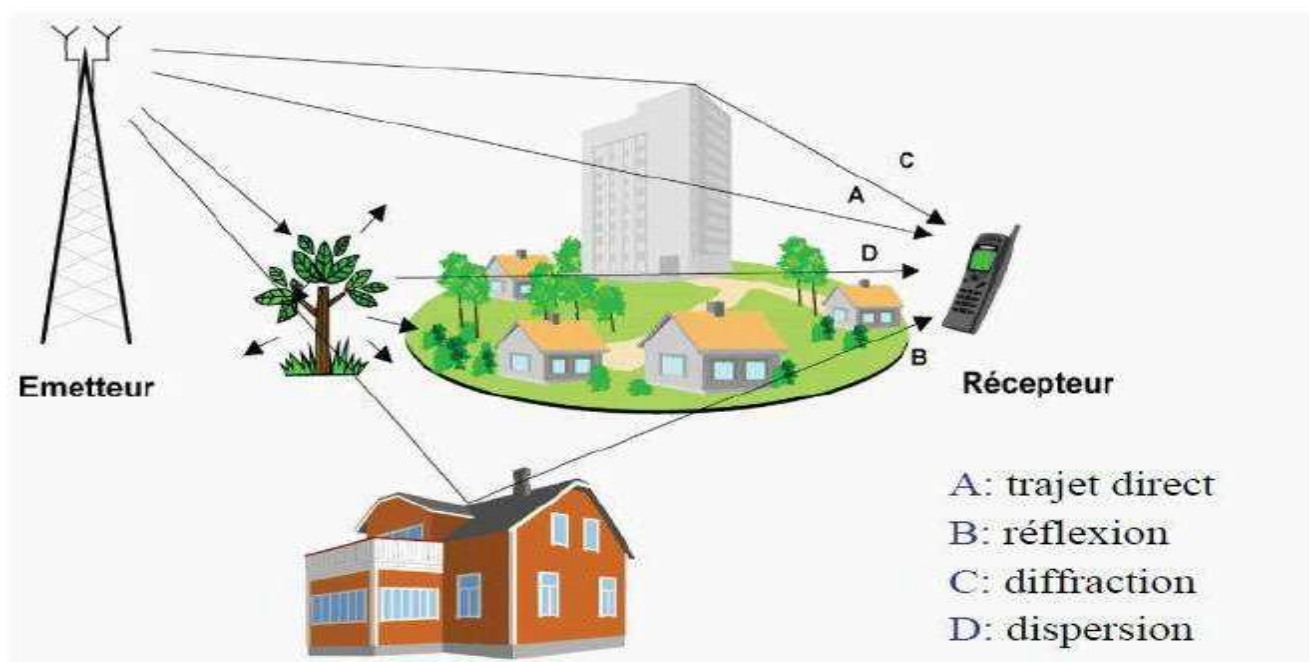


Figure 1.1 : Propagation par trajets multiples

Tous ces phénomènes physiques entraînent une série d'échos de provenances diverses et impossible de prévoir, (propagation par trajets multiples due à la présence d'obstacles) pouvant engendrer des évanouissements (fadings) qui sont des « trous de transmission » résultant de l'annulation du signal à un instant et une fréquence donnée, et ces échos d'amplitudes variables introduisent de retard variable. [7]

3. Effet des trajets multiples :

Dans un système de communication, pour qu'un signal arrive à sa destination, plusieurs trajets sont possibles. A la réception un symbole véhiculé car le signal peut être affecté par un autre symbole en retard. Si on considère que le signal part du symbole n de deux trajets différents et pour un retard connu entre les deux trajets. Alors, à la réception, les données sont démodulées en examinant toutes les informations reçues par rapport à ce symbole n .

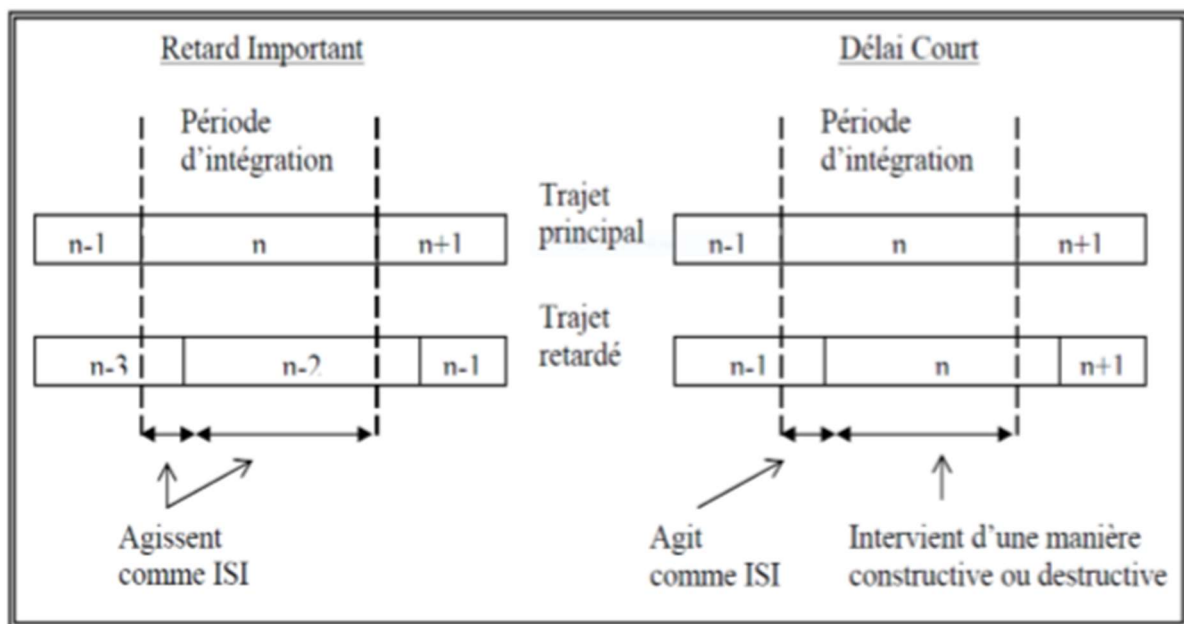


Figure 1.2 : Interférence inter symbole (ISI)

$\Delta\tau$: retard relatif.

T_s : période de symbole.

- Lorsque le $\Delta\tau > T_s$ (voir figure 1.2 à gauche), le signal provenant du second trajet agit uniquement comme un brouillage, puisqu'il n'achemine que des informations appartenant à un ou plusieurs symbole(s) précédent(s). Un tel brouillage inter symbole implique que le signal retardé ne peut avoir qu'un niveau très faible car ce dernier a subi trop d'atténuation (le niveau exact dépendant de la constellation utilisée et de la perte de marge de bruit acceptable).

- Lorsque le $\Delta\tau < T_s$ (voir figure 2.2 à droite), seule une partie du signal transmis sur ce trajet agit comme un brouillage, puisqu'elle n'achemine que des informations appartenant au symbole précédent. Le reste achemine des informations du symbole utile, mais peut s'ajouter de manière constructive ou destructive aux informations du trajet principal. [10]

3.1. Canal sélectif en fréquence :

Un canal est dit sélectif en fréquence lorsqu'il ne se comporte pas identiquement suivant la fréquence du signal. Certaines fréquences seront transmises plus rapidement que d'autres, ou encore seront atténuées plus que d'autres, le signal sera alors déformé lors de la transmission. [7]

D'une autre manière, nous pouvons parler de canal sélectif en fréquence quand le signal transmis $x(t)$ occupe une bande de fréquence plus grande que la bande de cohérence du canal de propagation. Dans ce cas, les composantes fréquentielles de $x(t)$ séparées de la bande de cohérence subissent des atténuations différentes et le récepteur distingue plusieurs trajets multiples (Ce phénomène de sélectivité en fréquence est aggravé par la présence de trajets multiples pour un même signal transmis).

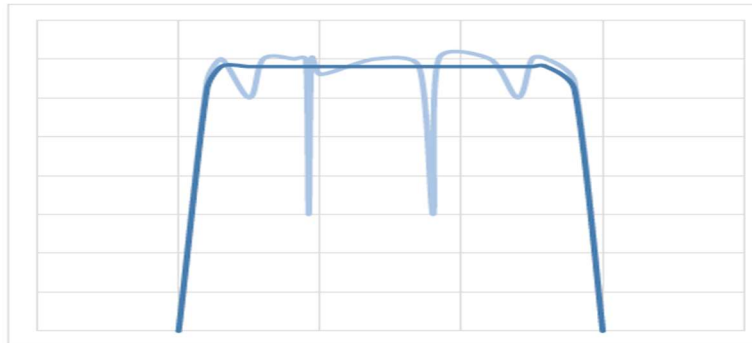


Figure 1.3 : Effet canal sélectif en fréquence

Pour remédier à ce désagrément et pour éviter les effets des canaux sélectifs en fréquence, l'idée est de répartir l'information sur un grand nombre de porteuses, créant ainsi des sous-canaux, c'est à dire diviser la bande de fréquence sur un grand nombre de sous bandes ($B_c > B_s$). La technique OFDM est une bonne solution pour ce la.

4. Principe de l'OFDM :

L'OFDM (Orthogonal Frequency Division Multiplexing) est une technique de modulation multi-porteuses à base de transformée de Fourier rapide. D'un point de vue implémentation numérique, les systèmes OFDM transmettent les données par blocs : le flux originel de données de débit R est multiplexé en N flux parallèles de débit R/N .

CHAPITRE I : MODULATION MULTI PORTEUSE (OFDM)

Il s'agit bien d'un multiplexage fréquentiel puisque les données sont transmises sur N canaux différents. Afin d'effectuer cette transmission, au lieu de transmettre les données en série comme le font les systèmes mono-porteuses, les schémas OFDM transmettent les données par bloc (en parallèle) en introduisant aux informations utiles de la redondance dont la structure cyclique permet, à l'aide de transformées de Fourier, une inversion simple (scalaire) du canal de propagation.[2] [12]

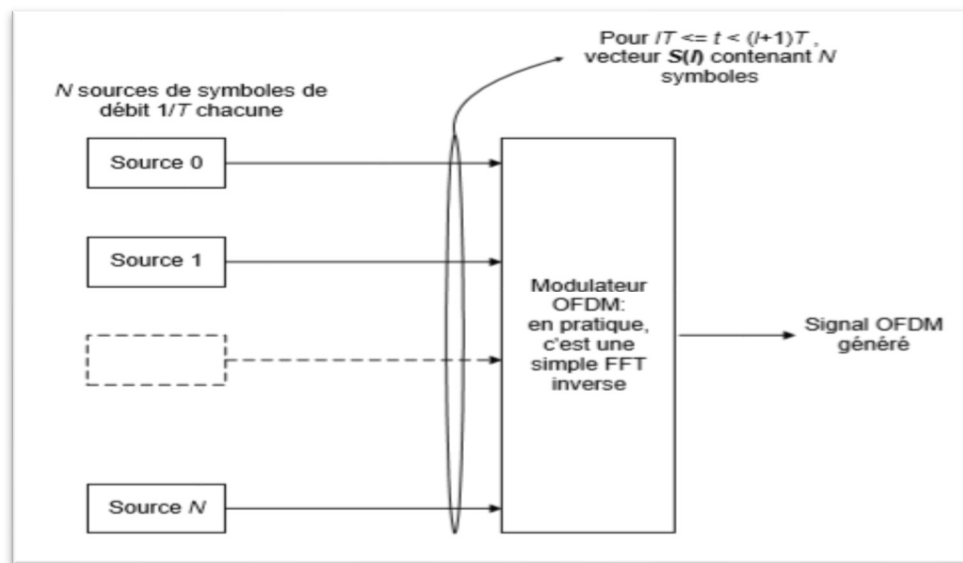


Figure 1.4: Les systèmes OFDM transmettent les données par blocs.

Chaque source est transmise indépendamment sur des sous-porteuses différentes à un débit de l'ordre de R/N .

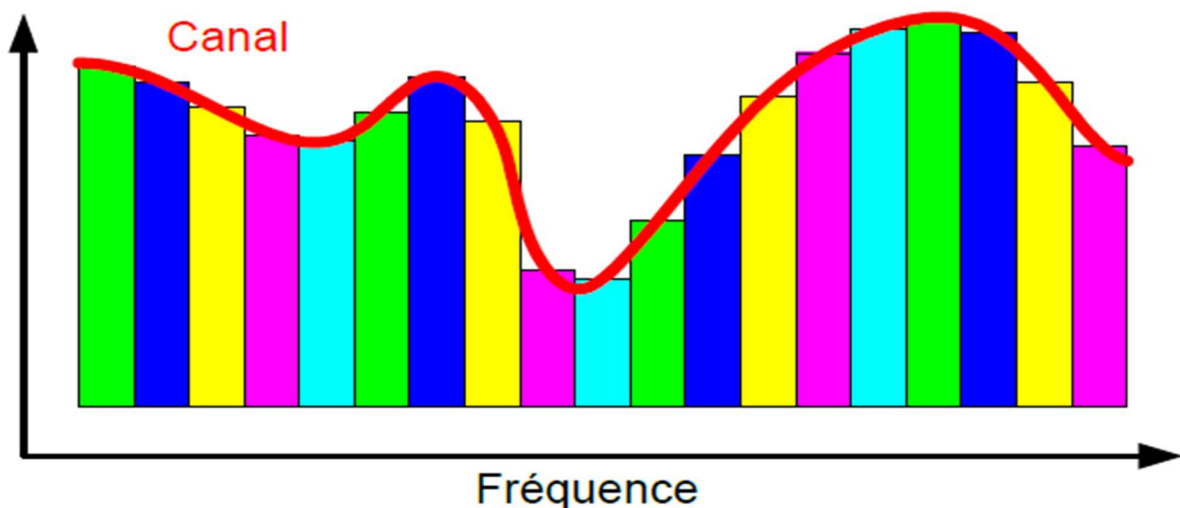


Figure 1.5 : Principe de l'OFDM

4.1. Principe de la modulation

Pour répartir les données à transmettre sur les N porteuses, on groupe les symboles c_k par paquets de N. Les c_k sont des nombres complexes définis à partir des éléments binaires par une constellation souvent de modulation MAQ à 4, 16, 64, 2q états. [5]

Considérons une séquence de N données c_0, c_1, \dots, c_{n-1}

Appelons T_s la durée symbole c'est-à-dire le temps qui sépare 2 séquences de N données.

Chaque donnée c_k module un signal à la fréquence f_k .

Le signal individuel s'écrit sous forme complexe : $c_k e^{j2\pi f_k t}$

Le signal $s(t)$ total correspondant à toutes les données d'un symbole OFDM est la somme des signaux individuels :

$$s(t) = \sum_{k=0}^{N-1} c_k e^{j2\pi f_k t} \quad (1.1)$$

Le multiplexage est orthogonal si l'espace entre les fréquences est $1/T_s$.

Alors : $f_k = f_0 + \frac{k}{T_s}$ et $s(t) = e^{j2\pi f_0 t} \sum_{k=0}^{N-1} c_k e^{j2\pi \frac{k}{T_s} t}$ (1.2)

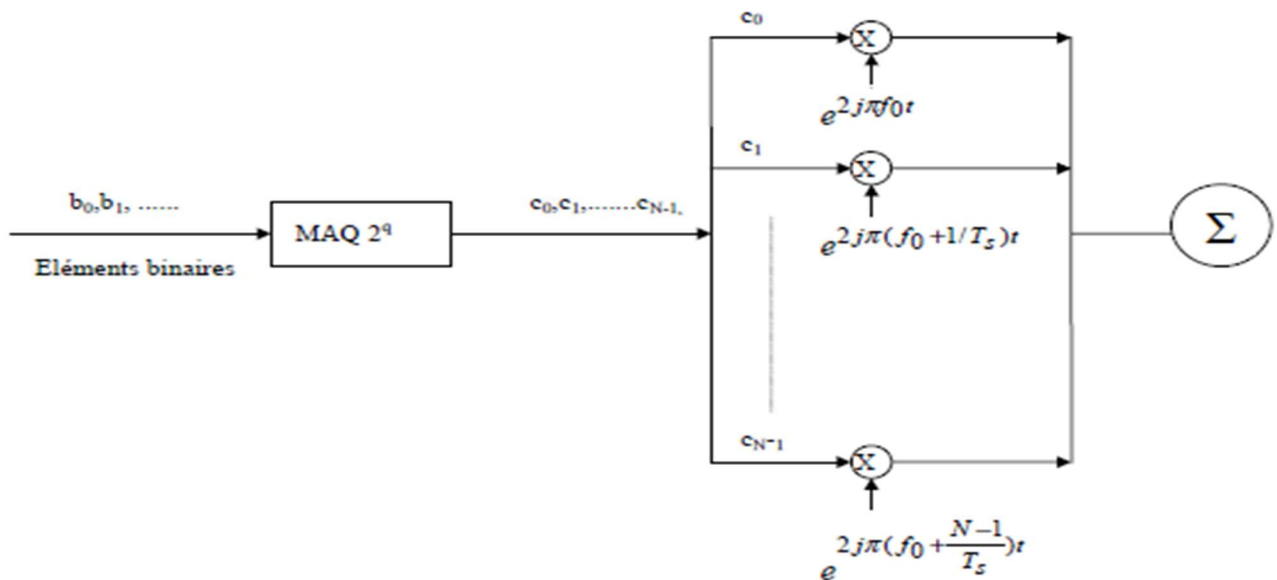


Figure 1.6 : Schéma de principe d'un modulateur

4.2. Principe de la démodulation

Le signal parvenant au récepteur s'écrit, sur une durée symbole T_s : [13]

$$y(t) = \sum_{k=0}^{N-1} c_k H_k(t) e^{j2\pi(f_0 + \frac{k}{T_s})t} \quad (1.3)$$

$H_k(t)$ Est la fonction de transfert du canal autour de la fréquence f_k et au temps t . Cette Fonction varie lentement et on peut la supposer constante sur la période T_s ($T_s \ll 1/Bd.$).

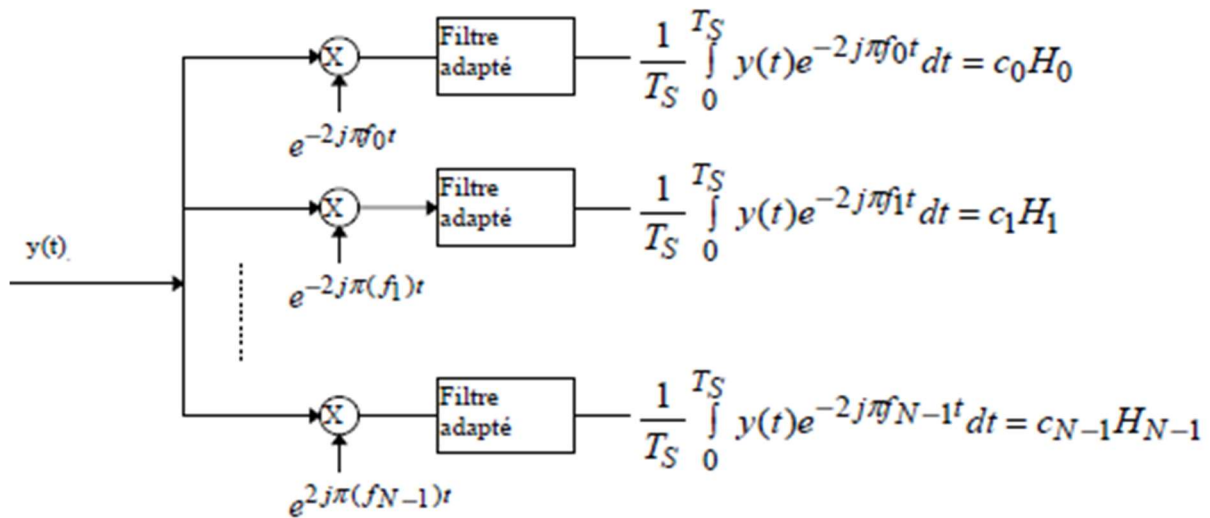


Figure 1.7 : Schéma de principe du modulateur OFDM

4.3. L'orthogonalité :

On peut percevoir la notion d'orthogonalité du signal OFDM dans le domaine fréquentiel. Chaque sous-porteuse OFDM a une réponse en fréquence sinus cardinal, $\sin(x)/x$. La forme sinus cardinal a un lobe principal étroit, avec de nombreux lobes latéraux.

L'orthogonalité dans le domaine fréquentiel est réalisée lorsque le maximum de chaque sous porteuse correspond à un "zéro" des autres. Cette condition permet ainsi d'avoir une occupation spectrale idéale et d'éviter les interférences entre sous-porteuses. Le spectre total du signal OFDM est la somme des spectres individuels des différentes porteuses. [3] [4]

L'orthogonalité de deux signaux est évaluée en fonction du résultat de leur produit scalaire. Dans le cas de signaux continus, nous évaluons le produit scalaire de deux exponentielles par la formule suivante : [6]

$$\langle e^{j2\pi f_k t}, e^{j2\pi f_i t^*} \rangle = \left(\frac{1}{T}\right) \int_0^T e^{j2\pi f_k t} e^{-j2\pi f_i t} dt \quad (1.4)$$

En posant la période de chacune des exponentielles complexes comme un multiple entier d'une fréquence fondamentale de période T_{sym} ($ex : f_k = k/T_{sym}, f_i = i/T_{sym}$) l'orthogonalité (ou produit scalaire égal à 0) entre deux exponentielles est respectée lorsque l'entier k est différent de l'entier i :

$$\begin{aligned} \left(\frac{1}{T}\right) \int_0^T e^{j2\pi f_k t} e^{-j2\pi f_i t} dt &= \left(\frac{1}{T_{sym}}\right) \int_0^{T_{sym}} e^{j2\pi \left(\frac{k}{T_{sym}}\right) t} e^{-j2\pi \left(\frac{i}{T_{sym}}\right) t} dt \\ &= \left(\frac{1}{T_{sym}}\right) \int_0^{T_{sym}} e^{j2\pi (k-i/T_{sym}) t} dt = \begin{cases} 1, & \text{si } k = i \\ 0, & \text{autres} \end{cases} \end{aligned} \quad (1.5)$$

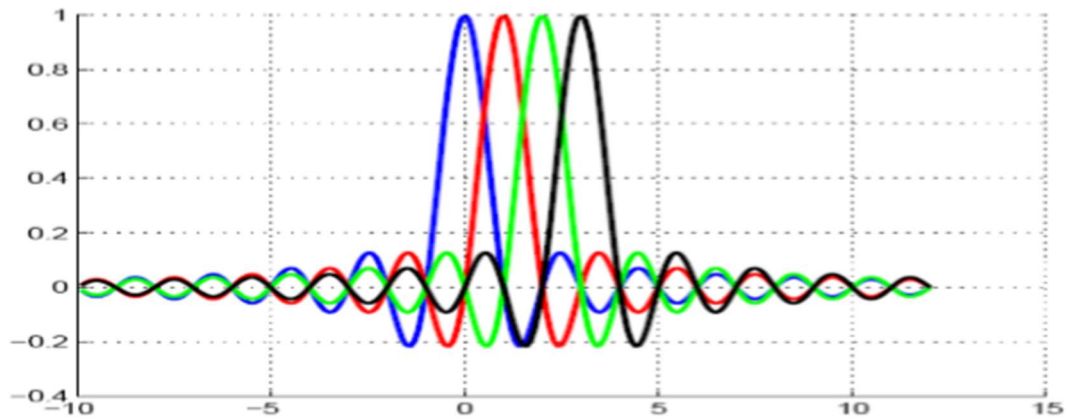


Figure 1.8 : Spectre du signal en sortie du modulateur OFDM

5. Conversion série-parallèle / parallèle- série :

Les données à transmettre prennent généralement la forme d'un flux de données en série. Par conséquent, un étage de conversion S/P est nécessaire pour convertir le flux de bits série d'entrée en données parallèle à transmettre dans chaque symbole OFDM, comme le montre la figure (Figure 1.9) [5]

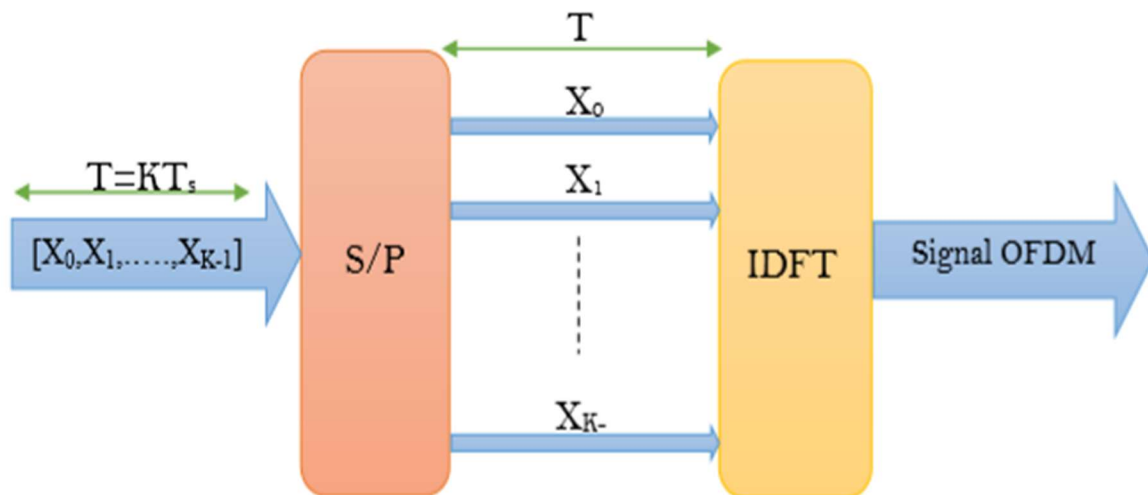


Figure 1.9 : Génération d'un signal OFDM par conversion S/P

IDFT : Inverse Discret Fourier Transforme

Les données attribuées à chaque symbole dépendent du schéma de modulation utilisé et du nombre de sous-porteuses.

La figure 1.10 elle représente la conversation s/p de chaque symbole OFDM :

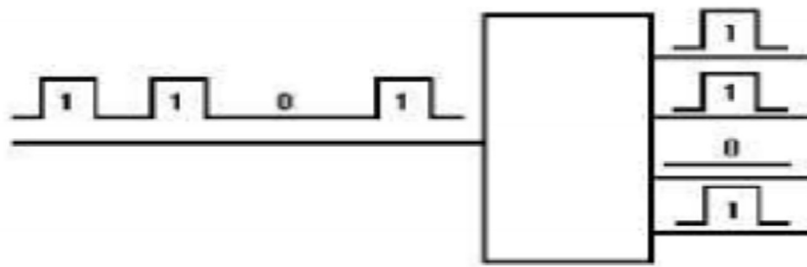


Figure 1.10 : Conversion série/parallèle de symbole OFDM

Le convertisseur parallèle-série (*Figure 1.11*) est la fonction inverse du convertisseur série-parallèle et il est placé juste avant l'envoi des données via le canal par le convertisseur numérique-analogique à l'émetteur. [6]

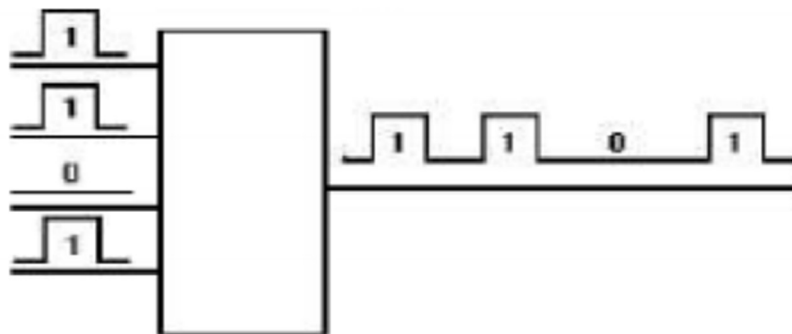


Figure 1.11 : Conversion série/parallèle de symbole OFDM

6. Expression du signal OFDM

Un symbole OFDM est constitué de N sous-porteuses de fréquence $f_k = f_0 + k\Delta_f$ avec $0 \leq k < N-1$ qui transmettent N symboles notes x_k . Les symboles x_k sont des éléments complexes issus de la mise en constellation ou conversion binaire à symbole ou *Mapping*. Dans le cas des modulations QPSK ou QAM, cette opération consiste à associer à un groupe de bits, une phase ou un couple phase et amplitude. Sur la *Figure 1.12*, nous présentons une constellation QPSK, à gauche, et une constellation 16-QAM, à droite. La constellation QPSK est une constellation en quadrature de phase, c'est-à-dire que seule la phase permet de transmettre deux bits d'information par sous porteuse. L'amplitude, pour ce type de constellation reste constante. Pour la constellation 16-QAM, un couple phase-amplitude permet de transporter quatre bits d'information par sous-porteuse.

Les coordonnées de chaque point de la constellation sont déterminées par la combinaison des bits. Dans le cas de la QPSK, ces combinaisons sont (00), (01), (10) et (11). Notons que pour minimiser les erreurs de transmissions, le code de Gray est utilisé. Grace a ce code, les plus proches voisins de chaque symbole de constellation ne diffèrent que d'un seul bit. [11]

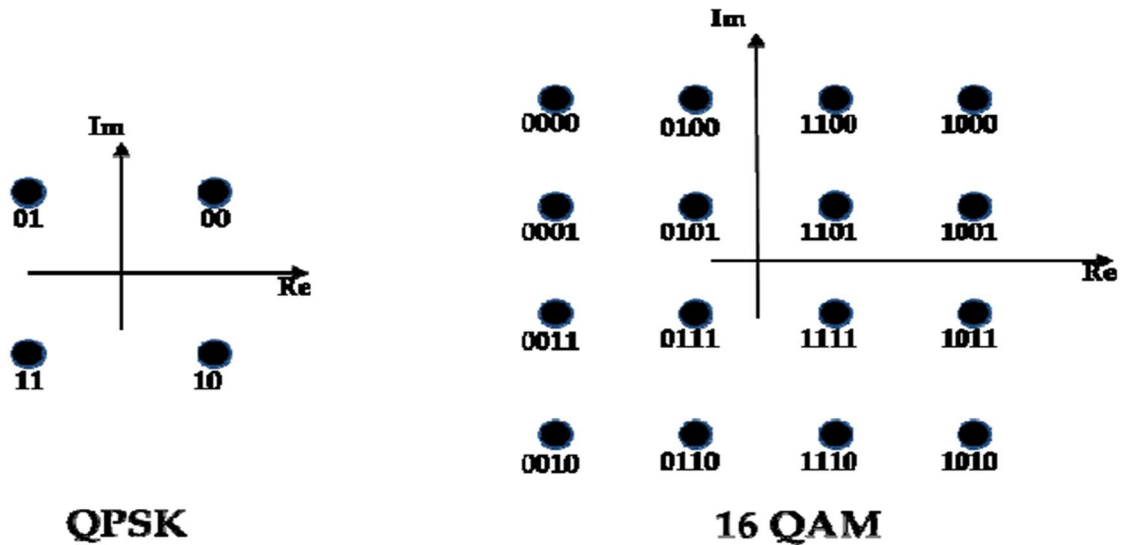


Figure 1.12 : Constellation QPSK (a gauche) et 16-QAM (a droite)

Le signal s_k correspond à une sous-porteuse modulée par le symbole complexe x_k :

$$s_k(t) = |x_k| \sin\left(\frac{2\pi kt}{T_{OFDM}} + \arg(x_k)\right) \quad (1.6)$$

$$\text{avec } \frac{1}{T_{OFDM}} = \Delta_f$$

Le signal analytique complexe, transmis sur les N sous-porteuses complexes s'écrit :

$$s_k(t) = \sum_{k=0}^{N-1} x_k e^{j2\pi \frac{k}{T_{OFDM}} t} \quad (1.7)$$

En échantillonnant ce signal à la fréquence $f_e = N/T_{OFDM}$, avec $t = nT_e$ pour $0 \leq n < N$, on

Obtient :

$$s(n) = \sum_{k=0}^{N-1} x_k e^{j2\pi \frac{kn}{N}} \quad (1.8)$$

7. Intervalle de garde :

Une des raisons importantes pour lesquelles on utilise le même terme OFDM est sa robustesse face aux problèmes de transmission dans un environnement à trajets multiples. On rajoute un intervalle de garde à chaque symbole OFDM pour éliminer les interférences inter symboles (IIS). Il faut que la durée de cet intervalle doive être supérieure à la durée de retard maximal causé par les phénomènes de propagation à trajets multiples et qu'un symbole ne puisse pas interférer avec le prochain symbole. [8]

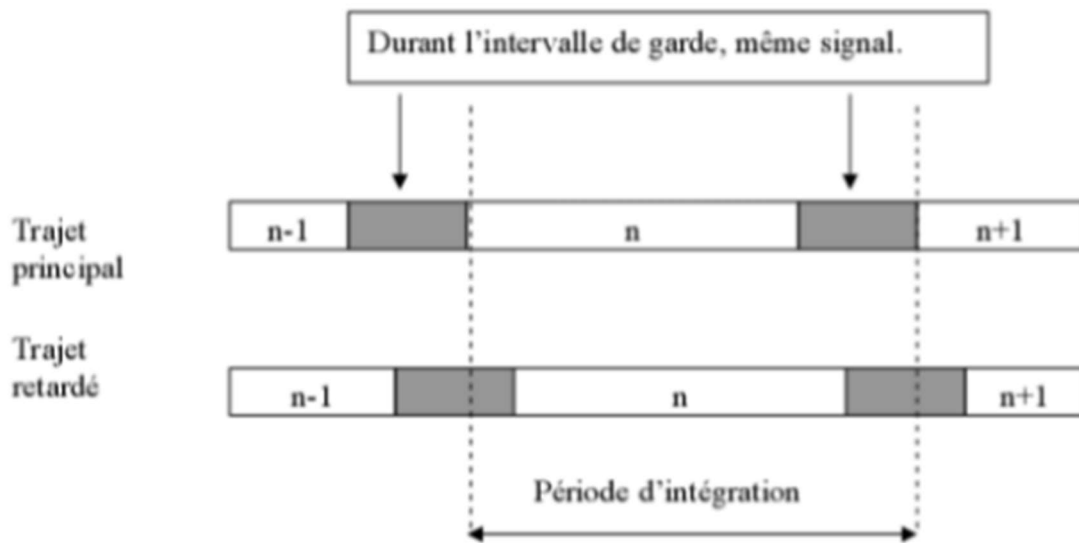


Figure 1.13: Intervalle de garde par prolongation cyclique

Plusieurs techniques différentes existent pour l'introduction des intervalles de gardes dans OFDM. Il s'agit soit de remplir l'espace de garde entre deux symboles consécutifs par des zéros, soit d'introduire une extension cyclique du symbole OFDM. [9]

L'extension cyclique peut être introduite de deux façons différentes. L'une nommée préfixe cyclique et l'autre suffixe cyclique.

8. Préfixe cyclique :

Le principe du préfixe cyclique est de copier les derniers échantillons d'un symbole et les placer à son début. En utilisant cette technique, on garde une continuité dans le symbole. Le préfixe cyclique est une bonne méthode pour combattre les interférences entre symboles (IES) et entre porteuses (IEP). Grâce à cette extension, la période du symbole est plus longue. Précisons que bien que la période soit plus longue, Cela n'a aucun incident sur le spectre fréquentiel du signal. Aussi longtemps que le bon nombre d'échantillons est pris en réception n'importe où dans le symbole rallongé. L'orthogonalité est maintenue et des interférences éliminées. [9]

$$T_m = T_b + T_{CP} \quad (1.9)$$

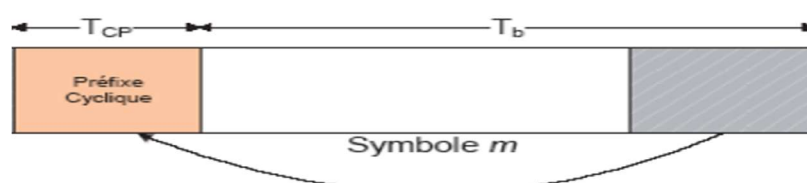


Figure 1.14: Insertion de préfixe cyclique(PC)

Il est important de savoir que la longueur de préfixe doit être défini en fonction des délais maximums de retard prévus dans le canal multi trajet. En effet, l'idée n'est pas qu'on résolve uniquement le problème d'interférence en utilisant le préfixe, mais aussi d'effectuer une utilisation la plus optimale possible de la bande passante.

9. Chaîne de transmission :

Le diagramme en bloc de la chaîne de transmission OFDM est représenté en figure :

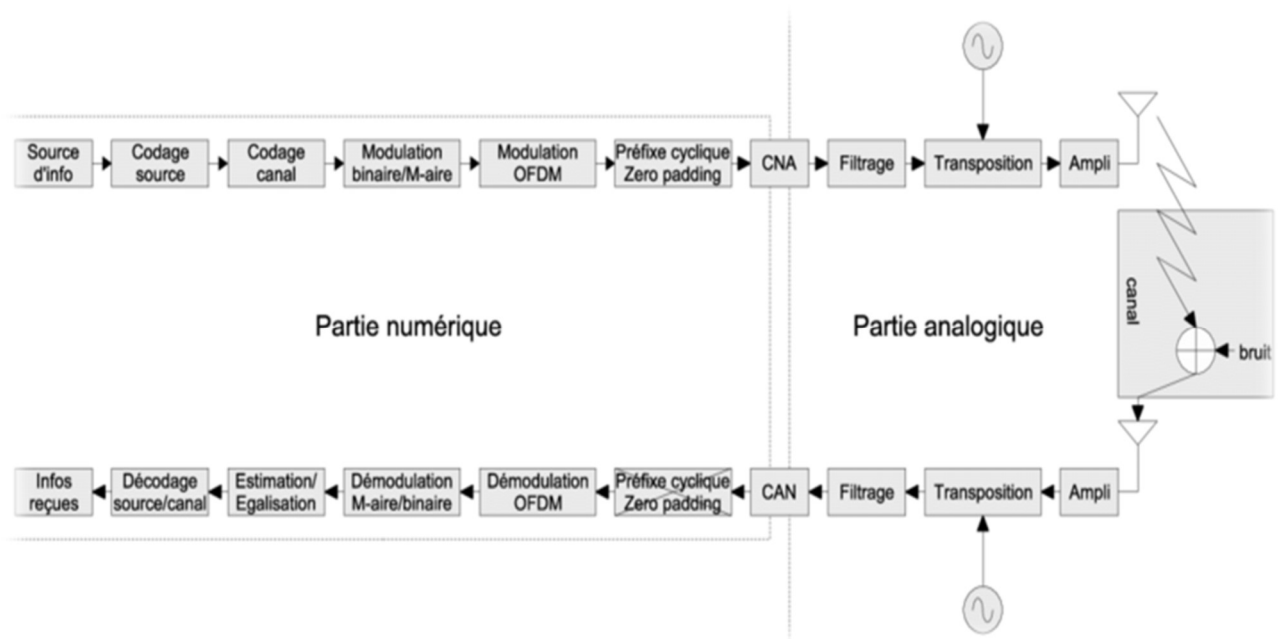


Figure 1.15: Diagramme en bloc de la chaîne de transmission OFDM

Cette chaîne de transmission est constituée des éléments suivants : [6]

9.1. Emission :

A. Partie numérique :

- **Codage source** : transformer l'information de sa forme physique (onde sonore, lumière, chaleur...) en un signal électrique. Le signal électrique est ensuite transformé en séquences de bits d'information.
- **Codage canal** : ce codage consiste à ajouter une redondance pour protéger les bits d'information contre des éventuels parasites introduits par le canal (Le but du codage de canal est d'agir sur les données binaires pour détecter et corriger les erreurs dues aux bruits).
- **Modulation binaire/M-aire** : les symboles d'information sont générés suivant un alphabet donné (BPSK, QPSK, QAM-16...etc.), en modifiant l'amplitude et/ou la phase des symboles en fonction des paquets de bits d'information.

- **Modulation OFDM** : Modulation multi porteuses comprenant une conversion série/parallèle, une IFFT (cartographie.) et une conversion parallèle/série.
- **Insertion du préfixe cyclique** ou du zéro padding : ajoute une redondance ou des zéros à chaque symbole OFDM permettant d'éviter l'interférence entre symboles OFDM utile et une égalisation simple du canal.

B. Partie analogique :

- **CNA Conversion (Numérique/ Analogique)**: le signal numérique est converti en un signal électrique analogique;
- **Filtrage** : le signal électrique bande de base est filtré afin de supprimer les répétitions du spectre obtenues lors de la conversion numérique/analogique.
- **Transposition** : la transposition en fréquence est effectuée pour porter le signal de la bande de base autour de la fréquence porteuse. Cette transposition est obtenue grâce à des mélangeurs et à un ou plusieurs oscillateurs locaux.
- **Amplificateur de puissance** : la puissance du signal est augmentée pour qu'il puisse résister à l'atténuation du canal.
- **Antenne d'émission** : le signal électrique est transformé en une onde électromagnétique en espace libre.

9.2. Canal de propagation :

Le canal correspond à l'environnement physique dans lequel l'onde du signal se propage dans le cas des télécommunications mobiles, ce milieu est l'air. Il introduit plusieurs sortes de distorsions comme l'effet Doppler ou l'effet multi trajets.

9.3. Réception :

A. Partie analogique :

- **Antenne de réception** : l'onde électromagnétique est transformée en un signal électrique. Mais l'antenne capte aussi du bruit thermique dont la puissance est proportionnelle à la bande passante de l'antenne
- **Amplificateur faible bruit** : le signal qui a subi l'atténuation du canal est amplifié.
- **Transposition** : le spectre du signal qui est centré autour de la fréquence porteuse est ramené en bande de base. Cette transposition est obtenue grâce à des mélangeurs et à un ou plusieurs oscillateurs locaux;
- **Filtrage** : le signal électrique bande de base est filtré afin d'éviter le repliement spectral

lors de l'échantillonnage effectué par la conversion analogique/numérique.

- **CAN (Conversion analogique/numérique)**: le signal électrique analogique est converti en un signal numérique.

B. Partie numérique :

- **Suppression du préfixe cyclique** ou du zéro padding.
- **Démodulation OFDM** : l'opération duale de la modulation est réalisée grâce à la FFT
- **Estimation et égalisation** : la dispersion du canal est estimée grâce à des symboles connus du récepteur. Les symboles reçus affectés par le canal sont ensuite compensés.
- **Démodulation M-PSK/binaire** : les symboles reçus sont reconvertis en paquets de bits.
- **Décodage canal et décodage source** : cette étape supprime les redondances ajoutées à l'émission et corrige certaines erreurs. Les données sont ensuite décompressées en insérant les redondances enlevées lors du codage source à l'émission.
- **Informations** : les données sont transformées de forme électrique en forme physique.

10. Avantages et inconvénient de l'OFDM :

10.1. Les avantages :

- Utilisation optimale de la bande de fréquence allouée par orthogonalisation des porteuses
- Permet de s'affranchir des multi-trajets en liant les éléments statistiquement indépendants
- La multiplicité de la modulation est basée sur un algorithme bien connu et peu complexe : la FFT
- La diminution des taux de transmission et l'ajout de préfixes cycliques permettent d'éliminer ou de limiter l'interférence inter symboles et de simplifier l'égalisation au récepteur.
- Les effets des parcours multiples dû aux évanouissements sélectifs en fréquence sont réduits en divisant le spectre en N sous porteuses ayant des évanouissements plats.
- Récupérer l'information transmise même si plusieurs échos ont affecté la transmission radioélectrique.

10.2. Les inconvénients :

- L'OFDM est sensible au décalage fréquentiel qui peut causer une perte d'orthogonalité entre les sous-porteuses.

- L'OFDM est sensible aux non linéarités des amplificateurs. Le signal peut présenter un PAPR (Peak to Average Power Ratio) très élevé, engendrant la saturation des blocs analogiques.

11. Conclusion :

La technique de multiplexage fréquentiel orthogonal à porteuses multiples (Orthogonal Frequency Division Multiplexing OFDM) est une bonne solution pour les trajets multiples en divisant la bande de transmission en N sous-canaux orthogonaux.

CHAPITRE II : Les Circuits FPGA ZYNQ

CHAPITRE II : Les Circuits FPGA ZYNQ

Introduction :

Dans ce chapitre nous avons présenté Les circuits FPGA qui sont constitués d'une matrice de blocs logiques programmables entourés de blocs d'entrée sortie programmable. L'ensemble est relié par un réseau d'interconnexions programmable.

Les FPGA sont bien distincts des autres familles de circuits programmables tout en offrant le plus haut niveau d'intégration logique.

1. Description de la famille ZYNQ :

ZYNQ est une famille de FPGA de la série XILINX-7 Soc basée sur LINUX offre la flexibilité et l'évolutivité d'un FPGA qui dispose d'un meilleur potentiel. Tout en offrant les performances, puissances, faible coût, temps de réponse et taux d'acquisitions rapide, facilité d'utilisation et maintenance à long terme. Bien que chaque appareil de la famille ZYNQ ait le même PS (System Programmable), Sauf pour les ressources PL (logique programmable) et I / O, elles varient en fonction du périphérique.

La famille ZedBoard ZYNQ est une carte de développement permettant d'utiliser un Zynq-7020 de Xilinx et permet aux concepteurs de cibler des applications hautes performances et économiques à partir d'une plate-forme unique à l'aide d'outils standard. Ainsi, ils sont en mesure de fournir une large gamme d'applications, notamment : caméra de diffusion, Commande de moteurs industriels, de réseaux industriels et de vision industrielle, caméra intelligente, Base radio et LTE, Diagnostic et imagerie médicale, Imprimantes multifonctions, équipement vidéo et vision nocturne, Voiture intelligente, etc....

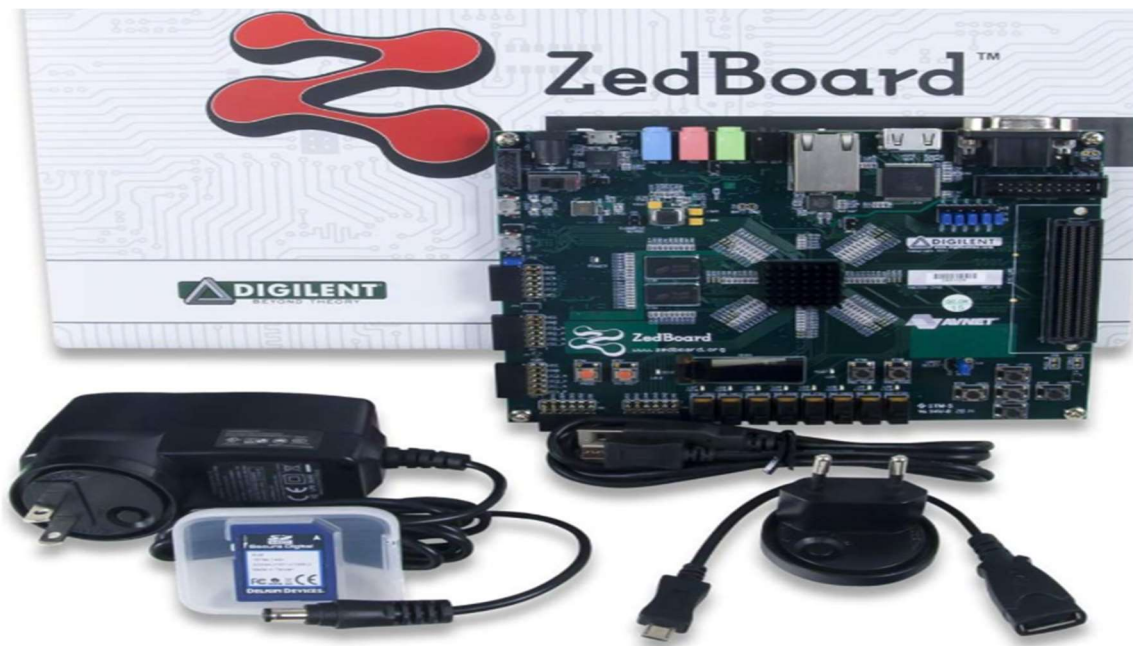


Figure 2.1 : La famille ZYNQ

CHAPITRE II : Les Circuits FPGA ZYNQ

2. Architecture de la famille ZYNQ :

Dans un FPGA de type ZYNQ, on appelle PS la partie processeur et les périphériques associés. Cela inclus donc : les deux cœurs ARM® Cortex™-A9, les bus AMBA et AXI, le DMA, les GPIOs, I2C, UART, CAN, SPI, le contrôleur des mémoires Quad SPI, NAND et NOR et le contrôleur de mémoire vive.

La PL, quant à elle, contient les éléments logiques de base, la RAM, des DSP et les entrées sorties standard. [15]

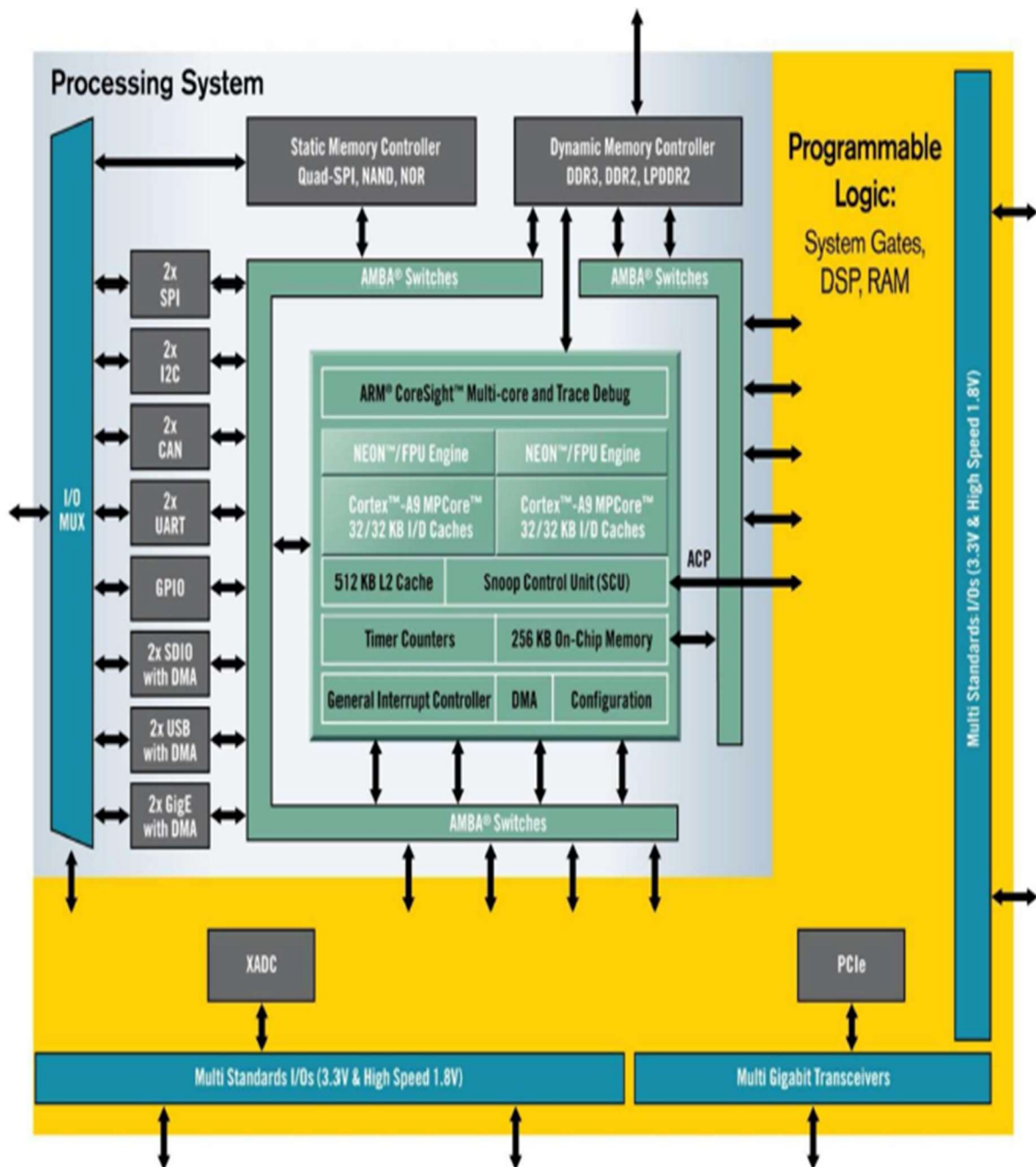


Figure 2.2 : Architecture de la famille ZYNQ

CHAPITRE II : Les Circuits FPGA ZYNQ

Le bus industriel AXI permet de connecter la partie PS avec la partie PL :

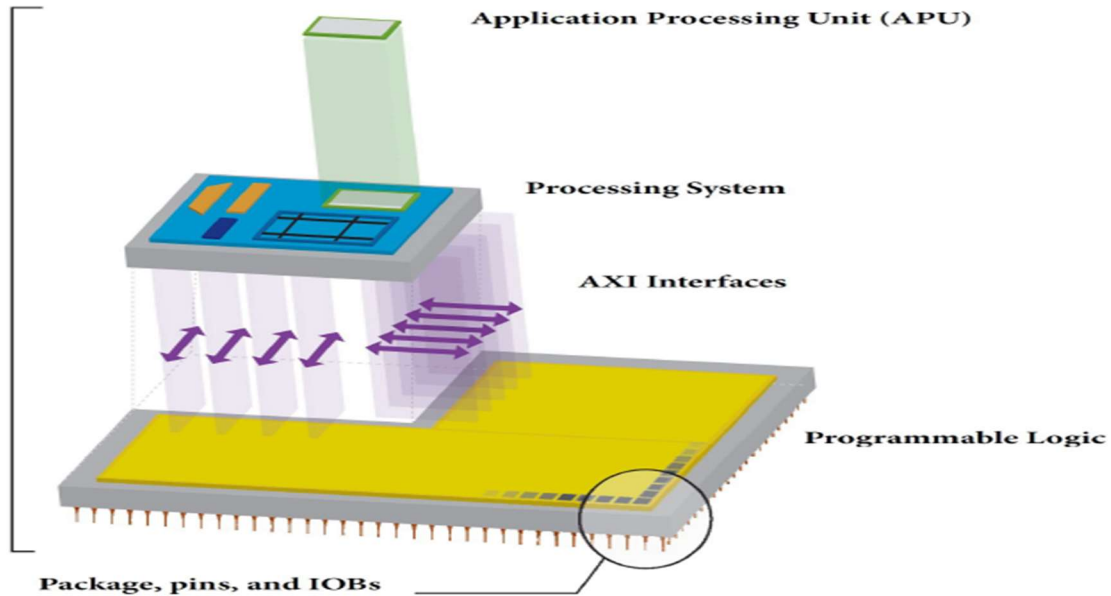


Figure 2.3 : Connecter la partie PS avec la partie PL par le bus industriel AXI

3. Description de la partie PS du ZYNQ :

Tous les systèmes ZYNQ ont la même architecture et ils contiennent tous un processeur double cœur ARM cortex A9. C'est un processeur en dur (hard processor) comparé au processeur logiciel (soft processor). Le ZYNQ permet l'utilisation du soft processor mais dans la partie PL du circuit. [14]

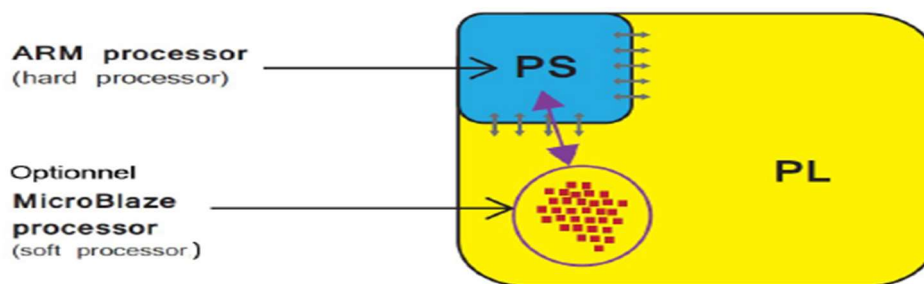


Figure 2.4 : La partie PS et PL du ZYNQ

Le système de traitement PS c'est un ensemble de ressources de traitement associé formant une APU.

L'APU (Application Processing Unit) comprend des interfaces vers des périphériques et la mémoire, des périphériques, de la mémoire cache, des systèmes d'interconnexion et des générateurs d'horloge. Il est composé de deux cœurs de processeur ARM chacun associé à plusieurs unités de traitement :

- ✓ Un moteur de traitement multimédia NEON (Media Processing Engine (MPE)) est dédié aux instructions audios, vidéo et 3D.

CHAPITRE II : Les Circuits FPGA ZYNQ

- ✓ Une unité de traitement à virgule flottante (FPU) (Floating Point Unit) est un coprocesseur arithmétique dédié aux opérations sur les nombres réels.
- ✓ Une unité de management de mémoire (Memory Management Unit (MMU))
- ✓ De la mémoire cache de niveau 1 et de niveau 2
- ✓ De la mémoire OCM On Chip Memory

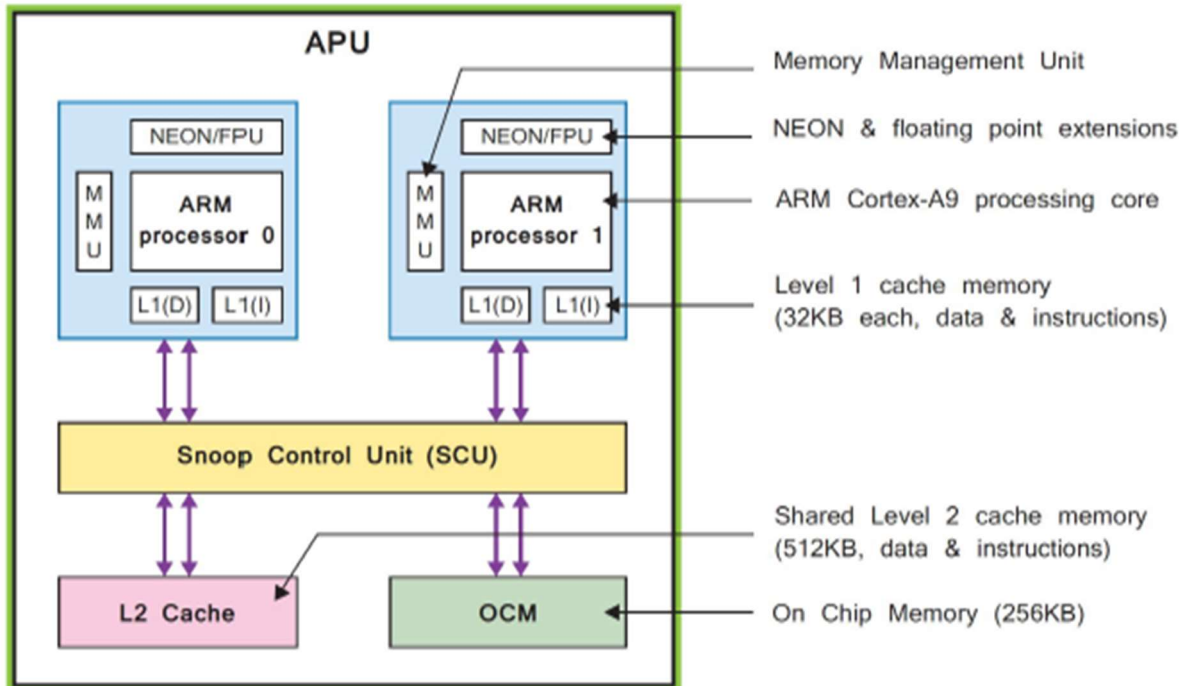


Figure 2.5 : Architecture de la partie PS

Une unité de contrôle SNOOP (Snoop Control Unit (SCU)) forme une passerelle entre les cœurs ARM et la mémoire cache de niveau 2 et la mémoire OCM. Cette unité permet de s'interconnecter avec la partie PL. L'ARM cortex A9 peut opérer jusqu'à la fréquence 1GHz. Chacun des deux cœurs a de la mémoire cache de niveau 1 de 32KB pour les données et les instructions. Les deux cœurs se partagent de la mémoire cache de niveau 2 de 512KB pour les instructions et les données de la mémoire OCM de 512KB. Le rôle de l'unité MMU est de traduire les adresses virtuelles et physiques.

3.1. Les interfaces externes du système de traitement PS :

La partie PS du ZYNQ dispose d'une grande variété d'interfaces à la fois entre le PS et le PL mais aussi avec les composants externes. La communication entre le PS et les interfaces des périphériques externes est assurée par un bus d'entrée sorties multiplexés (Multiplexed Input/Output (MIO)) qui peut fournir jusqu'à une connectivité de 54 broches. [14]

CHAPITRE II : Les Circuits FPGA ZYNQ

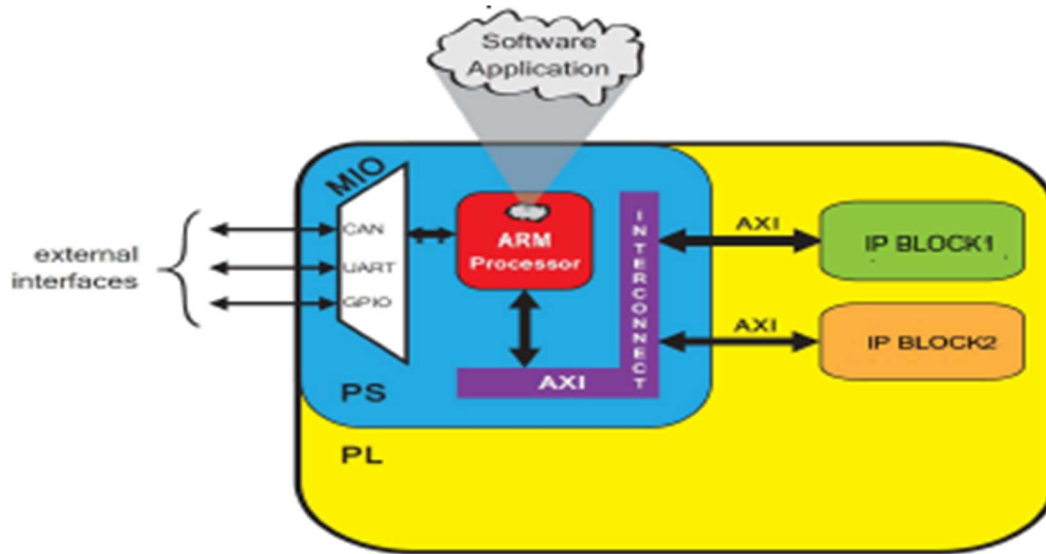


Figure 2.6 : .Les interfaces externes du système de traitement PS

Les différents périphériques d'interfaces du PS vers le monde extérieur sont donnés ci-dessous :

I/O Interface	La description
SPI	Interface Périphérique Série. norme de facto pour les communications série basée sur une interface à 4 broches. peut être utilisé en mode maître ou en mode esclave
I2C	conforme à la spécification de bus I2C, version 2, prend en charge les modes maîtres et esclaves
CAN	réseau de contrôleurs. contrôleur d'interface de bus
UART	Universel Asynchrone Récepteur émetteur. interface de données à faible débit pour la communication série. souvent des USD pour des connexions de terminal à un PC hôte
GPIO	Entrée / Sortie à Usage Général.
SD	pour l'interface avec la carte mémoire SD.
USB	Bus Universel en Série. conforme à USB et peut être utilisé comme hôte.
GigeE	Ethernet. Périphérique MAC Ethernet prenant en charge les modes 10Mbps et 1Gbps

CHAPITRE II : Les Circuits FPGA ZYNQ

4. Description de la partie PL du ZYNQ :

La partie PL est basé sur un FPGA série 7 du type ARTIX ou KINTEX suivant le modèle de ZYNQ. Elle est constituée :

- ✓ De CLB (Configurable Logic Blocks) groupement d'éléments logiques.
- ✓ Des matrices de commutation pour interconnecter les CLB entre eux.
- ✓ Entrée-sorties Input/output Blocks (**IOBs**).
- ✓ Des blocs de **RAM** (36 Ko à double accès).
- ✓ Des blocs de traitement du signal numérique **DSP** (utilisent de nombreux multiplicateurs et accumulateurs binaires, mieux adaptés aux tranches **DSP** dédiées. Les appareils de la famille Zynq-7000 disposent de nombreuses tranches **DSP** dédiées, entièrement personnalisées et de faible consommation, combinant haute vitesse et petite taille tout en conservant la flexibilité de conception du système).
- ✓ D'un bloc **XADC** qui est double convertisseur analogique numérique de 12 bits qui peut soutenir un taux d'échantillonnage de 1Msps sur le signal d'entrée. [14] [15]

5. Interfaçage (Interconnexion) entre le PS et le PL :

Cet interfaçage peut s'effectuer :

- ✓ Par le bus **AXI**

AXI est l'abréviation de Advanced extensible Interface est la version actuelle l'AXI4 qui est une composante du standard ouvert AMBA 3.0. Beaucoup de systèmes et d'IP blocs sont fournis avec le bus **AXI4**. Le standard **AMBA** a été développé dans le passé par la société ARM pour ces microcontrôleurs. Ils existent trois types de format pour le bus AXI4 chacun ayant un protocole de bus différent qui sont résumés ci-dessous :

- AXI4 pour s'interconnecter avec la mémoire et fournir des performances de transfert élevées.
- AXI4-Lite qui est une liaison simplifiée seulement une donnée est transférée pour une adresse (aucun burst)
- AXI4-Stream pour le transfert de donnée à haute vitesse. [14]

CHAPITRE II : Les Circuits FPGA ZYNQ

6. Composants de base :

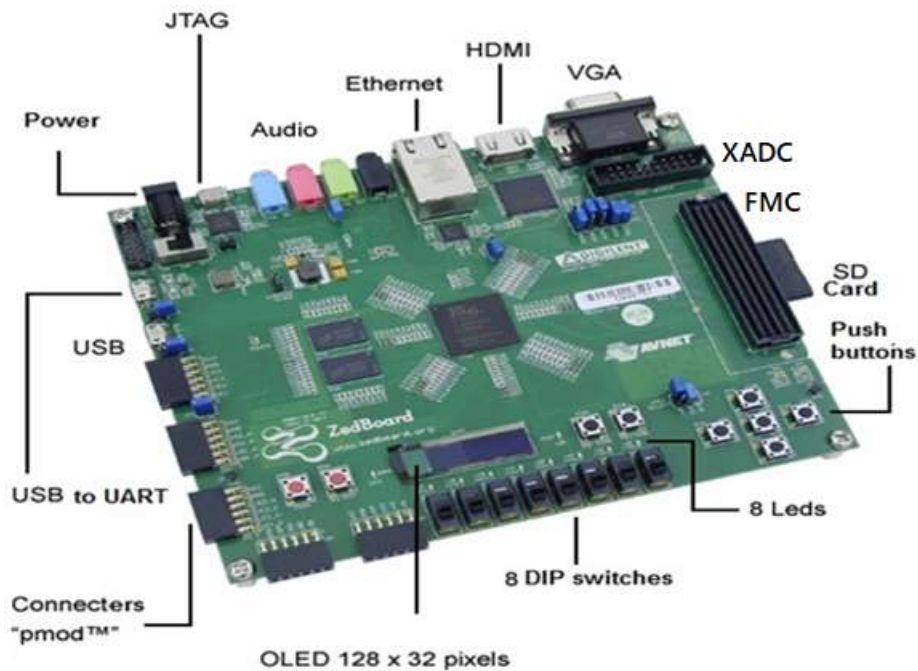


Figure 2.7: Composants du ZYNQ

SD Card Interface :

Cette tente est utilisée pour contenir une petite carte SD utilisée comme disque dur du ZYNQ dont laquelle le système d'exploitation sera installé.

USB OTG :

Le ZYNQ possède des ports USB permettent de connecter des claviers, des souris, des ongles Wifi et des clés USB. Comme les ports ne fournissent pas beaucoup d'énergie, si on veut ajouter un hub USB au ZYNQ, on doit trouver un qui vient avec une alimentation externe.

USB-UART :

Pour Rx et Tx asynchrones

USB-JTAG :

Port de programmation et débogage.

Port Ethernet :

Ce port sert à connecter le ZYNQ à l'Internet via un câble Ethernet (RJ-45), il est semblable à celui qu'on trouve à l'arrière d'un routeur. Cette méthode est plus facile à mettre en place que le Wifi et peut fournir un accès Internet plus rapide (10/100/1000 Mbps), mais on est limité par la longueur du câble.

GPIO: (General Purpose Input / Output)

Entrée-sortie à usage général C'est un ensemble de broches de connecteurs d'entrées-sorties, elles permettent de connecter au ZYNQ avec un circuit électronique pour contrôler le circuit et faire des choses importantes.

CHAPITRE II : Les Circuits FPGA ZYNQ

HDMI :

Ce port fournit une interface vidéo numérique au ZedBoard (relier avec des cartes Vidéos comme l'ordinateur, télévisions ...), avec 16 bits (couleur). elle propose des pilotes Linux et des conceptions de référence illustrant la manière de s'interfacer avec ce périphérique.

VGA :

Le ZedBoard permet également une sortie vidéo couleur 12 bits via un connecteur VGA à trou traversant. (Même principe de HDMI) [15] [16]

Connecteur Pmod : Peripheral Module interface

Le ZedBoard dispose de cinq embases compatibles Digilent Pmod™ (2x6). Ce sont à angle droit, 0.1 "embases femelles comprenant huit entrées / sorties utilisateur plus 3,3 V et signaux de masse. Quatre connecteurs Pmod se connectent au côté PL (3,3 V).

Les utilisations de ce modèle incluent l'accès PJTAG (MIO [10-13]), ainsi que neuf autres périphériques MIO durcis (SPI, GPIO, CAN, I2C, UART, SD, QSPI, Trace, Watch dog).

Connecteur FMC-LPC :(FPGA Mezzanine Card, Low Pin Count)

Un emplacement FMC à quelques broches (LPC) est fourni sur ZedBoard pour prendre en charge un vaste écosystème de modules de plug-in (brancher des cartes additionnelles). [16]

XADC :

Convertisseur analogique numérique.

OLED :

Un écran OLED est utilisé sur le ZedBoard. Ceci fournit un affichage monochrome.

Reset Sources :

1) Réinitialisation à la mise sous tension (PS_POR_B) :

Le ZYNQ PS prend en charge les signaux externes de réinitialisation à la mise sous tension. La réinitialisation à la mise sous tension est la réinitialisation générale de l'ensemble de la puce. Ce signal réinitialise tous les registres de l'appareil susceptibles d'être réinitialisés. ZedBoard pilote ce signal à partir d'un comparateur qui maintient le système en réinitialisation jusqu'à ce que toutes les alimentations soient valides. Plusieurs autres circuits intégrés sur ZedBoard sont également réinitialisés par ce signal. [16]

2) Programme Bouton-poussoir PROG :

Ceci initie la reconfiguration de la sous-section PL par le processeur.

3) Réinitialisation du sous-système du processeur

La réinitialisation à la mise sous tension, intitulée PS_RST / BTN7, efface toutes les configurations de débogage. La réinitialisation du système externe permet à l'utilisateur de

CHAPITRE II : Les Circuits FPGA ZYNQ

réinitialiser toute la logique fonctionnelle du périphérique sans perturber l'environnement de débogage. Par exemple, les points d'arrêt précédents définis par l'utilisateur restent valables après la réinitialisation du système. Pour des raisons de sécurité, la réinitialisation du système efface tout le contenu de la mémoire dans le PS, incluant le OCM. Le PL est également réinitialisé lors de la réinitialisation du système. La réinitialisation du système ne ré-échantillonne pas les broches en mode de démarrage.

Utilisateurs I/O

1) Boutons utilisateur

Le ZedBoard fournit à l'EPP 7 boutons poussoirs GPIO; cinq du côté PL et deux du côté PS.

Les menus déroulants fournissent un état par défaut connu, en appuyant sur chaque bouton pour vous connecter à Vcco.

2) Commutateurs DIP utilisateur

Le ZedBoard dispose de huit commutateurs DIP utilisateur, SW0-SW7, permettant une saisie utilisateur. Les commutateurs SPDT connectent les E / S via une résistance de 10 K Ω à l'alimentation VADJ ou GND.

3) LED utilisateur

Le ZedBoard dispose de huit voyants utilisateur, LD0 - LD7. Une logique haute sur l'E / S provoque l'allumage du voyant. Les LED proviennent de batteries 3,3V via des résistances de 390 Ω .

I2S Audio Codec

Le codec audio matériel analogique fournit un traitement audio numérique intégré

7. Conclusion :

Dans ce chapitre, nous avons tenté de présenter la carte ZYNQ et vue l'ensemble de l'architecture de ZYNQ et des composants de bases.

CHAPITRE III : Implémentation et résultat de simulation

Implémentation et résultat de simulation

1. Introduction :

La modulation OFDM est un schéma de modulation numérique qui divise la transmission entre N sous-porteuses différentes, généralement appelées sous-porteuses, qui sont transmises simultanément.

Dans ce chapitre nous allons présenter la chaîne de transmission OFDM que nous avons conçu, appliqué dans système Generator Xilinx. Une description de chaque sous bloc est donnée. Avant ça nous allons faire un rappel sur Matlab Simulink, Vivado et System Generator. Nous terminons ce chapitre par les résultats de simulation sous Simulink et nous avons convertir cette simulation en code VHDL pour faire l'implémentation de cette chaîne sur la carte FPGA ZYNQ.

2. MATLAB/Simulink:

MATLAB qui développé par MathWorks est le logiciel. Les utilisateurs peuvent analyser données, peut développer des algorithmes et créer des modèles mathématiques. Il offre une large gamme de domaines d'utilisation. MATLAB est l'outil le plus pratique pour analyser les signaux numériques.

Simulink a également été développé par MathWorks et intégré à MATLAB. Il est logiciel de programmation graphique qui offre une conception au niveau du système, une simulation, génération automatique de code et test et vérification continus des systèmes intégrés. Il prend également en charge la conception matérielle basée sur un modèle à l'aide du générateur de système (Xilinx). Dans ce mémoire a été utilisée pour la conception de FPGA basée sur un modèle. Dans ce projet nous utiliseront s la version Xilinx Vivado 2014.4 et MATLAB 2014a.

3. Xilinx vivado et System Generator:

Xilinx est l'une des sociétés technologiques américaines. Ce Xilinx vivado est l'environnement de développement logiciel de Xilinx. Il offre un ensemble complet d'outils familiers et puissants, de bibliothèques et de méthodologies. Pour concevoir des FPGA basés sur des modèles, Xilinx vivado doit être installé sur le PC de l'utilisateur.

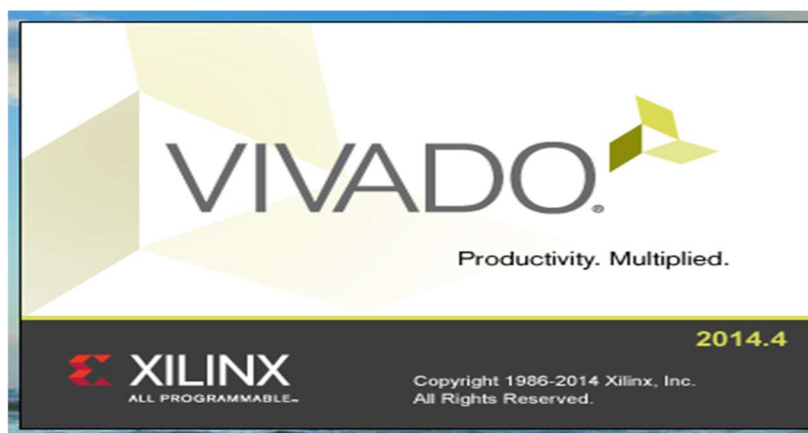


Figure 3.1 : Xilinx vivado

Implémentation et résultat de simulation

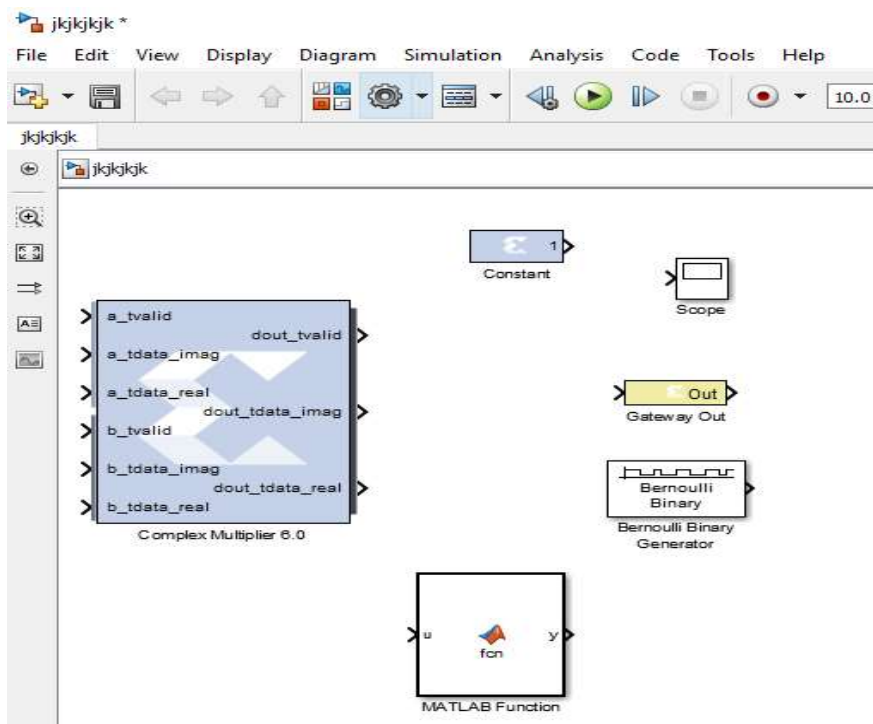
Générateur de système est un outil de conception DSP de Xilinx pour faire un lien entre vivado et matlab qui permet d'utiliser MathWorks Model –Based Simulink pour la conception FPGA.



Figure 3.2 : Xilinx System Generator

Xilinx System Generator, qui facilite la conception du matériel FPGA, a été le pionnier de l'idée de compiler un programme FPGA à partir de MATLAB et du modèle Simulink. Il offre modélisation de système et génération automatique de code à partir de MATLAB et Simulink.

Lors de la conception du modèle Simulink, les blocs de générateurs du système peuvent être utilisés comme d'autres blocks Simulink. En outre, le concepteur peut également utiliser les deux blocs natifs Simulink et Xilinx System Generator bloque en même temps. Les blocs fournissent des abstractions de fonctions mathématiques, logiques, de mémoire et DSP pouvant être utilisées pour systèmes sophistiqués de traitement du signal. L'utilisateur peut concevoir du matériel en utilisant ces Blocs générateurs de système, comme cet exemple :



4. Configuration MATLAB et System Generator:

Dans ce mémoire, les FPGA de Xilinx, ZedBoard, ont été utilisés comme indiqué précédemment. À FPGA basé sur un modèle de conception, l'environnement Simulink de MathWorks a été utilisé avec Blocs générateurs. Le logiciel utilisé pour concevoir le matériel

Implémentation et résultat de simulation

doit être sélectionné avec versions. L'installation de versions exactes du logiciel est l'une des étapes les plus importantes d'une courte avance. Avec les mauvaises versions de Xilinx vivado et MATLAB, concevoir peut-être incompréhensible. Ils doivent également être compatibles avec le matériel à utiliser. Comme mentionné, la carte de développement ZedBoard a été utilisée comme matériel pour les logiciels Xilinx vivado 14.4 et MATLAB 2014a ont été utilisés. À configurer les logiciels Xilinx vivado et Matlab, MATLAB devrait être installé en premier, puis Xilinx doit être installé. Lors de l'installation Xilinx vivado, à partir de la fenêtre de configuration 'Select a MATLAB l'installation pour System Generator, la version réelle de MATLAB doit être sélectionnée, puis alors la configuration peut être complétée.

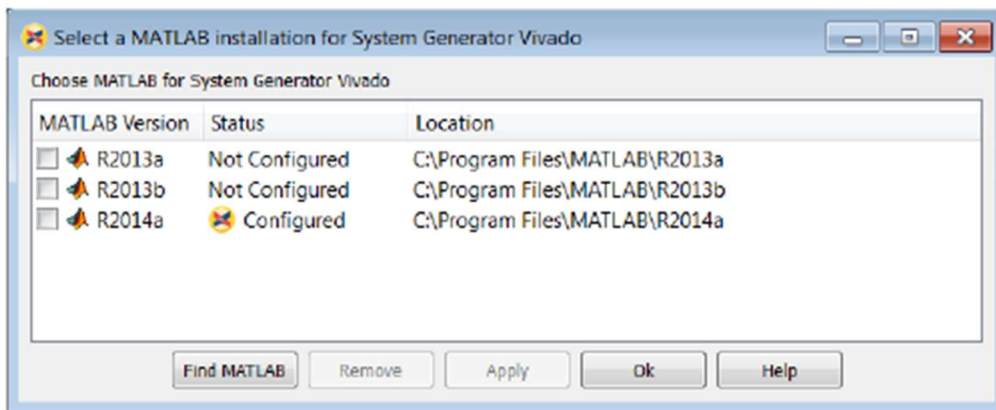


Figure 3.3: Configuration MATLAB et System Generator Vivado

Avant de commencer, vous devez vérifier que MATLAB est configuré pour Vivado Design Suite. Faites ce qui suit :

1. Sélectionnez Démarrer> Tous les programmes> Outils de conception Xilinx> Vivado 2014.x> Générateur système> System Generator 2014.x MATLAB Configurateur.
2. Cliquez sur la case à cocher de la version de MATLAB que vous souhaitez configurer, puis cliquez sur OK.

Sur les systèmes Windows, vous devrez peut-être lancer le configurateur MATLAB en tant qu'administrateur. Lorsque MATLAB configurateur est sélectionné dans le menu, utilisez le clic droit de la souris pour sélectionner Exécuter en tant qu'administrateur.

5. Blocs Xilinx :

5.1. Organisation des bibliothèques de blocs de Xilinx

Il existe 12 types différents de bibliothèques.

Bibliothèque	Description
Index	Chaque bloc comprend un index dans le jeu de blocs Xilinx.
AXI4 Blocks	Cette bibliothèque comprend tous les blocs supportés par l'interface AXI4.
Basic Elément Blocks	Cette bibliothèque comprend des blocs de construction standard pour la

Implémentation et résultat de simulation

	logique numérique.
Communication Blocks	Cette bibliothèque est couramment utilisée dans les systèmes de communications numériques. La bibliothèque de blocs de communication comprend des blocs de correction d'erreurs et des blocs modulateurs.
Control Logic Blocks	Cette bibliothèque comprend des blocs pour les circuits de commande et les machines d'état.
Data Type Blocks	Cette bibliothèque comprend des blocs qui convertissent les types de données (y compris les passerelles).
DSP Blocks	Cette bibliothèque comprend des blocs de traitement numérique du signal (DSP).
Floating-Point Blocks	Cette bibliothèque comprend des blocs qui prennent en charge le type de données à virgule flottante ainsi que d'autres types de données. Seul un seul type de données est pris en charge à la fois. Par exemple, une entrée à virgule flottante produit une sortie à virgule flottante ; une entrée à virgule fixe produit une sortie à virgule fixe.
Index Blocks	Cette bibliothèque comprend tous les blocs du générateur de système.
Math Blocks	Cette bibliothèque comprend des blocs qui implémentent des fonctions mathématiques.
Memory Blocks	Cette bibliothèque comprend des blocs qui implémentent et accèdent aux mémoires.
Shared Memory Blocks	Cette bibliothèque comprend des blocs qui implémentent et accèdent aux mémoires partagées Xilinx.
Tool Blocks	Cette bibliothèque comprend des blocs "Utilitaires".

Table : Organisation des bibliothèques de blocs de Xilinx

5.2. Blocs de générateur de système Xilinx :

- **Constant**

Le bloc Xilinx Constant génère une valeur constante. Ces valeurs peuvent être une valeur fixe, une valeur booléenne. Si l'on compare avec le bloc constant Simulink, il est similaire à ce bloc, mais peut être utilisé pour piloter directement les entrées.



Figure 3.4: Xilinx System Generator - Constant Block Symbol

Implémentation et résultat de simulation

- **Gateway In**

Avec les blocs Xilinx Gateway In, les données produites par les blocs System Generator peuvent être saisies pour votre conception Simulink.



Figure 3.5: Xilinx System Generator - Gateway In Block Symbol

- **Gateway Out**

Les blocs Xilinx Gateway Out sont les sorties de la partie Xilinx de votre conception Simulink. Ce bloc convertit le type de données en virgule fixe ou en virgule flottante de System Generator en un type de données Simulink entier, simple, double ou en virgule fixe.



Figure 3.6: Xilinx System Generator - Gateway Out Block Symbol

- **Serial to Parallel**

Le bloc Parallèle to Serial (Parallèle à Série) permet de saisir les mots en parallèle. Avec ce bloc, l'entrée peut être divisée en N sorties multipliées dans le temps. N est le rapport du nombre de bits d'entrée au nombre de bits de sortie.



Figure 3.7: Xilinx System Generator - Serial to Parallèle Block Symbol

- **System Generator**

Le jeton du générateur de système sert de panneau de commande pour contrôler les paramètres du système et les paramètres de simulation. Il est également utilisé pour la génération de code. Chaque modèle Simulink contenant Xilinx Blockset doit contenir un bloc System Generator.



Figure 3.8: Xilinx System Generator Block Symbol

Implémentation et résultat de simulation

6. Blocs Simulink :

- **Terminator:**

Ce bloc termine le port de sortie non coté.



Figure 3.9: Simulink - Terminator Block Symbol

- **Real-Imag to Complex**

Ce bloc convertit des entrées réelles et/ou imaginaires en signaux complexes.



Figure 3.10: Simulink - Real-Imag to Complex Block Symbol

- **Time Scope**

Le bloc Time Scope affiche les signaux dans le domaine temporel. Le bloc Time Scope accepte les signaux d'entrée ayant les caractéristiques suivantes :

- Temps d'échantillonnage continu ou discret
- Valeur réelle ou complexe
- Dimensions fixes ou variables
- Type de données à virgule flottante ou fixe
- N-dimensionnelle
- Énumérations Simulink



Figure 3.11: Simulink - Scope and Floating Scope Block Symbol

7. Transformée de Fourier Rapide :

Il existe de nombreux cas où le traitement du signal implique la mesure des spectres de fréquence dans les signaux, soit en calculant la transformée de Fourier discrète (TFD) ou la transformée de Fourier rapide (FFT) plus efficace.

Une transformée de Fourier rapide (FFT) est un algorithme permettant de calculer la transformée de Fourier discrète (TFD) et son inverse. L'analyse de Fourier convertit le temps en fréquence ou l'inverse, une FFT calcule rapidement cette transformation en factorisant la matrice TFD en un produit de facteurs rares (généralement zéro). Par conséquent, les

Implémentation et résultat de simulation

transformée de Fourier rapides sont largement utilisées pour de nombreuses applications en génie, en sciences et en mathématiques.

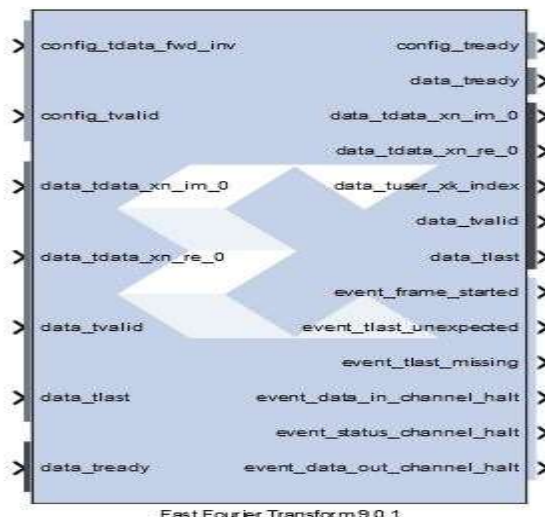
- **FFT Conception dans le System Generator:**

Pour le calcul de la FFT, on utilise la transformée de Fourier rapide v.9 disponible en blockset Xilinx.

Le bloc Xilinx Transformée de Fourier Rapide l'algorithme Cooley-Tukey FFT, une méthode de calcul efficace pour calculer la transformée de Fourier discrète (TFD).

Caractéristiques de FFT v.9.0 sont :

- FFT complexe en avant et en arrière, temps d'exécution configurable
- Tailles de transformation $N = 2^m$, $m = 3 - 16$
- Précision de l'échantillon de données $b_x = 8 - 34$
- Précision du facteur de phase $b_w = 8 - 34$
- Types arithmétiques :
 - Point fixe non mis à l'échelle (pleine précision)
 - Point fixe à l'échelle
 - Bloc à virgule flottante
- Interface à virgule fixe ou flottante.
- Bloc RAM ou RAM distribuée pour le stockage des données et des facteurs de phase
- Temps de fonctionnement configurable en option Taille du point de transformation
- Calendrier de mise à l'échelle configurable en temps réel pour les cœurs à point fixe mis à l'échelle
- Bit/digit inversé ou ordre de sortie naturel
- Insertion d'un préfixe cyclique en option pour les systèmes de communication numériques



Implémentation et résultat de simulation

8. Modèle d'émetteur-récepteur en System Generator:

Cette Schéma d'un système OFDM comportant un émetteur, un récepteur et un canal AWGN.

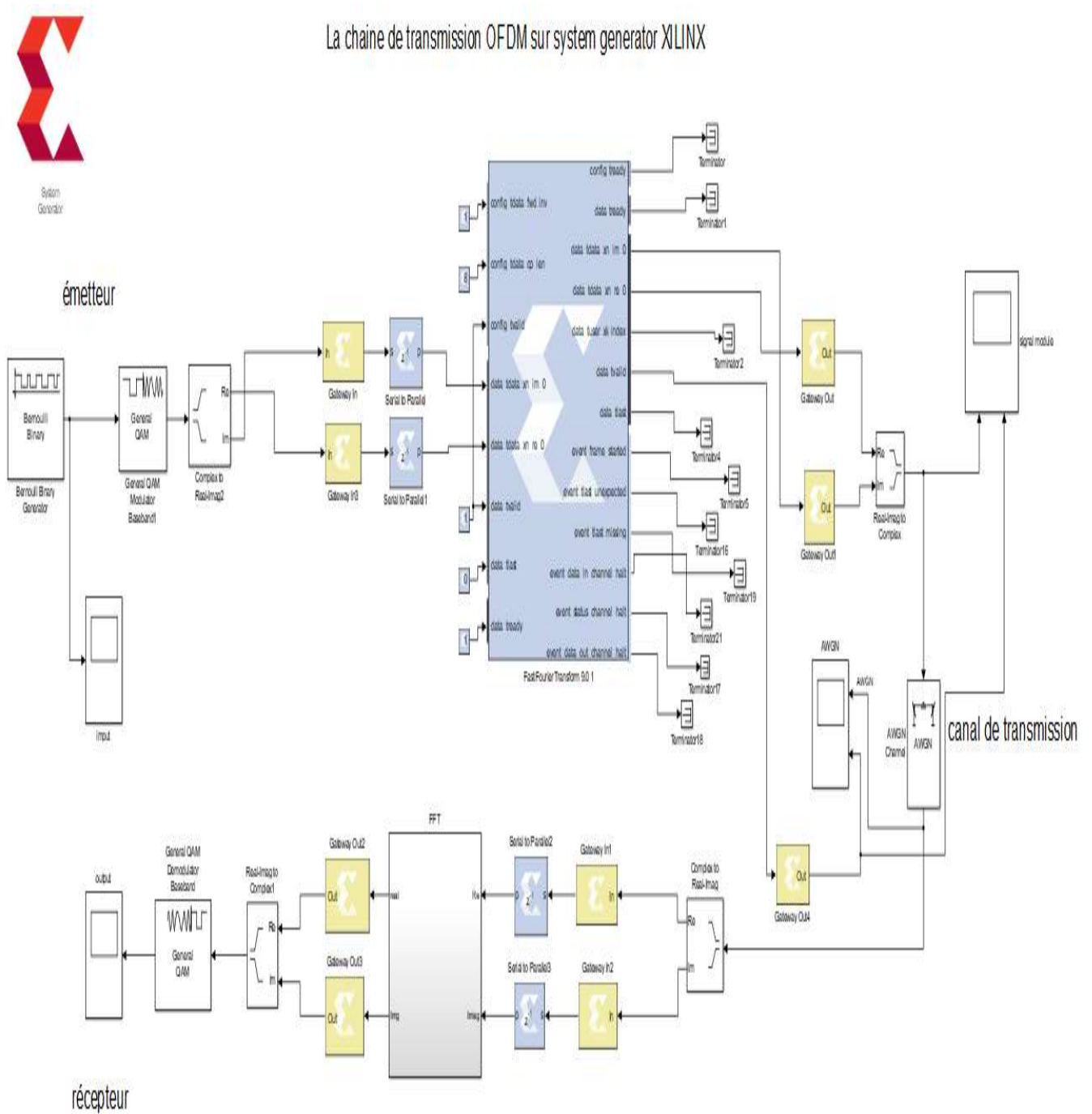


Figure 3.12 : Système OFDM – Chaîne de transmission

Implémentation et résultat de simulation

8.1. Transmetteur :

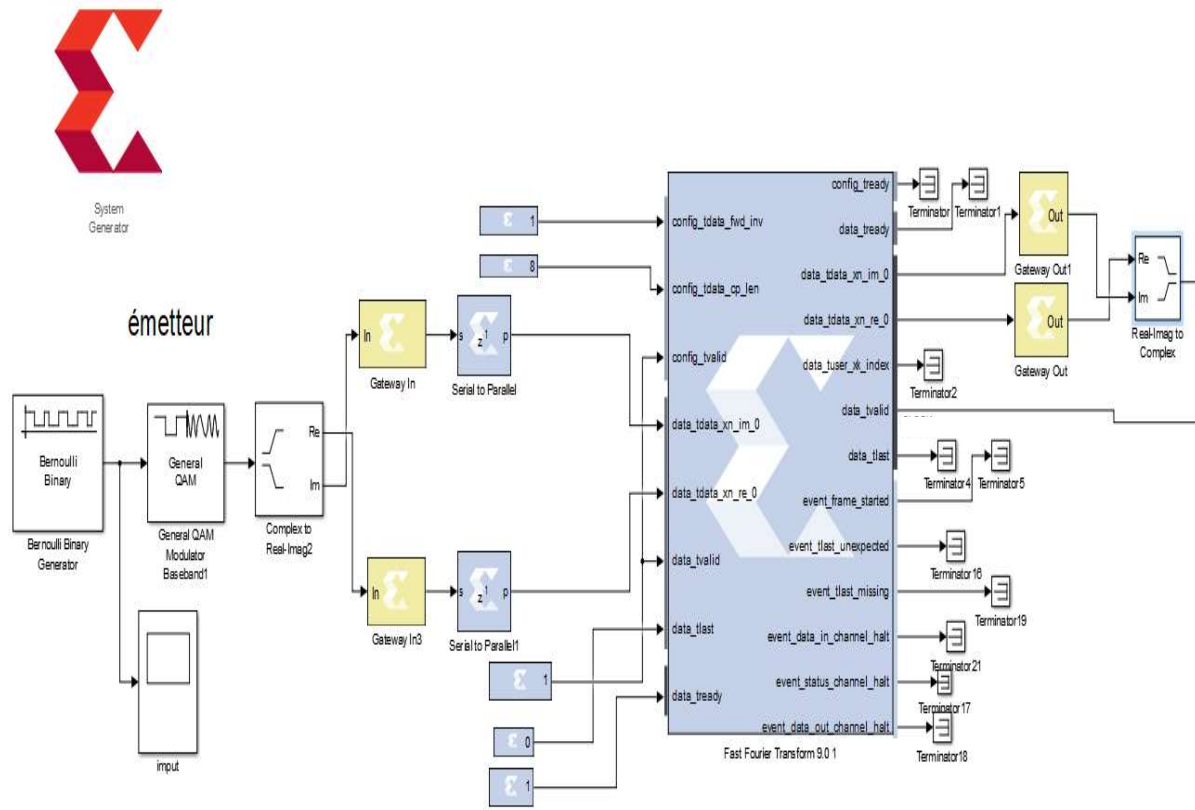
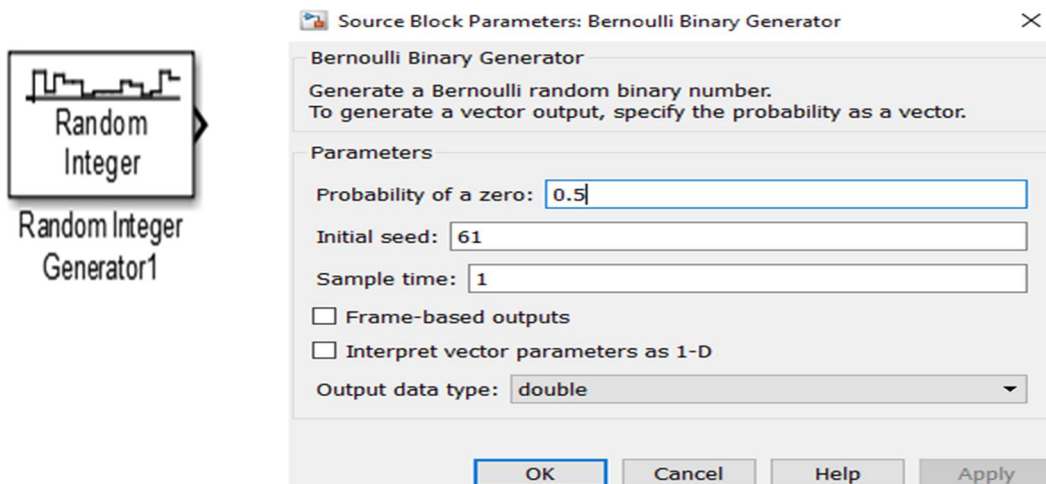


Figure 3.13 : Système OFDM - émetteur

il y a plusieurs sous-systèmes à l'intérieur de ce transmetteur (se compose d'un System Generator Xilinx et des blocs Simulink) qui sont les suivants:

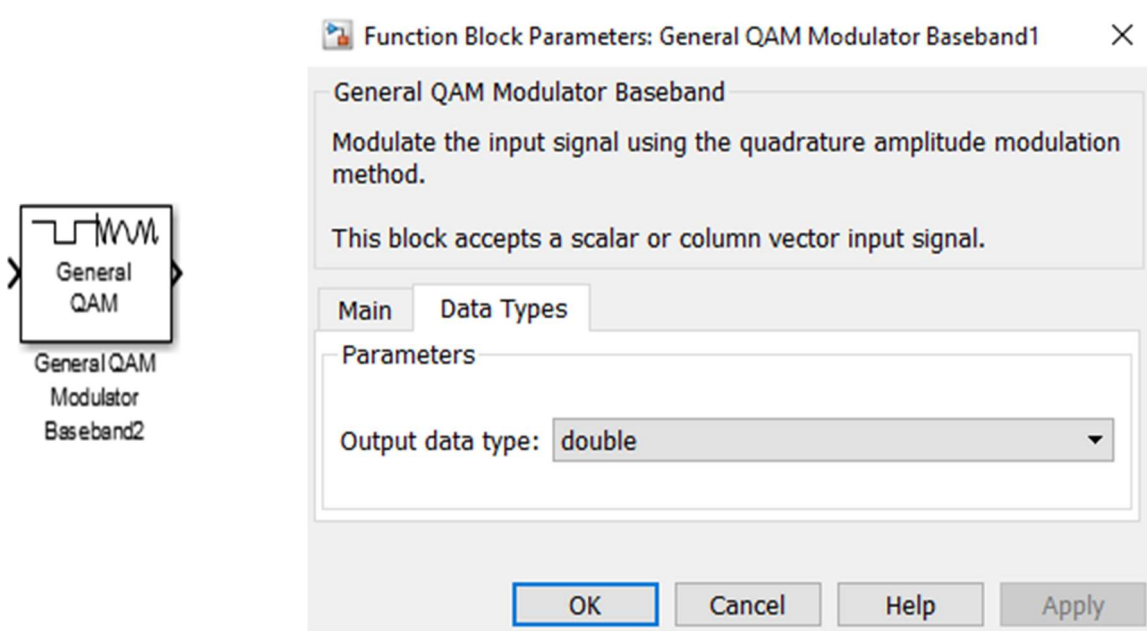
- Source des données (bloc Bernoulli Binary Generator)
- QAM mapper.
- Complex to Real-Imag.
- Modulateur OFDM (IFFT).

1. Source des données : Ce bloc est utilisé pour générer des données d'entrée basées sur des trames.



Implémentation et résultat de simulation

2. Modulateur/Mapper : Ce bloc est utilisé pour moduler le flux de données d'entrée en utilisant QAM.



3. OFDM modulateur (IFFT) :

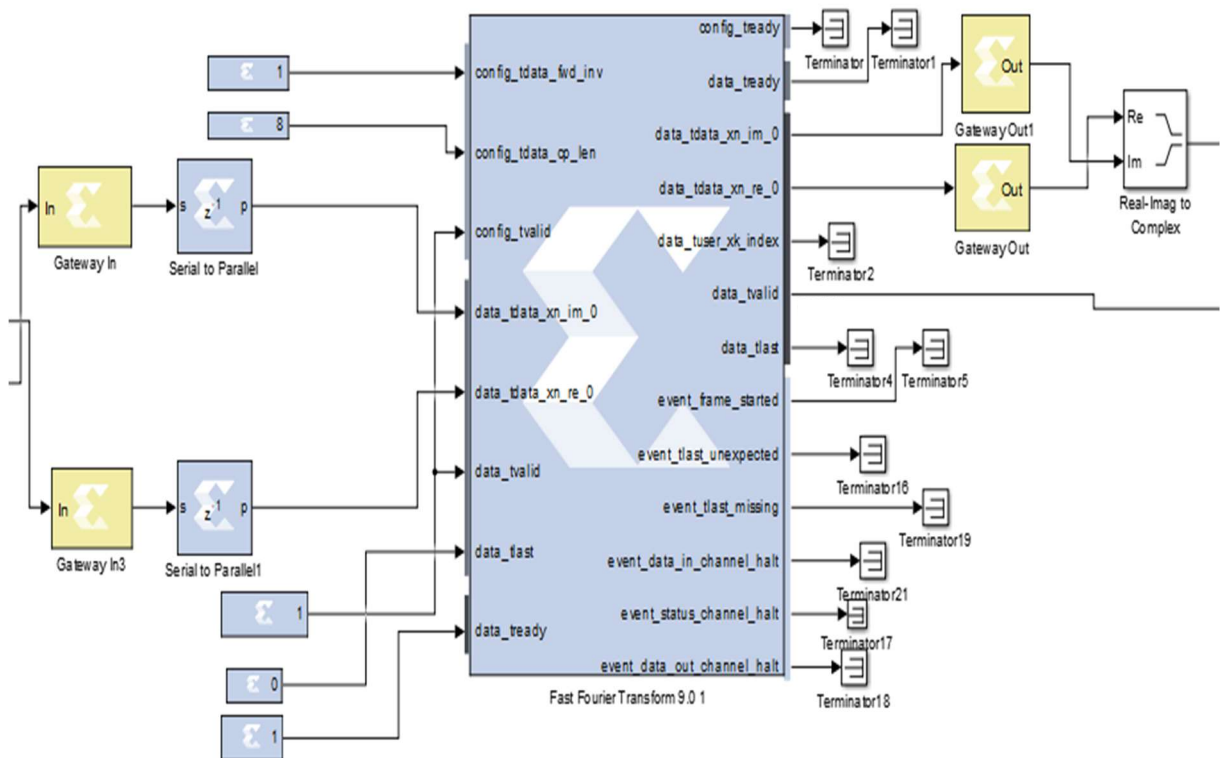


Figure 3.14 : Système OFDM - Récepteur

Implémentation et résultat de simulation

Ce système se compose des blocs System Generator Xilinx et des blocs Simulink. Blocs Xilinx Fast Fourier Transforme 9.0 qui calcule la transformée de IFFT des données d'entrée.

À l'entrée, les données ont été divisées en parties réelles et imaginaires par le bloc Complex to Real-Img et Gateway in pour relier entre les blocs Xilinx et Simulink puis

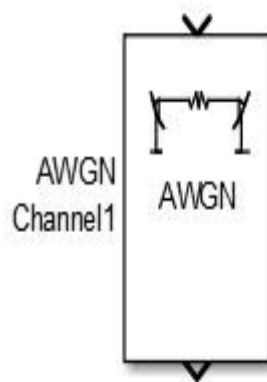
Le Bloc série to parallèles convertir le flux de bits série d'entrée en données parallèle.

Le Bloc constant pour piloter directement les entrées et pour le bloc Gateway out convertit le type de données en virgule fixe ou en virgule flottante de System Generator en un type de données Simulink entier, simple, double ou en virgule fixe.

À la fin Après l'étape du sous-système IFFT les sorties réelles et imaginaires ont été regroupé avec bloc Real-Img to Complex Block.

8.2. Canal de transmission AWGN :

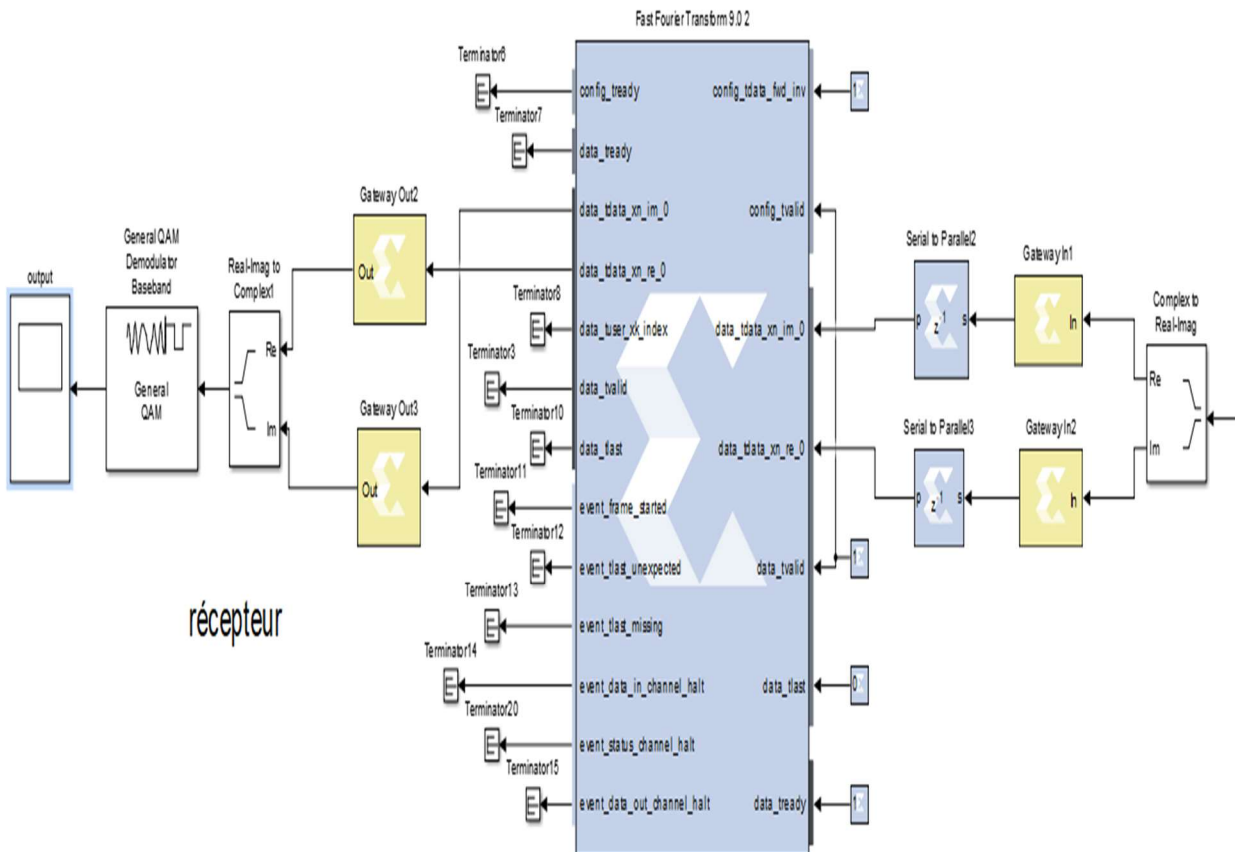
Un canal AWGN ajoute un bruit blanc gaussien au signal qui le traverse.



Le bruit blanc gaussien additif (AWGN) est un modèle de bruit de base utilisé en théorie de l'information pour imiter l'effet de nombreux processus aléatoires qui se produisent dans la nature. Les modificateurs dénotent des caractéristiques spécifiques :

- Additif : parce qu'il s'ajoute à tout bruit qui pourrait être intrinsèque au système d'information.
- Le terme " blanc " fait référence à l'idée qu'il a une puissance uniforme sur toute la bande de fréquences pour le système d'information. C'est une analogie avec la couleur blanche qui a des émissions uniformes à toutes les fréquences du spectre visible.
- Gaussien : parce qu'il a une distribution normale dans le domaine temporel avec une valeur moyenne du domaine temporel de zéro.

8.3. Récepteur :

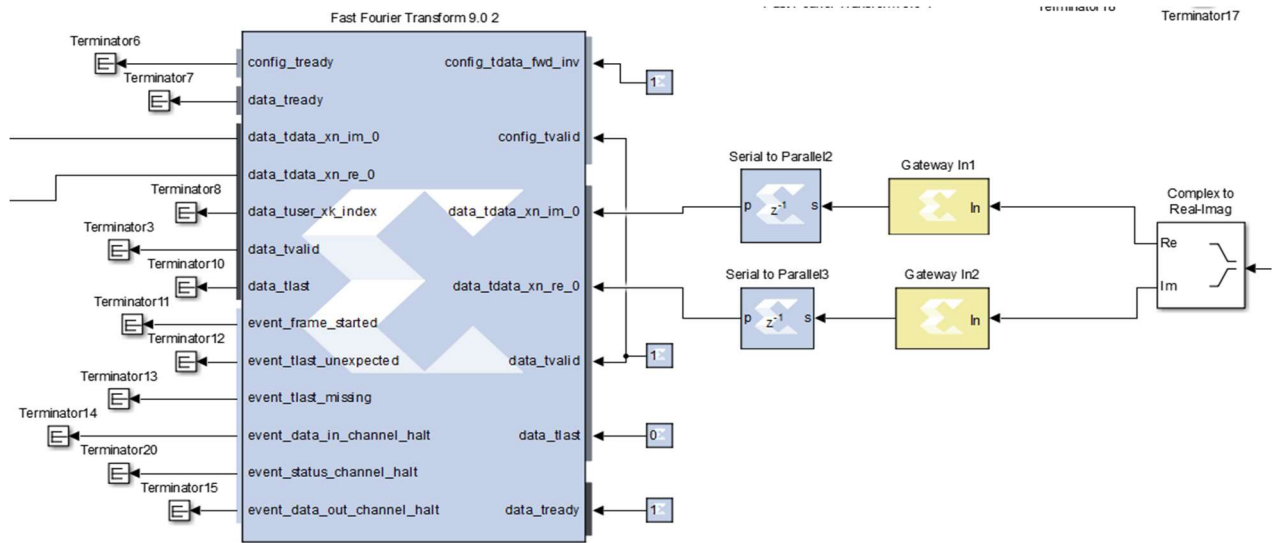


Il y a plusieurs sous-systèmes à l'intérieur de ce récepteur qui sont les suivants :

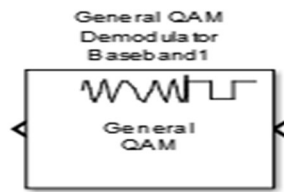
- Démodulateur OFDM (FFT)
- Démappeur QAM

1. Démodulateur OFDM (FFT) : Cette opération effectuée par ce bloc est fondamentalement opposée à celle effectuée par le bloc modulateur OFDM. Dans un premier temps, le préfixe cyclique est supprimé à l'aide d'un bloc de préfixe cyclique, puis le bloc FFT est utilisé pour trouver la transformation de Fourier rapide des échantillons de données

Implémentation et résultat de simulation



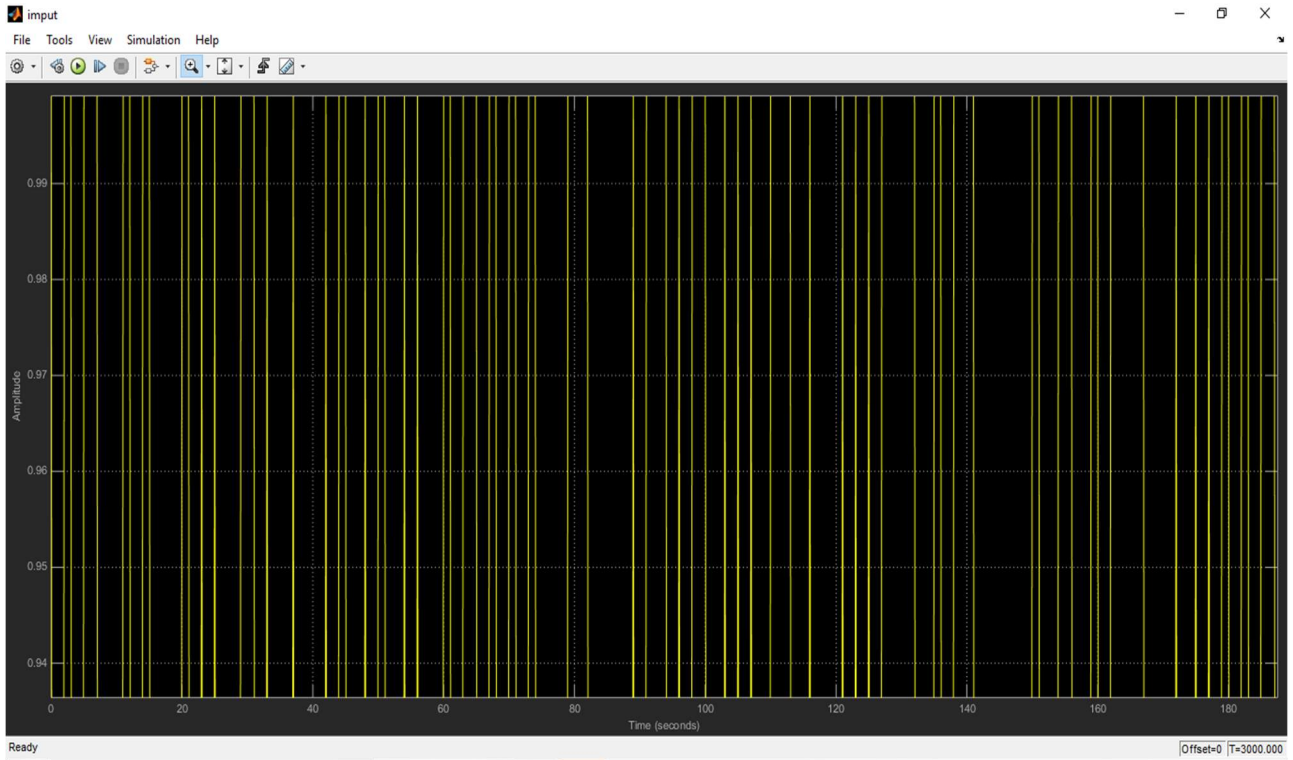
2. QAM Démapper : Ce bloc démodule les données d'entrée en utilisant le démodulateur QAM.



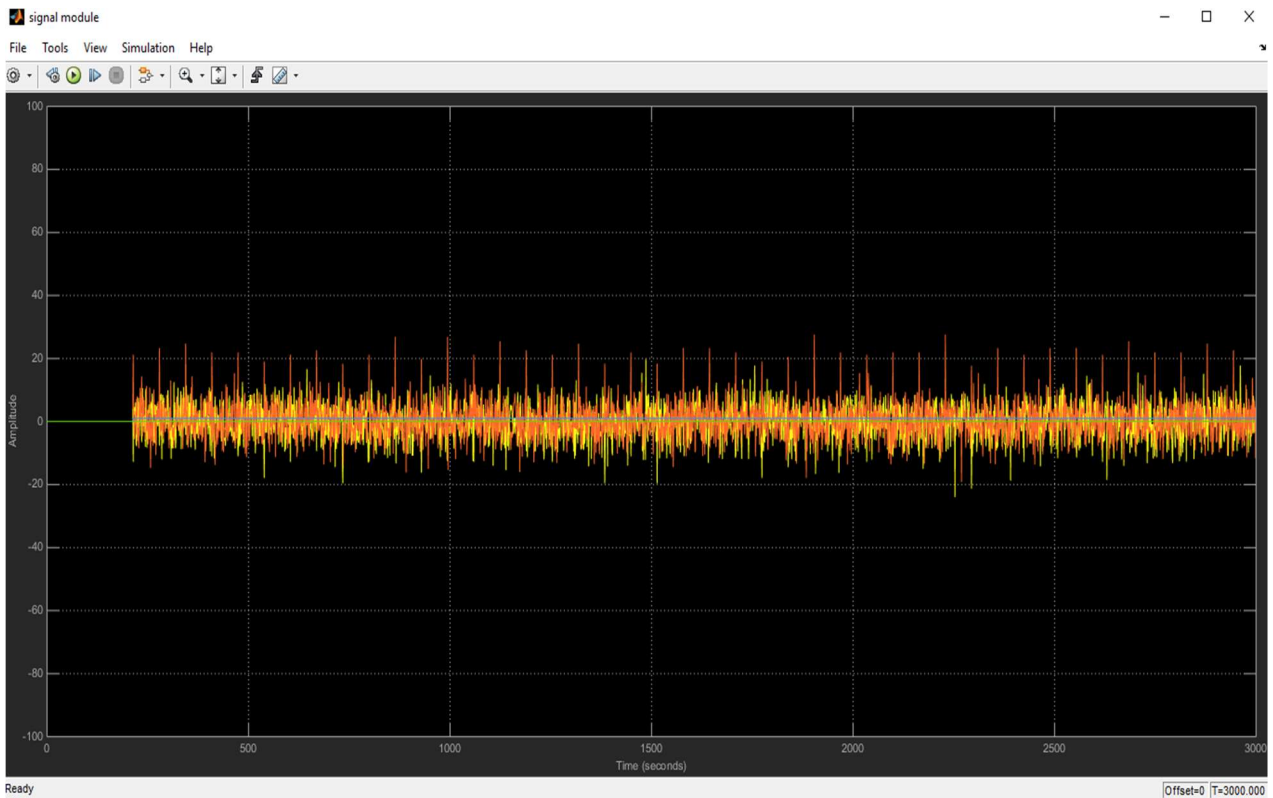
9. Résultats de simulations :

Signal d'entrée :

Implémentation et résultat de simulation



Données transmises (après IFFT) :

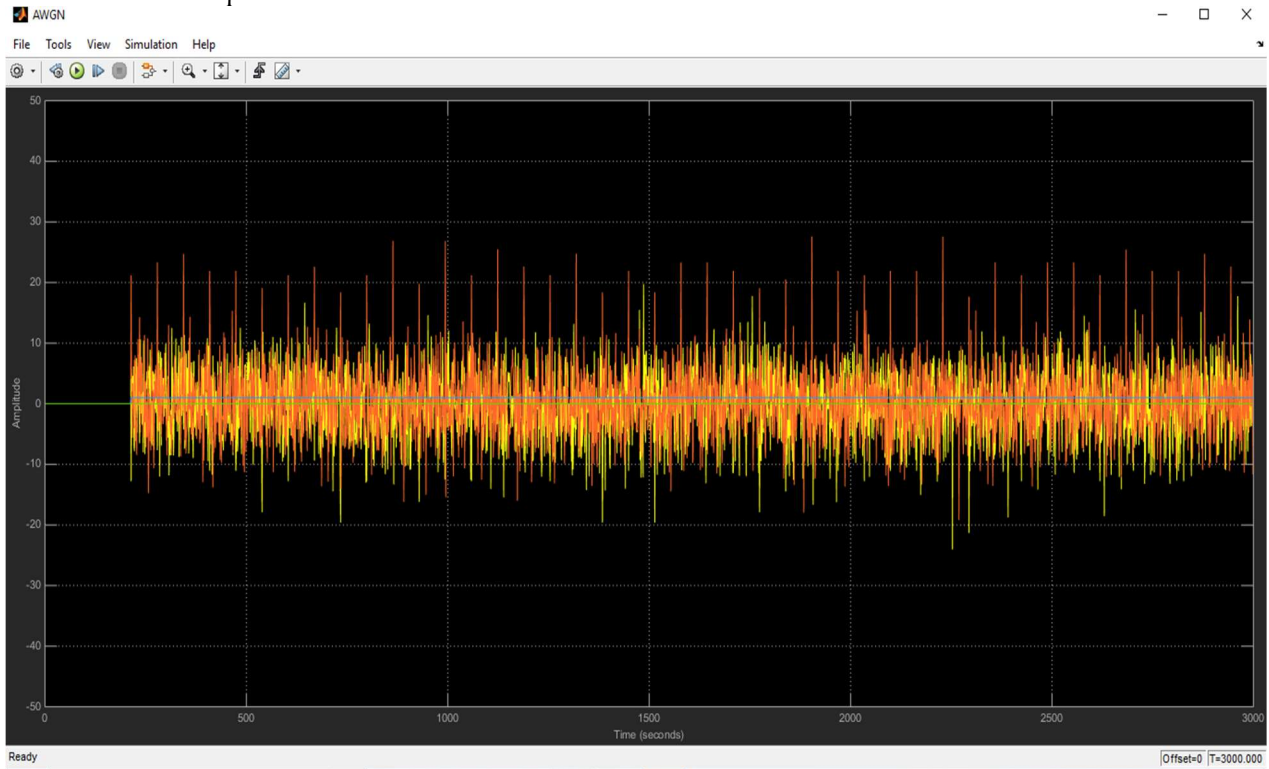


- Le signal en orange et jaune est transmis.
- Le signal en bleu augmente lorsque des données valides sont présentées à la sortie.

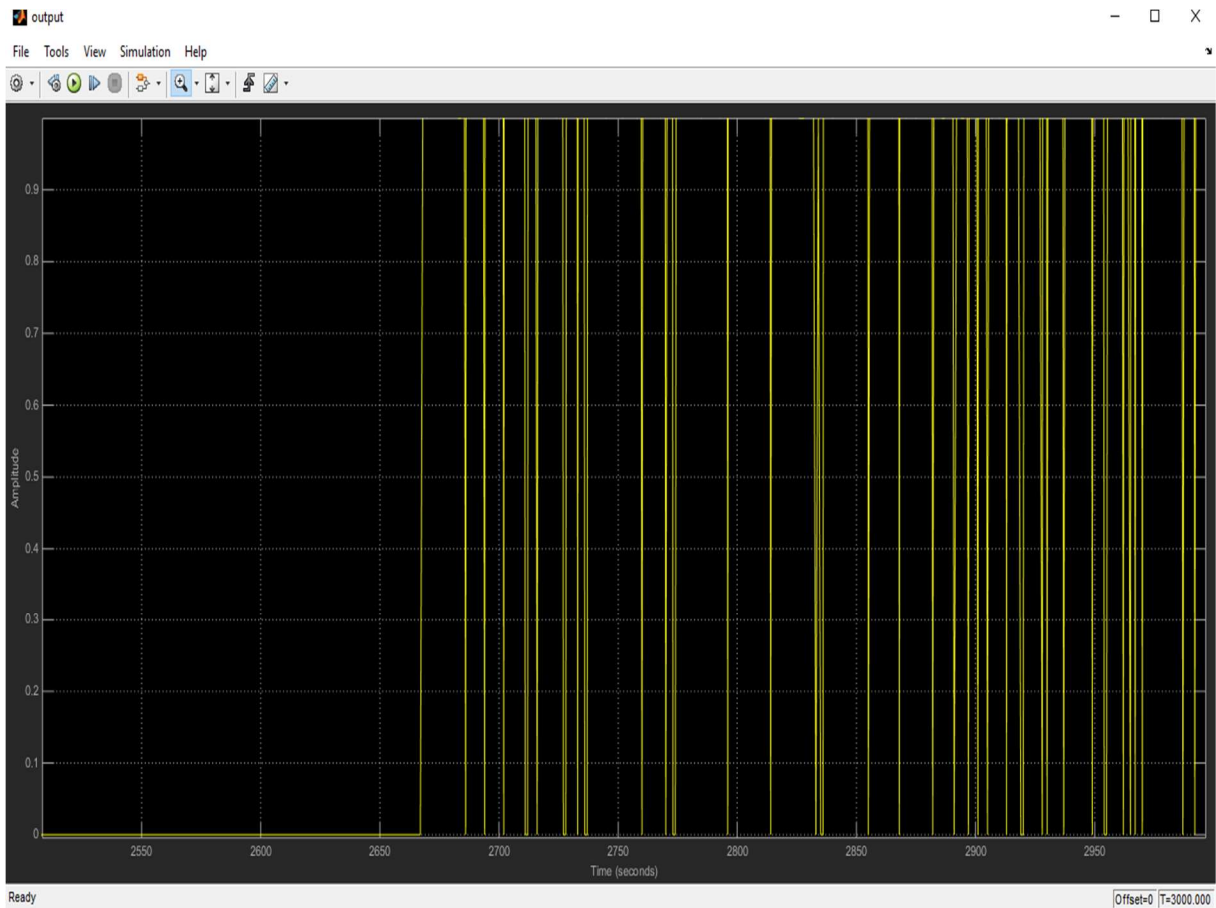
Implémentation et résultat de simulation

Données AWGN :

Sortie obtenue à partir du bloc de canaux AWGN.



Données reçues :

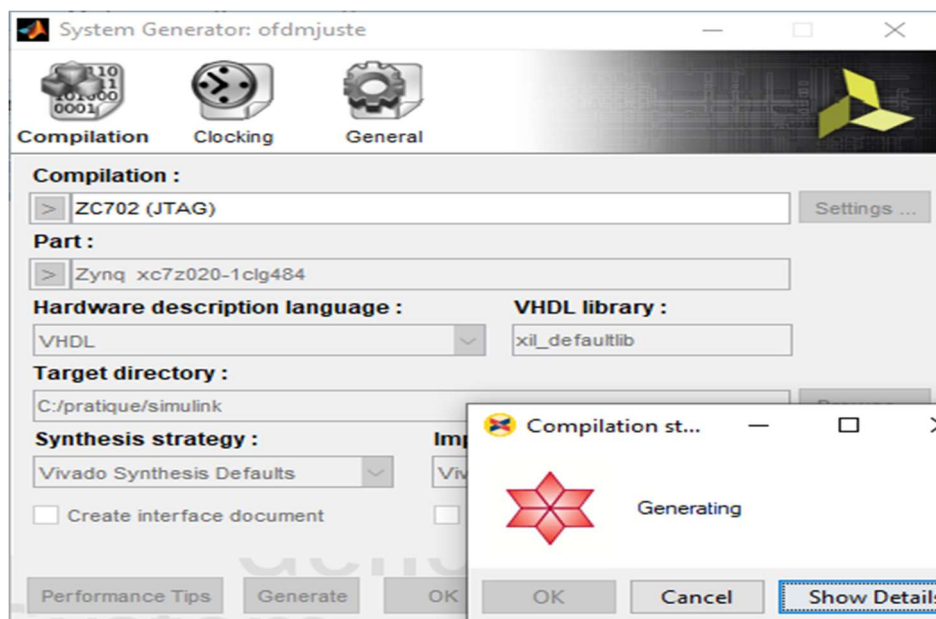
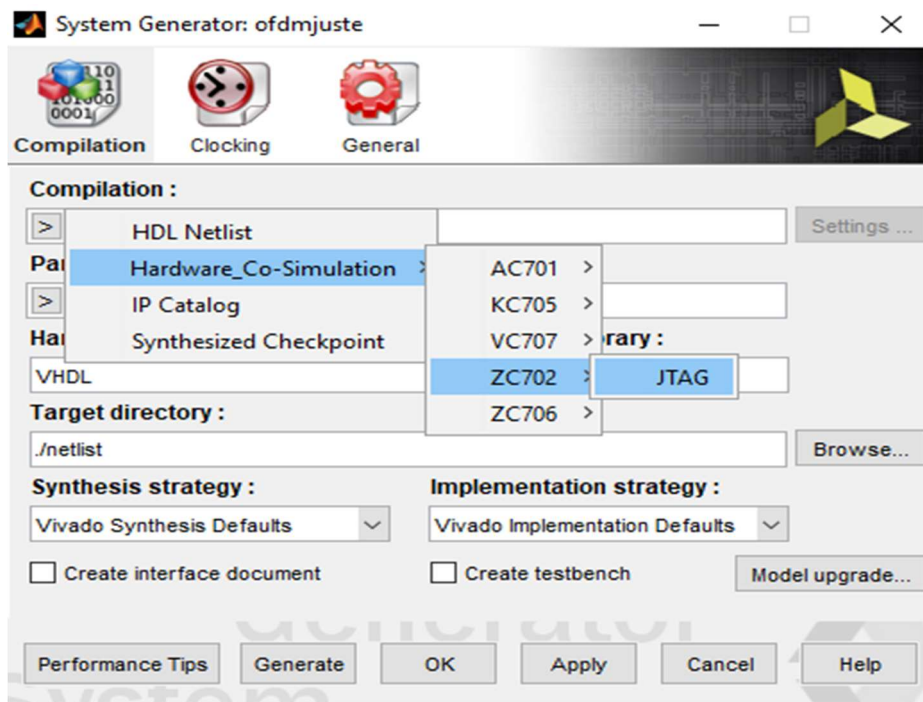


Implémentation et résultat de simulation

Hardware co-simulation :

Le System Generator fournit la simulation accélérée par la Co-simulation matérielle. Il créera automatiquement un jeton de simulation matérielle pour une conception capturée dans un blockset Xilinx DSP qui s'exécutera sur une plate-forme prise en charge par le matériel.

Le système ci-dessus est ensuite converti en une Co-simulation matérielle. La cible de Co-simulation est utilisée pour synthétiser la conception, la mettre en œuvre, exécuter des vecteurs de test sur FPGA et renvoyer les données à Matlab via le JTAG.



Implémentation et résultat de simulation

Après avoir cliqué sur Générer dans le jeton du générateur de système, le bloc hw cosim est généré (voir ci-dessous).



Conclusion

Le multiplexage par répartition orthogonale de la fréquence (OFDM) est l'une des techniques de transmission les plus prometteuses parmi les technologies existantes en raison de ses caractéristiques uniques. Selon les simulations, l'émetteur-récepteur a été développé de manière à être plus fiable. Le bloc émetteur-récepteur est conçu à l'aide du "Xilinx System Generator" qui permet de développer des systèmes DSP de haute performance et de les rendre plus fiables et plus faciles à réaliser.

La conception du processeur OFDM utilisant le Système Generator Xilinx et pour l'implémentation sur un FPGA, nous n'avons pas eu le temps d'aborder ce sujet par le simple fait qu'il s'agit d'un thème extrêmement vaste et qui mérite une attention particulière pour traiter ce thème correctement. Nous avons eu plusieurs difficultés concernant l'acheminement de ce projet car les sources pour le finaliser sont inexistantes.

CONCLUSION GÉNÉRALE

CONCLUSION GÉNÉRALE :

Le travail de ce mémoire se situe au niveau de la chaîne de transmission, à savoir, la modulation et démodulation OFDM. L'objectif de travail est d'implémenter un système de transmission OFDM-SVM sur FPGA ZYNG.

Les systèmes numériques présentent de nombreux avantages dans le domaine de la transmission de l'information. Plus particulièrement, les circuits reconfigurables de type Raspberry et FPGA sont séduisants, par leur faible coût, leurs possibilités d'évolution importants et leur intérêt économique pour les productions en petite série.

Le modulateur et démodulateur OFDM utilisant un algorithme de type FFT, on a testé cette chaîne de transmission OFDM en utilisant le Système Generator.

BIBLIOGRAPHIE

[1] [Badreddin Koussa. "Optimisation des performances d'un système de transmission multimédia sans fil basé sur la réduction du PAPR dans des configurations réalistes". Thèse doctorale, École doctorale 0 : Sciences et ingénierie pour l'information, mathématiques - S2IM (Poitiers) Secteur de recherche : Optoélectronique, micro-ondes, 18 avril 2014]

[2] [Méroouane Debbah. OFDM (Orthogonal Frequency Division Multiplexing)]

[3] [R. W. CHANG: Synthesis of band-limited orthogonal signals for multichannel data transmission. Bell System Technical Journal, volume 46, pages 1775–1796, Dec. 1966]

[4] [Virginie Dégardin. Analyse de la faisabilité d'une transmission de données haut Débit sur le réseau électrique basse tension. Thèse de doctorat en électronique Université des sciences et technologies de Lille Décembre 2002]

[5] [Emad S. Hassan, « Multi-Carrier Communication Systems with Examples in MATLAB », by Taylor & Francis Group, Boca Raton London New York, LLC CRC Press is an imprint of Taylor & Francis Group, an Informa business No, 2016].

[6] [NOUAOURIA ASMA. MODELISATION D'UN MODULATEUR ET DEMODULATEUR OFDM SUR FPGA. ANNABA]

[7] [GAAD Mohammed et RAHMI Bachir. Réalisation d'un modulateur OFDM sur la carte RASPBERRY PI]

[8] [ABDELALI EL KHETTABI, « CONCEPTION DU SYSTEME DE TRANSMISSION OFDM CODE POUR LES APPLICATIONS À HAUT DÉBIT », MONTREAL, LE 1 FEVRIER 2008.]

[9] [Yong Soo Cho: Chung-Ang University, Republic of Korea. Jaekwon Kim: Yonsei University, Republic of Korea. Won Young Yang: Chung-Ang University, Republic of Korea. Chung G. Kang : Korea University, Republic of Korea, « MIMO-OFDM WIRELESS COMMUNICATIONS WITH MATLAB », IEEE PRESS, John Wiley & Sons (Asia) Pte Ltd, 2 Clementi Loop, # 02-01, Singapore 129809, 2010.]

[10] [Muhammad Imadur Rahman, Suvra Sekhar Das, Frank H.P. Fitzek, « OFDM Based WLAN Systems », Center for TeleInfrastruktur (CTiF), Aalborg University Neils Jernes Vej 12, 9220 Aalborg Øst, Denmark, 18 February 2005.]

[11] [LARHZAOUI_Thomas, Fiabilisation de la technologie courant porteur en ligne en vue de piloter des actionneurs d'aéronefs, le 02/07/2014]

BIBLIOGRAPHIE

[12] [FEROUANI SOUHEYLA, Traitement d'Antennes Adaptatives pour l'Optimisation des Performances des Systèmes MIMO-OFDM dans les Réseaux de Télécommunications Sans Fil, Soutenue en 2014]

[13] [Pierre GRUYER, Simon PAILLARD, Modélisation d'un modulateur et démodulateur OFDM]

[14] [TP Système numérique Tutorial sur la suite logicielle Xilinx VIVADO ZINQ, le 09/08/2015]

[15] [NacerBoussahoul, Vincent Kaczmarek, Damien Parry, Yvan Suzzarini, Mise en oeuvre de Linux embarqué sur Zedboard]

[16] [ZedBoard (Zynq™ Evaluation and Development) Hardware User's Guide, Version 2.2 27 January 2014]

BIBLIOGRAPHIE
