

**REPUBLIQUE ALGERIENNE DEMCORATIQUE ET POPULAIRE**

**MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE**

**UNIVERSITE ABOU BEKR BELKAID-TLEMCCEN  
FACULTE DES SCIENCES  
DEPARTEMENT DE PHYSIQUE**

**Pour obtenir le grade de**

**DE MAGISTER**

**En Physique Electronique et Modélisation**

**Présenté par Melle GUEDDA Hayat**

*Sur le Thème*

---

**Etude des Effets Indésirables dans les Transistors  
MOSFETS à Canaux Courts**

---

**Soutenue en 2012 devant la commission d'examens**

Devant le jury d'examen :

***Mr Tayeb. BENOUAZ***

**Professeur A l'université de Tlemcen**

**Président**

**Mme Ahlem. GUEN BOUAZZA**

**Maître de conférences A l'université de Tlemcen**

**Encadreur**

**Mr Abdelkader. HAMDOUNNE**

**Maître de conférences A l'université de Tlemcen**

**Examineur**

**Mr Benyounes. BOUAZZA**

**Maître de conférences A l'université de Tlemcen**

**Examineur**



# Dédicaces

**Je dédie ce modeste travail**

**A mes parents, les plus chers au monde qu'ils m'ont  
encouragé**

**A mes sœurs et mes frères**

**Mes amies, toute la famille et tous ceux qui me sont  
chers**

**A *Madame AHLAM GUEN BOUAZZA***

**A mes collègues de promotion**



## **Remerciements**

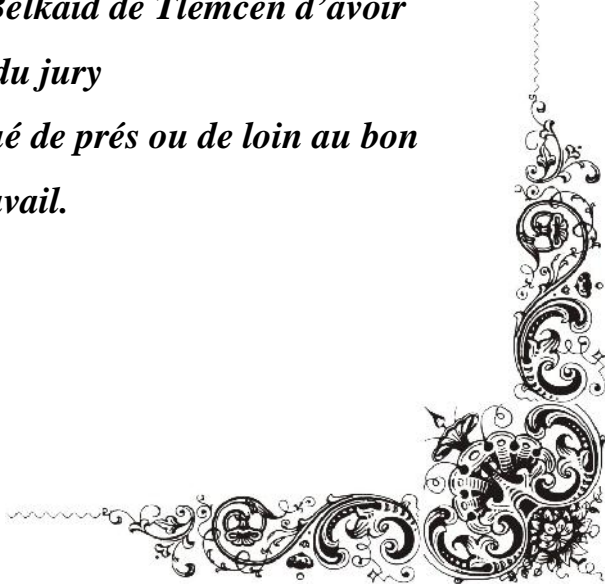

*Je remercie ALLAH le tout puissant de m'avoir donné le courage, la volonté de mener à terme ce travail.*

*Les travaux présentés dans ce manuscrit ont été réalisés a la faculté de technologie, Département d'électronique de l'université Abou-Bekr Belkaid de Tlemcen situé a CHATOUANE et à l'unité de recherche Matériaux et des Energies Renouvelables(URMER) de la faculté des sciences, sous la direction de Madame AHLEM GUEN BOUAZZA Maitre de conférences a l'université Abou-Bekr Belkaid-Tlemcen,à qui je voudrait témoigner toute ma reconnaissance et toute ma gratitude ,elle a fait preuve de tant de patience et de pédagogie tout au long de ce travail .je lui exprimes tout ma reconnaissance pour m' avoir fait bénéficier de toutes ces compétences et sa rigueur scientifiques ses connaissances et sa maitrise en la matière .je voudrais aussi lui témoigner tout ma gratitude pour ces qualités humaines et sa constante disponibilité et Monsieur BOUAZZA pour son aide*

*J'adresse mes sincères remerciements a monsieur BOUNOIZ TAIB professeur a l'université ABOU BEKR BELKAID Tlemcen responsable de laboratoire de la modélisation électronique professeur de l'université Abou-Bekr Belkaid de Tlemcen d'avoir accepté de présider le jury de ce mémoire*

*Je remercie sincèrement monsieur HAMDOUNNE ainsi B.BOUAZZA maitres de conférences a l'université Bekr Belkaid de Tlemcen d'avoir accepter de faire partie du jury*

*Enfin, je remercie tous ceux qui ont contribué de près ou de loin au bon Déroulement de ce travail.*



## Table des abréviations et des constantes

Symbole	Commentaire	Valeurs numériques	Unité
q	Charge élémentaire	$1,60 \cdot 10^{-19}$	C
k	Constante de Boltzmann	$8,62 \cdot 10^{-5}$ $1,38 \cdot 10^{-23}$	$eV.K^{-1}$ $J.K^{-1}$
$\epsilon_0$	Permittivité du vide	$8,85 \cdot 10^{-12}$	$F.m^{-1}$
$\epsilon_{Si}$	Permittivité relative du Si	11,7	Sans dimension
$\epsilon_{SiO_2}$	Permittivité relative du $SiO_2$	4,4	Sans dimension

Abréviation	Signification	Unité	
		Système International	Usuelle
$C_{ox}, C_{dep}, C_{it}$	Capacité par unité de surface de l'oxyde de grille, de déplétion, induit par les états d'interface	$F.m^{-2}$	$F.cm^{-2}$
$D_p, D_n$	Coefficient de diffusion pour les trous ou les électrons	$m^2.s^{-1}$	$cm^2.s^{-1}$
$E, E_x$	Champ électrique et sa composante horizontale	$V.m^{-1}$	$V.cm^{-1}$
$E_g$	Energie du gap	J	eV
$g_m$	Transconductance	S	mS
$I_{OFF}, I_{ON}$	Courant à l'état bloqué / passant, normalisé par rapport à la largeur du transistor	$A.m^{-1}$	$A.\mu m^{-1}$
$J_{gc}, J_{diff}$	Densité de courant de génération/recombinaison ou densité de courant d'une diode en inverse	$A.m^{-2}$	$A.cm^{-2}$
$L_{espaceur}$	Longueur de l'espaceur	m	nm
$L_G, L_{IN}$	Longueur de grille/ de la zone intrinsèque	m	$\mu m$
$L_p, L_n$	Longueur de diffusion des trous ou des électrons	m	$\mu m$
M	Intégrale d'ionisation	Sans dimension	
$N_S, N_D, N_{res}$	Niveau de dopage de la source, du drain ou de la zone intrinsèque	$m^{-3}$	$cm^{-3}$
$p, n, n_i$	Concentration de trous/ d'électrons/intrinsèque	$m^{-3}$	$cm^{-3}$
$Q_{sc}$	Charge dans le semiconducteur	C	C
S	Inverse de la pente sous le seuil; $S = \partial V_G / \partial \log  I_D $	V/dec	mV/dec
T	Température du réseau	K	K
$T_{ox}$	Épaisseur de l'oxyde de grille	m	nm
$T_{per}$	Période du signal d'entrée	s	ns
$T_{Si}, T_{Ge}$	Épaisseur du film de Si ou de Ge	m	nm

$ut$	Potentiel thermique ( $k.T/q$ )	V	V
V	Potentiel dans le canal	V	V
$V_{BR}$	Tension d'avalanche	V	V
$V_D, V_S, V_G, V_B$	Potentiel de drain, source, grille, face arrière	V	V
$V_{Seff}$	Potentiel au bord de la grille du I-MOS côté source	V	V
$V_{GT}$	Tension de seuil	V	V
W	Largeur du transistor	m	$\mu m$
$\alpha_p, \alpha_n$	Coefficient d'ionisation par impact pour les trous ou les électrons	$m^{-1}$	$cm^{-1}$
$\tau$	Durée de vie des porteurs	s	s
$\tau_p$	Temps de propagation porte à porte	s	ps
$\Phi_F$	Niveau de Fermi	J	eV
$\Phi_M, \Phi_{Si}$	Travail de sortie du métal ou du semiconducteur	J	eV
$\Psi_0$	Potentiel de surface dans le I-MOS référencé par rapport au niveau de Fermi	V	eV ou V
$\Psi_I, \Psi_{II}, \Psi_{III}$	Potentiel solution de l'équation de Poisson	V	eV ou V
$\psi_s$	Terme générique pour le potentiel de surface	V	eV ou V
$\Psi_{Sinversionforte}, \Psi_{Sinversionfaible}$	Potentiel de surface en inversion forte et faible	V	eV ou V
$\mu_p, \mu_n$	Mobilité des trous ou des électrons	$m^2.V^{-1}.s^{-1}$	$cm^2.V^{-1}.s^{-1}$

## *Liste des tableaux*

Tableau I.1: Règles de miniaturisation des MOSFETs.....	44
Tableau II 1 : Evolutions technologiques .....	48
Tableau II.2 : Différents modèles de MOSFET.....	48
Tableau III.1 : Paramètres influençant les courants de fuite .....	80

## LISTE DU FIGURE

<i>Figure I.1. Structure métal vide semi-conducteur. Métal et Semi-conducteur isolé (a). Métal et semi-conducteur reliés (b).....</i>	17
<i>Figure I.2 Structure métal - vide - semi-conducteur.....</i>	18
<i>Figure I.3 structure MIS (p) avec <math>w_s = w_p</math>, sous polarisation.....</i>	21
<i>Figure I.4 Structure MIS idéal à: l'équilibre thermodynamique (a). Polarisée(b).....</i>	22
<i>Figure I.5 charge d'espace dans le semi-conducteur en fonction du potentiel de surface .....</i>	25
<i>Figure I.6 Variation du potentiel (a) et du champ électrique (b).....</i>	28
<i>Figure I.7 Variation de la tension de seuil.....</i>	29
<i>Figure I.8 structure équivalent.....</i>	30
<i>Figure.9 Evolution de la capacité de la structure MIS avec le potentiel de la grille.....</i>	34
<i>Figure I.10 Charge d'espace dans le semi-conducteur en fonction du potentiel de surface. Simulation sous MATLAB.....</i>	35
<i>Figure I.11 Charge d'espace. Accumulation (a). Déplétion et faible inversion (b). Forte inversion (c).....</i>	36
<i>Figure I.12 Potentiel de surface <math>V_s</math> du semi-conducteur en fonction de la tension de polarisation <math>V_G</math> de la structure pour différents valeurs de <math>d</math>.....</i>	37
<i>Figure I.13 Potentiel de surface <math>V_s</math> du semi-conducteur en fonction de la tension de polarisation <math>V_G</math> de la structure pour différents valeurs.....</i>	38
<i>Figure I.14 Capacité de la structure en fonction de la tension appliquée.....</i>	38
<i>Figure I.15 Structure MIS.....</i>	39
<i>Figure I.16.a.b.c Structure MOS réelle.....</i>	39
<i>Figure I.17 Influence des Charges dans l'Isolant.....</i>	40
<i>Figure I.18 les Etats d'interfaces.....</i>	41

## LISTE DU FIGURE

<i>Figure I.19 schéma équivalent.....</i>	42
<i>Figure I.20 Capacité petit signaux <math>C_{HF}</math>.....</i>	42
<i>Figure I.21 Capacité Quasi-Statique (<math>C_{BF}</math>).....</i>	43
<i>Figure I.22: Schema dune structure d'un transistor MOSFET.....</i>	48
<i>Figure I-23: Transistor MOSFET Normally-OFF.....</i>	49
<i>Figure I-24: Transistor MOSFET Normally-OFF5.....</i>	49
<i>Figure I-25: Transistor MOSFET Normally-ON.....</i>	50
<i>Figure I-26 : Caractéristique de transfert d'un MOSFET à enrichissement.....</i>	50
<i>Figure I-27: Caractéristique de transfert d'un MOSFET à appauvrissement.....</i>	50
<i>Figure I-28 : Diagramme de bande d'une structure MOS à substrat de type P.....</i>	51
<i>Figure I-29 : Transistor NMOSFET en régime de déplétion.....</i>	52
<i>Figure I-30 : Transistor NMOSFET en régime de déplétion.....</i>	52
<i>Figure I-31 : Transistor NMOSFET en régime de saturation.....</i>	54
<i>Figure I-32 : Caractéristique <math>I_D(V_D)</math> On distingue deux régions différentes, la région linéaire et la région de saturation,.....</i>	54
<i>Figure I-33 : Caractéristique <math>I_D(V_G)</math>.....</i>	55
<i>Figure I.34: Schéma électrique d'un transistor avec prise en compte des résistances séries RSD.....</i>	57
<i>Figure I. 35 : Réseau de la caractéristique du MOSFET N a : Caractéristique de sortie b) caractéristique de transfert .....</i>	57
<i>Figure I. 36 : Structure d'un transistor MOSFET bulk .....</i>	58
<i>Figure 1. 37 : Profil du potentiel de surface pour le transistor nMOS à canal a) Long et b) court.....</i>	60
<i>Figure I.38: Impact des effets canaux courts SCE et DIBL sur la tension de seuil.....</i>	60



## LISTE DU FIGURE

<i>Figure 1.39 : Courbes de transfert pour des tensions de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation).....</i>	<i>61</i>
<i>Figure 1.40 : Courbes de transfert pour des tensions de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation).....</i>	<i>62</i>
<i>Figure II-1.BSIM: Berkeley Short-Channel IGFET Modèle).....</i>	<i>63</i>
<i>Figure II-2 : Présentation du BSIM3).....</i>	<i>66</i>
<i>Figure II-3 : comportement de résistance de sortie pour un MOSFET à différents régions de polarisation. ).....</i>	<i>71</i>
<i>Figure II-4: Représentation de la longueur effective du canal).....</i>	<i>79</i>
<i>Figure II -5: Définition de <math>dL</math>, <math>dW</math>, <math>W_{eff}</math> et <math>L_{eff}</math>.....</i>	<i>80</i>
<i>Figure II-6 : Distribution des courants.....</i>	<i>84</i>
<i>Figure II-7 : Importance du model utilisé.....</i>	<i>86</i>
<i>Figure III-1 : Evolution du nombre de transistors par puce en fonction de l'année de lancement de la production.....</i>	<i>88</i>
<i>Figure III-2 : Evolution du coût par transistor en fonction du temps .....</i>	<i>89</i>
<i>Figure III. 3: Mise en évidence de la pente sous seuil.....</i>	<i>90</i>
<i>Figure III.4 : Principe de l'abaissement de la barrière de potentiel du à la réduction de la longueur de la grille du transistor.....</i>	<i>91</i>
<i>Figure III.5.Profile du potentiel de surface pour des transistors n-MOS à canal (a)long et (b) court.....</i>	<i>92</i>
<i>Figure III.6. Evolution du potentiel de surface pour des dispositifs de différentes longueurs de canal.....</i>	<i>92</i>
<i>Figure III 7 .Exemple de Courbes de transfert d'un NMOSFET pour des tensions de drain de 0.1V (Régime linéaire) et 1.5V (régime de saturation).....</i>	<i>93</i>
<i>Figure III.8 : Illustration des différents courants de fuite présents dans un transistor à</i>	

## LISTE DU FIGURE

<i>court</i> .....	94
<i>Figure IV.1. Caractéristiques de transfert et de sortie du BSIM3</i> .....	100
<i>Figure IV.2. Effets de la variation de la longueur du canal sur <math>I_{DS}</math></i> .....	102
<i>Figure IV.3. Effets de la variation de la largeur du canal sur <math>I_{DS}</math></i> .....	103
<i>Figure IV.4. Effets de la variation de la Longueur et de largeur du canal sur son courant de drain</i> .....	104
<i>Figure IV. 5 : Schéma équivalent DC implémenté par le BSIM3</i> .....	106
<i>Figure IV.6. : Schéma du circuit permettant la mise en évidence Des courants de fuite du MOSFET</i> .....	107
<i>Figure IV.7 : Caractéristiques <math>I_{DS}-V_{DS}</math> à <math>V_{BS}</math> variable du BSIM3 en technologie <math>0.35\mu</math> (<math>W/L=10/0.35</math>, <math>V_{DS}=0.05V</math>)</i> .....	108
<i>Figure IV.8 : Caractéristiques <math>I_{DS}-V_{GS}</math> à <math>V_{BS}</math> variable du BSIM3 en technologie <math>0.35\mu</math> (<math>W/L=10/0.35</math>, <math>V_{DS}=3.5V</math>)</i>	
<i>(a) échelle linéaire. (b) échelle logarithmique</i>	
<i>Figure IV.9 : Caractéristiques <math>I_{DS}-V_{GS}</math> à <math>V_{BS}</math> variable du BSIM3 en technologie <math>0.35\mu</math> (<math>W/L=10/0.35</math>, <math>V_{DS}=0.05V</math>)</i> .....	109
<i>Figure IV.10 : Influence de la température sur le courant de fuite <math>I_{OFF}</math> et <math>I_{on}</math></i> .....	111
<i>Figure IV.11 : Caractéristique <math>\log I_{DS} (V_{GS})</math> d'un transistor NMOS montrant Les composantes principales du courant <math>I_{OFF}</math></i> .....	111
<i>Figure IV.12 : Effet de la variation de la longueur du transistor sur son courant de drain</i> .....	112
<i>Figure IV.13 : Effet de la variation de la largeur du transistor sur son courant de drain</i> .....	113
<i>Figure IV.14. Effet de la variation de la température sur le courant du drain du transistor</i> .....	114

## **LISTE DU FIGURE**

*Figure IV.15. Mise en évidence du point ZTC.....114*

*Figure IV.16 : Influence de la température sur le courant de fuite  $I_{OFF}$  et  $I_{on}$  .....115*

# SOMMAIRE

<i>Liste des symboles</i> .....	1
<i>Liste des tableaux</i> .....	5
<i>Liste des figures</i> .....	7
<i>Chapitre I Etude et modélisation du Transistor MOSFET</i> .....	14
<i>Chapitre2 Etude du model BSIM3</i> .....	48
<i>Chapitre3 Présentation de certains effets indésirables des dispositifs</i> .....	80
<i>Chapitre 4 Présentation des interprétations</i> .....	98
<i>Chapitre I Etude et modélisation du Transistor MOSFET</i> .....	14
<i>I.1 Introduction rappel théorique la structure MIS</i> .....	14
<i>I.2. Structure Métal Vide Semi-conducteur</i> .....	16
<i>I.3. Structure Métal – Isolant – Semi-conducteur : MIS</i> .....	18
<i>I.3.1. Structure MIS Idéale</i> .....	21
<i>I.3.2 Charge d'Espace</i> .....	22
<i>I.3.3. Potentiel et Champ Electricues</i> .....	26
<i>I.3.4 Tension de Seuil</i> .....	28
<i>I.4. Capacité de la Structure</i> .....	29
<i>I.4.1. Régime d'Accumulation</i> .....	31
<i>I.4.2. Régimes de Déplétion et de Faible Inversion</i> .....	32
<i>I.4.3. Régime de Forte Inversion</i> .....	32
<i>I.4.3.1. Capacité basse fréquence</i> .....	33
<i>I.4.3.2. Capacité haute fréquence</i> .....	34
<i>I.5. Potentiel de surface <math>V_s (V_G)</math></i> .....	34
<i>I.6. Modélisation Sous MATLAB</i> .....	35
<i>I.6.1. La Charge <math>Q_{SC}</math> en Fonction de <math>V_s</math></i> .....	36
<i>I.6.2. Potentiel de Surface en Fonction de <math>V_G</math></i> .....	36

# SOMMAIRE

<i>I.6.3. Capacité de la Structure en Fonction de la Tension Appliqué</i>	37
<i>I.7. Structure MIS Réelle</i>	38
<i>I.7.1 Influence du Travail de Sortie du Métal</i>	39
<i>I.7.2. Influence des Charges dans l'Isolant</i>	39
<i>I.7.3. Influence des Etats d'Interface</i>	40
<i>I.8. Caractéristique Capacité – Tension d'une structure MIS réelle</i>	41
<i>I.8.1. Capacité "petits signaux haute fréquence</i>	41
<i>  I.8.2. Capacité "Quasi-Statique" <math>C_{BF}(V_G)</math></i>	42
<b>I.9. Conclusion</b>	<b>43</b>
<i>I-10 Le transistor MOSFET</i>	44
<i>I-11 MOSFET à appauvrissement D-MOSFET</i>	44
<i>  I-11-1 Structure du MOS à appauvrissement canal N</i>	44
<i>  I-11-2 Structure du MOS à appauvrissement canal P</i>	45
<i>I-12 MOSFET à enrichissement - E-MOSFET</i>	45
<i>  Régime d'enrichissement</i>	46
<i>  MOSFET de puissance</i>	46
<i>I-13 Structure de Métal-oxyde-semi-conducteur</i>	46
<i>I.14. Notions élémentaires des dispositifs MOSFETs</i>	47
<b>I-16 Mode de fonctionnement</b>	<b>49</b>
✓ <i>MOSFET à canal non-préformé (Normal y-OFF)</i>	50
✓ <i>MOSFET à canal préformé (Normally-ON)</i>	51
<b>I-16 -1 Régime de fonctionnement</b>	<b>52</b>
<i>Régime d'accumulation : <math>s &lt; 0 (V_G &lt; V_{FB})</math></i>	52
✓ <i>Régime de faible inversion : <math>f &lt; s &lt; 2 f</math> soit <math>V_{FB} &lt; V_G &lt; V_T</math></i>	52
✓ <i>Régime de forte inversion : <math>s &gt; 2 f</math> soit <math>V_G &gt; V_T</math></i>	53
<b>I-17 Caractéristique générales et expressions analytiques d'un MOSFET</b>	<b>54</b>

# SOMMAIRE

✓ Région linéaire ( $0 < V_D < V_{D_{sat}}$ .....	55
✓ Région de saturation : ( $V_{D_{sat}} < V_D$ .....	56
<b>I-18 La transconductance du MOSFET .....</b>	<b>56</b>
<i>I-19 Les résistances séries. ....</i>	<i>57</i>
✓ la résistance du canal de conduction.....	57
✓ les résistances d'accès côté source et côté drain.....	57
<b>I-20. Caractéristique courant- tension .....</b>	<b>57</b>
<b>I-21 Limitations liées a la miniaturisation des dispositifs .....</b>	<b>58</b>
<b>I-22-2 utilisation de matériaux a forte mobilité pour le canal .....</b>	<b>60</b>
<b>1-23 Effets parasites du transistor fortement submicronique .....</b>	<b>61</b>
<b><i>1-23.1. L'effet de canaux courts SCE et DIBL. ....</i></b>	<b><i>62</i></b>
✓ Transistor à canal long .....	61
✓ Transistor à canal court.....	62
<b><i>Chapitre2 : Etude du model BSIM3.....</i></b>	<b><i>63</i></b>
<b>2.1. Effets du dopage Non-uniformes et effets canaux courts sur la tension de seuil du mode.....</b>	<b>66</b>
<b>2.1.1. Effet du dopage vertical non uniforme.....</b>	<b>67</b>
<b>2.1.2. Effet de dopage latéral non uniforme.....</b>	<b>67</b>
<b>2.1.3. Effet canal court.....</b>	<b>69</b>
<b>2.2 Model de la mobilité .....</b>	<b>70</b>
<b>2.3.3. Vitesse de conduction des porteurs.....</b>	<b>71</b>
<b>2.4. Effet charge de substrat .....</b>	<b>72</b>
<b>2.5 Courant du drain en régime de forte inversion (zone linéaire). Regime) .....</b>	<b>73</b>
<b><i>2.5.1 Cas Intrinsèque (<math>R_{ds}=0</math>) .....</i></b>	<b><i>73</i></b>

# SOMMAIRE

2.5.2 Cas extrinsèque ( $R_{ds} > 0$ ) .....	74
2.6.1. Modulation de la longueur du canal .....	76
2.6.2 Drain-Induced Barrier Lowering ( <i>DIBL</i> ).....	77
2.6.4. Expression du courant en tenant compte du courant induit par le substrat .....	77
2.7. Expression du courant sous seuil.....	78
2.8. Longueur et largeur effectives du canal .....	79
3. Expression unifiée du courant du drain. ....	79
3.1. Expression unifiée de la densité de charge dans le canal .....	80
3.2. Expression unifiée de la mobilité des porteurs de charge dans le canal .....	82
3.3. Expression unifiée du courant de drain .....	83
3.4. Distribution des courants dans le transistor.....	84
Chapitre3 Présentation de certains effets indésirables des dispositifs MOSFET à canaux courts.....	85
III.1 Introduction.....	86
III 1.1 Evolution des technologies et critères de réduction des échelles .....	87
III.2.Effets indésirables des MOSFET submicroniques .....	87
III.2.1. Le transistor MOS idéal.....	88
III.2.2 Effets parasites .....	89
III.2.2.1.Dégradation de la pente sous lseuil.....	90
III.2.2.2.Effets Canaux Courts.....	90
Abaissement de la barrière de potentiel par le drain ( <i>DIBL</i> Drain Induced Barrier Lowering) .....	91
Courants de fuite des MOSFET à canaux courts.....	93

# SOMMAIRE

<b>Conclusion .....</b>	<b>95</b>
<b>Chapitre 4 Présentation des interprétations.....</b>	<b>98</b>
<b>IV.1. Effet de la variation des dimensions du transistor sur son courant de sortie.....</b>	<b>100</b>
<b>IV.1.1.Effets de la variation de la longueur du canal sur son courant de drain.....</b>	<b>100</b>
<b>IV.2. Mise en évidence des courants de fuite BSIM3.....</b>	<b>103</b>
<b>IV.1.Caractéristiques I-V du BSIM3.....</b>	<b>105</b>
<b>IV.1.1Simulation SPICE des courants de fuite d'une structure MOSFET Variation de la température BSIM3.....</b>	<b>112</b>
<b>Conclusion générale .....</b>	<b>116</b>



# *Introduction Générale*

# Introduction Générale

Depuis les années 1950, le transistor à effet de champ MOSFET (Métal Oxyde Semiconducteur Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semiconducteur. Son architecture et son principe de fonctionnement sont restés pratiquement inchangés à ce jour, mais ses dimensions physiques n'ont cessé de décroître, suivant la loi de Moore. Cependant, depuis le début des années 2000, la réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication. L'industrie des semi-conducteurs est dans une période clef de son essor, passant du monde de la microélectronique à celui de la nanoélectronique. Afin de poursuivre l'augmentation des performances des dispositifs tout en maintenant l'architecture classique des MOSFETs, plusieurs solutions ont été envisagées au cours de cette évolution.

Les contraintes, même non intentionnelles, peuvent induire des effets indésirables qui ne peuvent malheureusement plus être négligés et altérant le bon fonctionnement des dispositifs menant au dysfonctionnement des circuits. Par contre, leur contrôle permet d'augmenter la vitesse de fonctionnement des transistors. La compréhension des effets indésirables sur les propriétés physiques du à la réduction des dimensions des dispositifs MOSFETs est l'un des enjeux de l'industrie des semi-conducteurs.

Les transistors MOS sur silicium, plus simples et moins chers que leurs concurrents bipolaires, ont connu leur essor dans les années 70-80 grâce à la technologie CMOS inventée en 1968 qui consomme très peu d'énergie. Ainsi des systèmes à bas prix possédant une grande autonomie ont été très largement diffusés : montres à quartz, calculatrices... Depuis, les applications en logique CMOS mais aussi les mémoires qui constituent l'autre grande application des MOSFET ont bénéficié d'une très forte et continuelle augmentation de leur rapidité et de leur densité d'intégration. Malheureusement, la diminution de la taille des dispositifs à

pour conséquence l'apparition d'effets indésirables connus sous le nom d'effets canaux courts.

L'objectif de cette étude est de mettre en évidence par simulation les effets des canaux courts dans les transistors MOSFET dans les modèles récents de petites dimensions, et d'étudier les paramètres pouvant influencer la variation de ces effets. Le modèle visé par notre étude est le transistor BSIM3, modèle très répandu dans l'industrie et conçu par l'université de Californie de Berkeley. C'est pour ce modèle que nous mettrons en évidence certains effets canaux courts dus à la diminution de la géométrie de ce dispositif. Ainsi Notre mémoire de magister sera présenté comme suit :

Au premier chapitre. Nous présenterons les rappels théorique de la structure MIS et des dispositifs MOSFETs, nous présenterons ainsi les notions nécessaires à la compréhension des chapitres suivants.

Nous exposerons ensuite au second chapitre le modèle du bsim3, modèle à canal court, objet de cette étude.

Le chapitre III sera consacré à la présentation de certains effets indésirables des dispositifs MOSFET à canaux courts dus à la réduction de la taille des dispositifs.

Le dernier chapitre a été bien évidemment consacré à la présentation des résultats de simulation obtenus dans notre étude.

## I.1 Introduction rappel théorique la structure MIS

Alors que le transistor bipolaire a été découvert le 23 décembre 1947 par John Bardeen, et Walter Brattain, chercheurs de la compagnie « Bell Laboratories » et pour lequel ils reçurent le prix Nobel de physique en 1956, le principe du transistor à effet de champ (FET ou TEC) ne fut inventé qu'en 1952 par W. SHOCKLEY permettant ainsi la conception des MOSFETs. Bien plus simple en principe à concevoir en comparaison au bipolaire, le transistor MOSFET ne vit le jour que bien plus tard. Ce retard d'apparition par rapport au bipolaire étant principalement du aux problèmes d'interfaces.

Le Principe de fonctionnement des MOSFETs, structures auxquels nous nous sommes intéressé dans ce travail est principalement basé sur l'effet de champ. En effet, le Transistor à effet de champ est un dispositif unipolaire où seuls les porteurs majoritaires interviennent dans son fonctionnement. Les électrons présentant les propriétés de transport (mobilité, vitesse et coefficient de diffusion) les plus intéressantes, les FETs fabriqués sont principalement de type N. W.SHOCKLEY a imaginé trois structures principales de transistors à effets de champ correspondant à différents contacts de grille qui sont :

- Grille à jonction PN pour le transistor JFET (Junction Field Effect Transistor),
- Grille métallique isolée pour le transistor MOSFET (Metal Oxyde Semi-conductor Field Effect Transistor),
- Grille métallique à barrière Schottky pour le transistor MESFET (Métal Semi-conductor Field Effect Transistor).

Les transistors à effet de champ fonctionnent sur un principe totalement différent de celui du transistor à jonction. Ils consistent essentiellement en un barreau conducteur appelé canal, dont les deux extrémités portent des électrodes appelés respectivement source et drain. Lorsque le barreau est polarisé longitudinalement par une tension drain-source  $V_{ds}$ , un courant appelé courant de drain  $I_D$  circule dans le canal de conduction

Nous nous proposons au sein de ce chapitre de présenter le transistor MOSFET afin de bien cerner son principe de fonctionnement ce qui nous permettra par la suite d'étudier les effets indésirables d'une structure particulière soit le BSIM3.

Il est cependant judicieux de rappeler que les concepts du transistor MOS (Metal Oxide Semiconducteur) ont été brevetés par Julius Lilienfeld et Heil en 1930. Néanmoins des difficultés technologiques sérieuses ont retardé sa réalisation pratique. Le MOSFET, n'apparaîtra sous sa forme moderne qu'en 1955 grâce à Ross. Cela bien après la réalisation par Shockley en 1947 du premier transistor bipolaire, C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium bien que son principe ait été proposé dès le début du 20ème siècle. En effet Kahng et Attala ont présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium  $S_iO_2$ . Le silicium fut un choix judicieux car c'est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité.

Afin de modéliser les dispositifs composés de transistors MOSFET, il est nécessaire de rappeler le fonctionnement de ces dispositifs élémentaires et de définir les paramètres qui serviront au cours de nos études. Nous commencerons alors par un rappel sur le fonctionnement et la modélisation de la capacité MOS.

Tout au long de ce document, nous considérerons le cas de composant à substrat de type P. On peut évidemment utiliser le même formalisme pour des dispositifs à substrat de type N (en changeant les N en P et en inversant les polarités).

## I.2. Structure Métal Vide Semi-conducteur

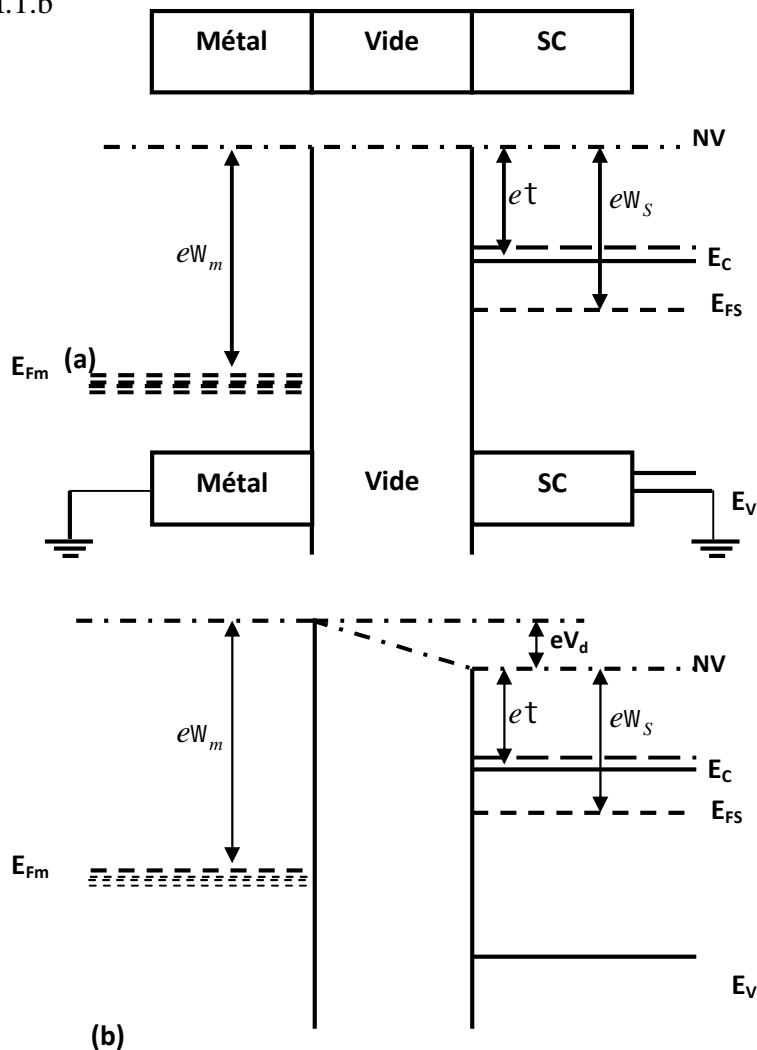
Avant d'entamer la structure métal isolant semi-conducteurs on va introduire la structure métal vide semi-conducteur. Considérons un métal caractérisé par son travail de sortie  $eW_m$  et un semi conducteur caractérisé par son travail de sortie  $eW_s$  et son affinité électronique  $e\chi_s$  dans le vide. Ces deux systèmes sont indépendants et les niveaux de fermi dans chacun d'eux sont respectivement à la distance  $eW_m$  et  $eW_s$  du niveau de vide  $N_V$ . Le diagramme énergétique est représenté dans la figure I.1.a. Si on relie ces deux systèmes par un fil conducteur, ils échangent de l'énergie et constituent un seul système thermodynamique et les niveaux de fermi s'alignent. Il en résulte une différence de potentiel de contact analogue à la tension de diffusion de la jonction  $pn$  ou du contact métal semi-conducteur donné par ;  $V_d = eW_m - eW_s$  I.1

Il est évident que, à cette différence de potentiel sont associés un champ électrique et une charge

d'espace par les relations :  $E = -\frac{dV}{dx}$  I.2

$$\frac{d^2V}{dx^2} = -\frac{\rho(x)}{\epsilon_0 \epsilon_r} \quad \text{I.3}$$

L'amplitude du champ électrique et la densité de la charge d'espace sont d'autant plus importants que le gradient du potentiel est grand c'est à dire puisque  $\Delta V$  est fixé par la différence des travaux de sortie, que la distance entre métal et le semi-conducteur est faible. Tant que cette distance est importante le champ et la charge d'espace sont négligeable le diagramme énergétique est représenté sur la figure I.1.b



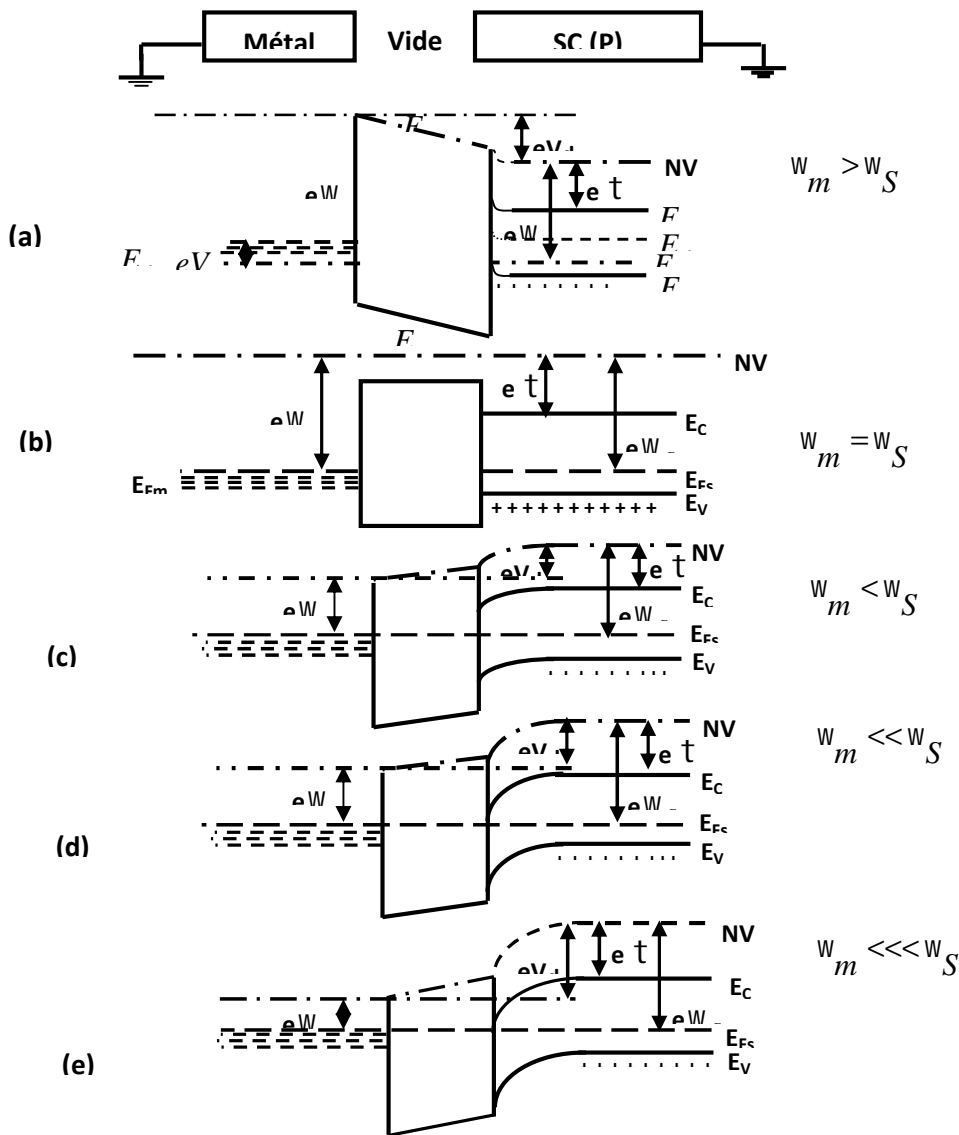
**Figure I.1. structure métal vide semiconducteur. Métal et Semi-conducteur isolé (a).**

**Métal et semiconducteur reliés (b).**

Si on fait rapprocher le métal du semi-conducteur, des charges apparaissent au voisinage de la surface du métal et au voisinage de la surface du semi-conducteur et le système sera analogue

Condensateur plan, dont la tension entre les armatures est : 
$$\begin{cases} \Delta V = V_d & \Delta V \text{ Étant constant.} \\ Q = C\Delta V & \end{cases} \quad \text{I.4}$$

Lorsque la distance entre le métal et le semi-conducteur diminue, la capacité et par suite la charge augmente. La densité d'état étant beaucoup plus grande dans le métal que dans le semi-conducteur, ces charges sont superficielles dans le métal et s'étendent d'avantage dans le semi-conducteur. La charge d'espace dans le métal résulte de la variation de la densité d'électrons au voisinage de la surface. La charge d'espace dans le semi-conducteur résulte de la variation de la densité de porteurs libres électrons et trou au voisinage de la surface, cette variation est associée à la variation de la distance bande permise niveau de fermi dans la mesure ou le niveau de fermi est fixé par l'équilibre thermodynamique, il en résulte une courbure des bandes de valence et de conduction vers le bas ou le haut suivant que la densité d'électrons augmente ou diminue. La nature de la charge d'espace et la courbure des bandes sont fonction d'une part du type du semiconducteur et d'autre part de la différence des travaux de sorties  $eW_m - eW_s$  [1]



**Figure I.2 Structure métal - vide - semiconducteur**

### I.3. Structure Métal – Isolant – Semiconducteur : MIS

Le dispositif visé par notre étude est un transistor de type MOSFET soit un empilement d'un métal/un oxyde qui représente un isolant et un semi conducteur il est donc basé sur la structure MIS que nous définissons brièvement dans ce qui suit.

Dans la structure MIS Métal-Isolant-Semiconducteur l'intervalle entre le métal et le semiconducteur est rempli par un isolant. Généralement cet isolant est l'oxyde de silicium  $SiO_2$  d'où le nom le plus communément utilisé de structure MOS (**M**étal **O**xyde **S**emiconducteur).

Si on suppose que cet isolant, caractérisé par Son gap  $E_{gi}$  et Son affinité électronique  $\chi_i$ , est parfait, la structure présente les mêmes diagrammes énergétiques que ceux représentés sur les figures I.2.

La hauteur de barrière entre le métal et le semiconducteur est toujours donnée par la différence des travaux de sortie du métal et du semiconducteur :  $V_d = W_m - W_s$  I.5

Cette barrière s'étend en partie dans le semiconducteur, en partie dans l'isolant sa forme dans le semiconducteur est fonction de la distribution de la charge d'espace.

Dans l'isolant supposé parfait, l'absence de charge entraîne  $\frac{d^2V}{dx^2} = 0$  Et par suite une variation linéaire de  $V$ . Les bandes de conduction et de valence de l'isolant varient donc linéairement et celles du semiconducteur présentent une variation fonction de la distribution de la charge d'espace.

Les différents régimes de fonctionnements représentés sur les diagrammes de figure I.2 se retrouvent dans le cas de la structure MIS.

Ces diagrammes sont fonction du gradient du potentiel qui existe entre le métal et le semiconducteur, ce gradient de potentiel a deux origines qui sont d'une part la différence des travaux de sortie entre les deux matériaux et d'autre part la différence de potentiel résultant de la polarisation éventuelle d'un matériau par rapport à l'autre.

Les effets sont additifs, l'effet de la différence des travaux de sortie à polarisation nulle est représenté sur la figure I.2. La figure I.3 représente l'effet de la polarisation en supposant la structure en régime de bandes plates ( $W_m = W_s$ ) à polarisation nulle. Sous l'action de la polarisation la structure évolue d'un régime d'accumulation à un régime d'inversion en passant par les régimes de bandes plates et de déplétion. Dans le cas général  $W_m \neq W_s$  le régime de bandes plates n'est pas obtenu pour :

$$V_G = V_{FB} = W_m - W_s \tag{I.6}$$

Outre la différence des travaux de sortie et la polarisation extérieure, un autre phénomène modifie la barrière de potentiel et par suite les différents régimes de fonctionnement la présence de charges localisées à l'interface isolant semi conducteur. Ces charges d'interface  $Q_{ss}$  induisent dans le semiconducteur une charge équivalente et de signe opposé  $Q_{sc} = -Q_{ss}$  I.7

Il existe donc entre le métal et le semiconducteur une différence de potentiel additionnelle

$$\Delta V = V_m - V_{sc} = \frac{Q_m}{C_i} = -\frac{Q_{sc}}{C_i} = \frac{Q_{ss}}{C_i} \tag{I.8}$$

Avec  $C_i = \epsilon_i / d$  I.9

$Q_{ss}$  représente la densité de charges d'interfaces.

$C_i$  : la capacité de l'isolant par unité de surface.

$\epsilon_i$  : est la constante diélectrique de l'isolant.

$d$  : l'épaisseur de l'isolant

Ainsi en prenant en considération d'une part la différence des travaux de sortie et d'autre part la présence des charges d'interface. La tension de polarisation nécessaire à l'établissement du régime de bandes plates s'écrit ;  $V_{FB} = W_m - W_s - \frac{Q_{SS}}{C_i}$  I.10  $V_{FB}$  est appelée tension de bandes plates (flat band)

Dans la mesure où  $W_m$  est inférieur à  $W_s$  et  $Q_{SS}$  toujours positif, la tension de bande plates est négative. Les effets de la différence des travaux de sortie et des états d'interface étant additifs avec l'effet de la polarisation, nous allons calculer ce dernier en supposant nuls les deux premiers. Pour les prendre en compte il suffira de les ajouter au résultat final. C'est l'hypothèse de la structure MIS idéale.

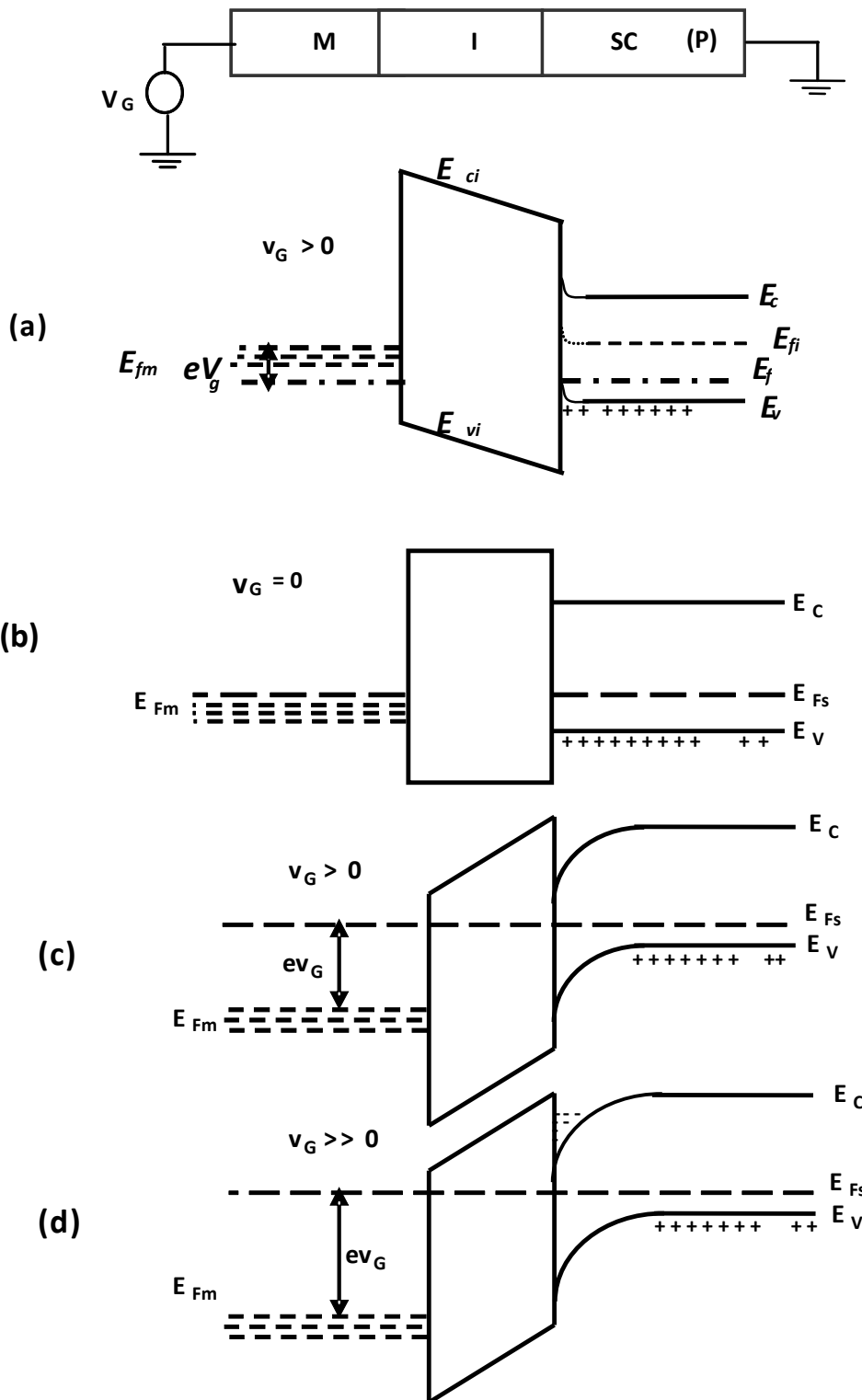


Figure I.3 structure MIS (p) avec  $W_s = W_p$ , sous polarisation



I.3.1. Structure MIS Idéale

La capacité MIS est une structure métal-inslant-semiconducteur, qui est le dispositif le plus simple et le plus utilisé pour l'étude des surfaces des semi-conducteurs. Il est possible de l'étudier à partir de mesures électriques de capacité et/ou de conductance en fonction de la tension appliquée ou de la fréquence, ce qui permet de déterminer quelques caractéristiques physiques des échantillons et d'extraire les paramètres qui les caractérisent .La structure MIS idéale est défini par les conditions ::

- ✓ Les travaux de sortie du métal et du semiconducteur sont égaux.
- ✓ Il n'existe pas d'états d'interface entre l'isolant et le semiconducteur.
- ✓ L'isolant est parfait c'est-à-dire n'est le siège d'aucun courant.

Considérons un semiconducteur de type  $p$ , les diagrammes énergétiques à l'équilibre et sous une polarisation positive du métal par rapport au semiconducteur sont représentés sur les figures I.4.

Où  $E_{Fi}$  représente la position du niveau de fermi du semiconducteur intrinsèque il est fonction des densités d'états relatives de la bande de conduction et de la bande de valence mais ne s'éloigne jamais beaucoup du milieu du gap. Lorsque le niveau de fermi est au dessus de  $E_i$  le semiconducteur est de type  $n$ , lorsqu'il est au dessous il est de type  $p$ .

La figure I.4 fait apparaître un croisement entre  $E_{Fi}$  et  $E_{FSC}$ , nous appellerons  $x_i$  l'abscisse de ce point de croisement. En ce point le semiconducteur est intrinsèque, à droite il est de type  $p$ , à gauche il est de type  $n$ . la figure I.4.b représente donc la structure sous une polarisation qui entraîne le régime d'inversion. La quantité  $eW_{Fi}$  représente dans le semiconducteur, la distance du niveau de fermi au niveau de fermi intrinsèque. La courbure des bandes dans le semiconducteur représente la variation de l'énergie potentielle  $-eV$  des électrons c'est-à-dire au signe près la variation du potentiel.

Ce potentiel varie de  $V=0$  dans la région neutre du semiconducteur à  $V = V_s$  en  $x = 0$  à l'interface isolant- semiconducteur où  $V_s$  représente le potentiel de surface du semiconducteur.

Remarquons enfin, que même sous polarisation, le niveau de fermi reste constant dans tout le semiconducteur, ceci traduit de l'absence de courant résultant de la présence de l'isolant.[1]

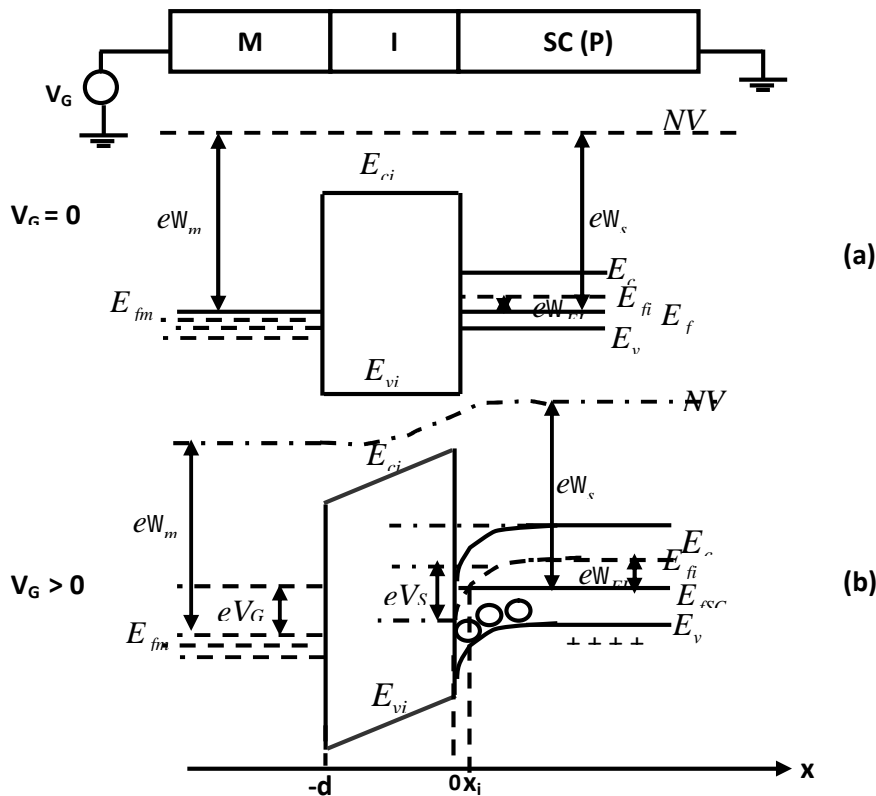


Figure I.4 Structure MIS idéal à: l'équilibre thermodynamique (a). Polarisée(b)

I.3.2 Charge d'Esapce

Dans la région neutre du semiconducteur les densités d'électrons et des trous sont donné par les expressions (I.11.a.et b) dans lesquelles  $eW_{Fi} = |E_F - E_{Fi}|$

$$n_0 = n_i \exp\left(\frac{-eW_{Fi}}{kT}\right) \quad \text{I.11.a et} \quad p_0 = n_i \exp\left(\frac{eW_{Fi}}{kT}\right) \quad \text{I.11.b}$$

L'origine du potentiel étant prise dans la région neutre du semiconducteur. En un point d'abscisse  $x$  ou le potentiel est  $V(x)$ , les densités de porteurs sont données par :

$$n(x) = n_0 \exp\left(\frac{eV(x)}{kT}\right) = n_i \exp\left(\frac{e(V(x) - W_{Fi})}{kT}\right) \quad \text{I.12.a et} \quad p(x) = p_0 \exp\left(\frac{-eV(x)}{kT}\right) = n_i \exp\left(\frac{-e(V(x) - W_{Fi})}{kT}\right) \quad \text{I.12.b}$$

En particulier, les densités de porteurs à la surface sont donné par

$$n_s = n_0 \exp\left(\frac{eV_s}{kT}\right) = n_i \exp\left(\frac{e(V_s - W_{Fi})}{kT}\right) \quad \text{I.13} \quad p_s = p_0 \exp\left(\frac{-eV_s}{kT}\right) = n_i \exp\left(\frac{-e(V_s - W_{Fi})}{kT}\right) \quad \text{I.14}$$

A travers ces expressions, on voit comment le potentiel de surface conditionne les différents régimes de fonctionnement de la structure.

**Pour  $V_s < 0$  :** On obtient  $n_s < n_0$  et  $p_s > p_0$ , ce qui veut dire que la densité de trous en surface est plus importante qu'en volume, la structure est en régime d'accumulation.

**Pour  $V_s = 0$  :** On obtient  $n_s = n_0$  et  $p_s = p_0$  la structure est en régime de bandes plates.

**Pour  $0 < V_s < W_{Fi}$ ,** On obtient  $n_s > n_0$  et  $p_s < p_0$  avec  $p_s > n_s$ , dans ce cas la, la densité d'électrons en surface augmente et la densité de trous diminue mais le semiconducteur reste de type  $p$ , la structure est en régime de déplétion.

**Pour  $V_s > W_{Fi}$ ,** On obtient  $p_s < n_s$ , la densité d'électrons est en surface plus grande que la densité de trous, la structure est en régime d'inversion.

Les quantités que nous venons de discuter concernent les densités de porteurs libres à la surface du semiconducteur. Pour obtenir la densité totale de charges développées dans le semiconducteur, il faut

intégrer l'équation de poisson. :  $\frac{d^2V(x)}{dx^2} = -\frac{\dots(x)}{\epsilon_s} \quad \text{I.15}$  Où  $\epsilon_s$  représente le constant diélectrique

du semiconducteur. En un point d'abscisse  $x$  la densité de charge est donnée par

$$\dots(x) = e(N_d(x) - N_a(x) + p(x) - n(x)) \quad \text{I.16}$$

Où  $N_d(x)$  et  $N_a(x)$  représentent respectivement les densités de donneurs et d'accepteurs ionisés .nous supposons le semiconducteur dopé de manière uniforme de sorte que

$$N_d(x) - N_a(x) = N_d - N_a = n_0 - p_0 \quad \text{I.17}$$

En explicitant  $N_d - N_a$ ,  $n(x)$  et  $p(x)$  en fonction de  $n_0$  et  $p_0$  la densité de charges s'écrit :

$$\dots(x) = e\left(n_0 - p_0 + p_0 \exp\left(-\frac{eV(x)}{kT}\right) - n_0 \exp\left(\frac{eV(x)}{kT}\right)\right) \quad \text{I.18.}$$

$$\text{D'où l'équation de poisson} \quad \frac{d^2V(x)}{dx^2} = -\frac{e}{\epsilon_s} \left[ p_0 \left( \exp\left(-\frac{eV(x)}{kT}\right) - 1 \right) - n_0 \left( \exp\left(\frac{eV(x)}{kT}\right) - 1 \right) \right] \quad \text{I.19}$$

Le terme de gauche de l'équation I.19 s'écrit

$$\frac{d^2V(x)}{dx^2} = \frac{d}{dx} \left( \frac{dV(x)}{dx} \right) = \frac{d}{dV(x)} \left( \frac{dV(x)}{dx} \right) \frac{dV(x)}{dx} = E(x) \frac{dE(x)}{dV(x)} \quad \text{I.20}$$

De sorte que l'équation de poisson s'écrit

$$E(x)dE(x) = -\frac{e}{\nu_s} \left[ p_0 \left( \exp\left(-\frac{eV(x)}{kT}\right) - 1 \right) - n_0 \left( \exp\left(\frac{eV(x)}{kT}\right) - 1 \right) \right] dV(x) \quad \text{I.21}$$

On intègre cette équation à variables séparées depuis la région neutre du semiconducteur vers la région de charge d'espace. Le champ électrique  $E(x)$  varie de  $E = 0$  dans la région neutre à une valeur  $E(x)$  non nulle dans la zone de charge d'espace. Le potentiel  $V(x)$  varie de  $V = 0$  dans la région neutre à une valeur  $V(x)$  non nulle dans la zone de charge d'espace. On obtient :

$$\frac{1}{2} E^2(x) = -\frac{e}{\nu_s} \left[ p_0 \left( -\frac{kT}{e} \exp\left(-\frac{eV(x)}{kT}\right) - V(x) + \frac{kT}{e} \right) - n_0 \left( \frac{kT}{e} \left( \exp\left(\frac{eV(x)}{kT}\right) - V(x) - \frac{kT}{e} \right) \right) \right] \quad \text{I.22}$$

$$E^2(x) = -\frac{2e}{\nu_s} \frac{kT}{e} p_0 \left[ \left( \exp\left(-\frac{eV(x)}{kT}\right) + \frac{eV(x)}{kT} - 1 \right) + \frac{n_0}{p_0} \left( \exp\left(\frac{eV(x)}{kT}\right) - \frac{eV(x)}{kT} - 1 \right) \right] \quad \text{I.23}$$

$$E^2(x) = \left( \frac{kT}{e} \right)^2 \frac{2e^2 p_0}{kT\nu_s} \left[ \left( \exp\left(-\frac{eV(x)}{kT}\right) + \frac{eV(x)}{kT} - 1 \right) + \frac{n_0}{p_0} \left( \exp\left(\frac{eV(x)}{kT}\right) - \frac{eV(x)}{kT} - 1 \right) \right] \quad \text{I.24}$$

En posant  $L_D = \left( \frac{kT\nu_s}{2e^2 p_0} \right)^{\frac{1}{2}}$  I.25

$$F(V(x)) = \left[ \left( \exp\left(-\frac{eV(x)}{kT}\right) + \frac{eV(x)}{kT} - 1 \right) + \frac{n_0}{p_0} \left( \exp\left(\frac{eV(x)}{kT}\right) - \frac{eV(x)}{kT} - 1 \right) \right]^{\frac{1}{2}} \geq 0 \quad \text{I.26}$$

Où  $L_D$  est la longueur de Debye du semiconducteur

L'équation I.24 s'écrit :  $E^2(x) = \left( \frac{kT}{e} \right)^2 \frac{1}{L_D^2} F^2(V(x))$  I.27

Le champ électrique est dirigé dans le sens des potentiels décroissants, de sorte que dans la mesure où l'origine des  $x$  est prise à la surface du semiconducteur et l'origine des potentiels dans la région neutre du semiconducteur,  $E$  est positif si  $V_s$  est positif, soit

$$E(x) = \text{sign}(V_s) \left( \frac{kT}{eL_D} \right) F(V(x)) \quad \text{I.28}$$

Où  $\text{sign}(V_s)$  signifie signe de  $V_s$ .  $\text{sign}(V_s) = \frac{|V_s|}{V_s}$  I.29

Il faut noter que dans la structure idéale  $V_s$  et  $V_G$  ont le même signe car  $V_{FB} = 0$ , il peut ne pas en être ainsi dans une structure réelle avec  $V_{FB} \neq 0$

A la surface du semiconducteur le champ électrique est donné par ;

$$E(x) = \text{sign}(V_s) \left( \frac{kT}{eL_D} \right) F(V_s) \quad \text{I.30}$$

Avec  $F(V_s) = \left[ \left( \exp\left(-\frac{eV_s}{kT}\right) + \frac{eV_s}{kT} - 1 \right) + \frac{n_0}{p_0} \left( \exp\left(\frac{eV_s}{kT}\right) - \frac{eV_s}{kT} - 1 \right) \right]^{\frac{1}{2}}$  I.31

Ou, en explicitant le rapport  $n_0/p_0$  (Eq I.11)

$$F(V_s) = \left[ \exp\left(-\frac{eV_s}{kT}\right) + \frac{eV_s}{kT} + \exp\left(\frac{e(V_s - 2W_{Fi})}{kT}\right) - 1 - \frac{n_0}{p_0} \left(\frac{eV_s}{kT} + 1\right) \right]^{\frac{1}{2}} \quad \text{I.32}$$

A partir du champ en surface on peut calculer la densité total de charge développée dans le semiconducteur il suffit d'utiliser le théorème de Gauss en prenant comme surface fermé un cylindre de section  $S=l$  d'axe  $x$  et dont une base est à la surface du semiconducteur et l'autre dans la région neutre

$$\int E \cdot dS = \frac{Q_{sc}}{\epsilon_s} \quad \text{I.33}$$

Dans la région neutre du semiconducteur le champ est nul. Sur les faces latérales du cylindre le champ est parallèle à la surface en raison de la symétrie de la structure, ainsi le flux à travers ces faces est nul.

L'équation I.22 se réduit donc à  $E_s = -\frac{Q_{sc}}{\epsilon_s}$  I.34

Ainsi la charge totale  $Q_{sc}$  développée dans le semiconducteur est donnée par

$$Q_{sc} = -\text{sign}(V_s) \left( \frac{V_s kT}{eL_D} \right) F(V_s) \quad \text{I.35}$$

La charge développée à la surface du métal est donnée par la

même expression mais avec un signe opposé  $Q_m = -Q_{sc}$  I.36

Pour voir l'évolution de la charge d'espace dans les différents régimes de fonctionnement il suffit d'étudier la fonction  $F(V_s)$ . La courbe représentant la variation de  $Q_{sc}$  en fonction du potentiel de surface  $V_s$  est représentée sur la figure I.5 dans le cas du silicium de type  $p$  avec  $N_a = 4.10^{15} \text{ cm}^{-3}$ , on observe les différents régimes de fonctionnement : une variation exponentielle en régime d'accumulation, en  $\sqrt{V_s}$  en régime de déplétion et de faible inversion et à nouveau exponentielle en régime de forte inversion. [3]

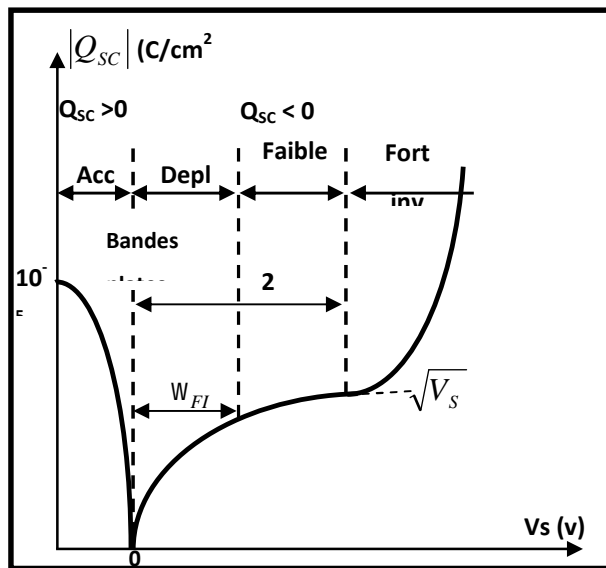


Figure I.5 charge d'espace dans le semiconducteur en fonction du potentiel de surface.

En régime de faible inversion, la charge d'espace est conditionnée par les charges de déplétion car les charges d'inversion sont en quantité négligeable devant la densité des ions accepteurs. En régime de forte inversion, au contraire la charge d'espace est conditionnée par les électrons dont la densité en surface est beaucoup plus grande que celle des accepteurs.

Le seuil  $V_s^*$  du régime de forte inversion correspondre au potentiel de surface  $V_s$  pour lequel  $n_s = N_a$ ,

Or  $n_s = n_i \exp\left(\frac{e(V_s - W_{Fi})}{kT}\right)$  I.37 Et  $N_a = p_0 = n_i \exp\left(\frac{eW_{Fi}}{kT}\right)$  I.38

Ainsi la condition de forte inversion  $n_s = N_a$  entraîne

$$V_s^* - w_{Fi} = w_{Fi} \Rightarrow V_s^* = 2w_{Fi} \quad \text{I.39}$$

L'expression de  $N_a$  permet de déterminer  $w_{Fi}$  et par unité la tension  $V_s^*$  en fonction du dopage

$$w_{Fi} = \frac{kT}{e} \ln \frac{N_a}{n_i} \quad \text{I.40} \quad \text{Donc} \quad V_s^* = \frac{2kT}{e} \ln \frac{N_a}{n_i} \quad \text{I.41}$$

Quand la tension de grille est augmentée au delà de la valeur entraînant  $V_s = V_s^*$ , la concentration d'électrons  $n_s$  à l'interface augmente exponentiellement alors que la densité de charge de déplétion augmente comme  $\sqrt{V_s}$ . Il en résulte que la variation de cette dernière devient négligeable. Quand le régime de forte inversion est atteint la largeur de zone de déplétion reste pratiquement constante.

### I.3.3. Potentiel et Champ Electriques

En intégrant une fois l'équation de poisson, nous avons obtenu l'expression du gradient de potentiel  $\frac{dV(x)}{dx} = -sign(V_s) \left( \frac{kT}{eL_D} \right) F(V(x))$  I.42

On peut écrire cette expression sous la forme  $dx = -sign(V_s) \left( \frac{eL_D}{kT} \right) \frac{dV(x)}{F(V(x))}$  I.43

En intégrant de la surface du semiconducteur vers le volume on obtient

$$x = -sign(V_s) \left( \frac{eL_D}{kT} \right) \int_{V_s}^{V(x)} \frac{dV(x)}{F(V(x))} \quad \text{I.44}$$

Si le semiconducteur est intrinsèque  $w_{Fi}=0$  et la fonction  $F(V(x))$  se réduit à

$$F(V(x)) = \sqrt{2} \left( ch \left( \frac{eV(x)}{kT} \right) - 1 \right)^{\frac{1}{2}} \quad \text{I.45}$$

De sorte que l'intégrale s'écrit :  $x = -sign(V_s) \left( \frac{eL_D}{\sqrt{2}kT} \right) \int_{V_s}^{V(x)} \frac{dV(x)}{(ch(eV(x)/kT) - 1)^{\frac{1}{2}}}$  I.46

Soit :  $x = -sign(V_s) \left( \frac{eL_D}{\sqrt{2}kT} \right) \ln \left( \frac{th(eV_s / 4kT)}{th(eV(x) / 4kT)} \right)$  I.47

Si le matériau n'est pas intrinsèque ( $w_{Fi} \neq 0$ ), l'intégration n'a pas de solution analytique, le calcul nécessite alors une approche numérique.

Toutefois, le calcul analytique peut être développé dans les cas des régimes de déplétion et de faible inversion, car la charge d'espace est alors essentiellement conditionnée par les ions accepteurs. elle est alors de type déplétion et, comme dans la jonction  $pn$  ou la diode Schottky, on peut la supposer vide de porteurs. Le potentiel  $V_G$  appliqué au métal se répartit entre l'isolant  $\Delta V_i = V_G - V_s$  et la zone de

$$\text{charge d'espace du semiconducteur } \Delta V_{SC} = V_{SC(surface)} - V_{SC(volume)} = V_s - 0 = V_s \quad \text{I.48}$$

Dans l'isolant, l'absence de charge permet d'écrire

$$\frac{d^2V(x)}{dx^2} = 0 \Rightarrow \frac{dV(x)}{dx} = a \Rightarrow V(x) = ax + b \quad \text{I.49}$$

En  $x=0$   $V(x=0) = V_s$   $b = V_s$  En  $x=-d$   $V(x=-d) = V_G$   $a = -(V_G - V_s) / d$

Ainsi la variation du potentiel dans l'oxyde est donnée par  $V(x) = -\frac{V_G - V_S}{d}x + V_S$  I.50

En ajoutant et retranchant  $V_G$  à cette expression on peut la mettre sous la forme

$$V(x) = -\frac{V_G - V_S}{d}x - \frac{V_G - V_S}{d}d + V_G \quad \text{I.51 Soit : } V(x) = V_G - \frac{V_G - V_S}{d}(x + d) \quad \text{I.52}$$

Mais :  $V_G - V_S = \Delta V_i = \frac{Q_m}{C_i} = -\frac{Q_{sc}}{C_i}$  I.53 Avec  $C_i = \epsilon_i/d$

De sorte que :  $\frac{V_G - V_S}{d} = -\frac{Q_{sc}}{C_i d} = -\frac{Q_{sc}}{\epsilon_i}$  I.54

Ainsi dans l'isolant c'est adire pour  $-d < x < 0$ , le potentiel est donné par  $V(x) = V_G + \frac{Q_{sc}}{\epsilon_i}(x + d)$  I.55

Dans le semiconducteur, en supposant la déplétion total sur une profondeur  $W$  et le dopage homogène, la densité de charge de déplétion s'écrit  $\dots(x) = -eN_a$  I.56

De sorte que l'équation de poisson s'écrit :  $\frac{d^2V(x)}{dx^2} = -\frac{\dots(x)}{\epsilon_s} = \frac{-eN_a}{\epsilon_s}$  I.57

En intégrant avec la condition  $E = 0$  en  $x = W$  où  $W$  représente la limite de la zone de charge d'espace

on obtient  $\frac{dV(x)}{dx} = -E(x) = \frac{eN_a}{\epsilon_s}(x - W)$  I.58 En intégrant une deuxième fois avec la

condition  $V = 0$  en  $x = W$  on obtient  $V(x) = \frac{eN_a}{2\epsilon_s}(x - W)^2$  I.59 En  $x = 0$ ,  $V = V_S$  soit

$$V_S = \frac{eN_a W^2}{2\epsilon_s} \quad \text{I.60} \quad \text{Où} \quad W = \left( \frac{2\epsilon_s V_S}{eN_a} \right)^{\frac{1}{2}} \quad \text{I.61}$$

Cette expression établit la relation entre le potentiel de surface  $V_S$  et la largeur  $W$  de la zone de déplétion. En régime de déplétion et de faible inversion la charge d'espace étant de type déplétion, elle est conditionnée par les ions accepteurs et par suite donnée par

$$Q_{SC} \approx Q_{dep} = -eN_a W \quad \text{I.62}$$

En explicitant  $W$  on obtient l'expression de la charge de déplétion  $Q_{dep}$  en fonction du potentiel de

surface  $V_S$   $Q_{dep} = -(2eN_a \epsilon_s V_S)^{\frac{1}{2}}$  I.63

Considérons le champ électrique, donné par :  $E(x) = -\frac{dV(x)}{dx}$  I.64

Dans l'isolant la dérivé de l'expression (I.55) montre que le champ électrique est constant et donné

par :  $E_i = -\frac{Q_{sc}}{\epsilon_i}$  I.65

Dans le semiconducteur, le champ est donné par l'expression I.58 il varie linéairement avec  $x$

$$E(x) = -\frac{eN_a}{\epsilon_s}(x - W) \quad \text{I.66}$$

En particulier en  $x=0$ ,  $E=E_S$  le champ en surface dans le semiconducteur

$$E_s = \frac{eN_a W}{V_s} = -\frac{Q_{dep}}{V_s} = -\frac{Q_{sc}}{V_s} \quad \text{I.67}$$

Les courbes représentant les variations du potentiel et du champ électriques sont portées sur la figure I.[3] Le champ présente à l'interface une discontinuité résultant de la discontinuité du constant diélectrique

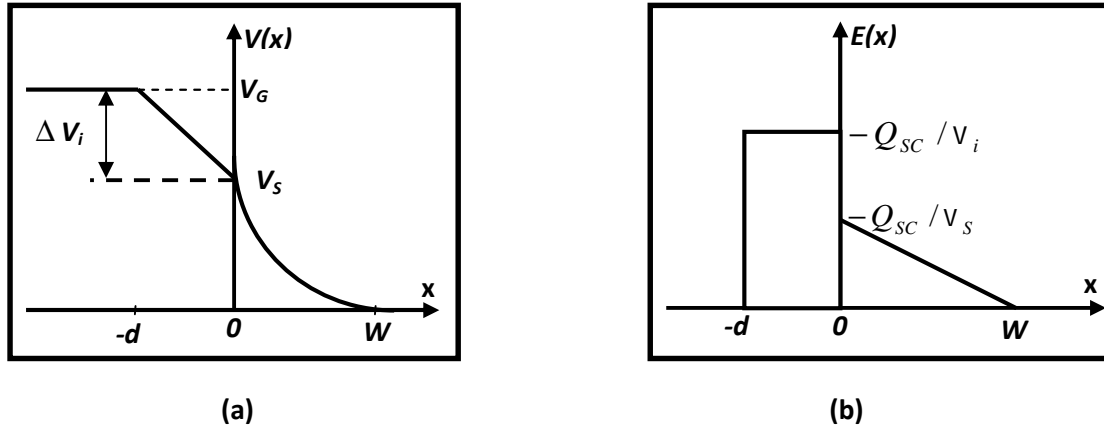


Figure I.6 Variation du potentiel (a) et du champ électrique (b)

### I.3.4 Tension de Seuil

On définit la tension de seuil de la structure comme la tension de polarisation de l'électrode métallique nécessaire à l'établissement du régime de forte inversion c'est donc la valeur de la tension  $V_G$  entraînant  $V_S = 2W_{FI}$ .

Compte tenu de la relation  $V_G - V_S = \Delta V_i = -\frac{Q_{sc}}{C_i}$  I.68

$V_G$  est donné en fonction de  $V_S$  par l'expression

$$V_G = V_S - \frac{Q_{sc}}{C_i} \quad \text{I.69}$$

Dans la mesure où le seuil de forte inversion correspond au régime pour lequel les charges d'inversion deviennent prépondérantes, on peut écrire qu'en deçà du seuil les charges dans le semiconducteur sont essentiellement des charges de déplétion. De sorte que pour  $V_S < 2W_{FI}$  on écrira ainsi

$$V_G = V_S + \frac{(2eV_s N_a W_{FI})^{\frac{1}{2}}}{C_i} \quad \text{I.70}$$

La tension de seuil  $V_T$  de la structure est donnée par la valeur de  $V_G$  pour laquelle

$$V_S = 2W_{FI} \text{ Soit } V_T = 2W_{FI} + \frac{(4eV_s N_a W_{FI})^{\frac{1}{2}}}{C_i} \quad \text{I.71}$$

Ainsi définie, la tension de seuil correspond en fait à la valeur de la tension  $V_G$  à partir de laquelle on ne peut plus négliger dans la charge d'espace du semiconducteur les charges d'inversion devant les charges de déplétion. Notons que cette tension de seuil « threshold voltage » notée  $V_{th}$  dépend étroitement du dopage du substrat noté  $N_a$ . La variation de la tension de seuil en fonction de  $N_a$  pour différentes valeurs de l'épaisseur de l'oxyde « d » est illustrée dans la figure I.7.[5]

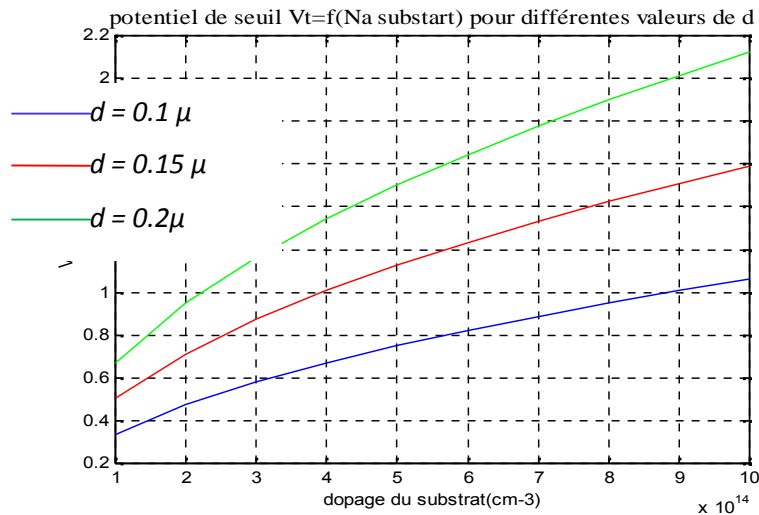


Figure I.7 Variation de la tension de seuil [5]

### I.4. Capacité de la Structure

Dans la mesure où nous avons pris le potentiel de la région neutre du semiconducteur comme origine des potentiels, la tension de polarisation de la structure est donnée par

$$V_G - V_{SC} = V_G \tag{I.82}$$

Cette tension comme le montre la figure (I.6.a) se repartie entre l'isolant et la zone de charge d'espace du semiconducteur. La chute de potentiel dans l'isolant est

$$\Delta V_i = V_G - V_{SC} \tag{I.83}$$

La chute de potentiel dans la zone de charge d'espace du semiconducteur est

$$\Delta V_{SC} = V_S - 0 = V_S \tag{I.84}$$

L'isolant d'une part et la zone de charge d'espace du semiconducteur d'autre part, se comportent comme des capacités. L'isolant est équivalent à un condensateur plan dont la capacité est donnée par

$C_i = \frac{Q_m}{d}$ . La chute de potentiel dans l'isolant et la charge développée sur le métal sont reliées par la

relation 
$$C_i = \frac{Q_m}{V_G - V_S} \tag{I.85}$$

Cette capacité constante à la même valeur en régime statique et en régime dynamique. Si la tension de polarisation  $V_G$  varie de  $dV_G$  le potentiel de surface  $V_S$  varie de  $dV_S$  la variation

correspondante de la charge  $Q_m$  est donnée par la relation 
$$C_i = \frac{dQ_m}{d(V_G - V_S)} \tag{I.86}$$

La variation  $dV_S$  du potentiel de surface n'est autre que la variation  $dV_S$  de la tension aux bornes de la zone de charge d'espace du semiconducteur. A cette variation  $dV_S$  correspond une variation  $dQ_{SC}$  de la charge développée dans le semiconducteur de sorte que la zone de charge d'espace se comporte comme

une capacité dynamique donnée par 
$$C_{SC} = \frac{dQ_{SC}}{dV_S} \tag{I.87}$$

La structure complète est soumise à la différence de potentiel  $V_G$ .

Quand  $V_G$  varie de  $dV_G$  les charges développées dans le métal d'une part et dans le semiconducteur d'autre part varient de  $dQ_m = -dQ_{SC}$ . Ainsi la structure complète se comporte comme



un condensateur de capacité  $C_{SC} = \frac{dQ_m}{dV_G} = -\frac{dQ_{SC}}{dV_G}$  I.88

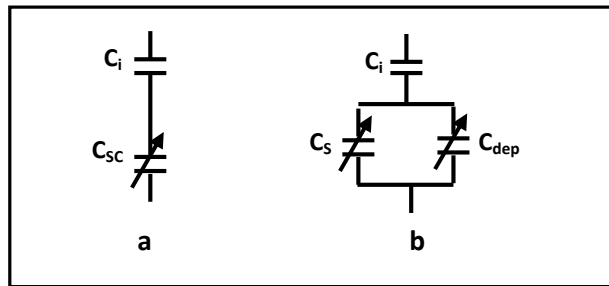
Compte tenu du fait que  $dQ_m = -dQ_{SC}$  les équations (I.86 I.87 et I.88) permettent d'écrire les relations

$$dV_G - dV_S = \frac{dQ_m}{C_i} \quad \text{I.89.a} \quad dV_S = \frac{dQ_m}{C_{SC}} \quad \text{I.89.b} \quad dV_G = \frac{dQ_m}{C} \quad \text{I.89.c}$$

La somme algébrique [(I.89.a) + (I.89.b)-(I.89.c)] donne

$$0 = \frac{dQ_m}{C_i} + \frac{dQ_m}{C_{SC}} - \frac{dQ_m}{C} \quad \text{I.90} \quad \text{Soit} \quad \frac{1}{C} = \frac{1}{C_i} + \frac{1}{C_{SC}} \quad \text{I.91}$$

La structure est donc équivalente à deux capacités en série, dont l'une résulte de la présence de l'isolant et l'autre de la charge d'espace du semiconducteur (figure I.9.a)



**Figure I.8 structure équivalente**

La capacité associée à la charge d'espace du semiconducteur résulte de deux termes car cette charge est constituée, d'une manière générale, de porteurs libres et de charges fixes

$Q_{SC} = Q_S + Q_{dep}$  Ainsi

$$C_{SC} = -\frac{dQ_{SC}}{dV_S} = -\left( \frac{dQ_S}{dV_S} + \frac{dQ_{dep}}{dV_S} \right) \quad \text{I.92}$$

Ou en posant  $C_S = -\frac{dQ_S}{dV_S}$  et  $C_{dep} = -\frac{dQ_{dep}}{dV_S}$

$$C_{SC} = C_S + C_{dep} \quad \text{I.93}$$

$C_S$  Représente la capacité dynamique résultant de la variation de la charge  $Q_S$  due aux porteurs libres,  $C_{dep}$  Représente la capacité dynamique associée à la variation de charge de déplétion.  $C_{dep}$  est analogue à la capacité de transition la jonction  $pn$  (figure I.9.b).

Ainsi la capacité globale de la structure s'écrit  $\frac{1}{C} = \frac{1}{C_i} + \frac{1}{C_S + C_{dep}}$  I.94

La capacité de l'oxyde est donnée par  $C_i = \frac{\epsilon_i}{d}$ . On obtient la capacité associée au semiconducteur en dérivant l'expression de  $Q_{SC}$  par rapport à  $V_S$ . La densité de charge dans le semiconducteur est donnée par l'expression I.35. Cette expression et par suite sa dérivée sont relativement complexes. Afin d'étudier l'évolution de la capacité à partir d'expressions simplifiées, correspondant aux différents régimes de fonctionnement, posons

$$F_{acc} = \exp\left(-\frac{eV_s}{kT}\right) \quad F_{dep} = \left(\frac{eV_s}{kT}\right) \quad F_{inv} = \exp\left(e\left(\frac{V_s - 2W_{Fi}}{kT}\right)\right)$$

$$F_r = -1 - \frac{n_0}{p_0} \left( \frac{eV_s}{kT} + 1 \right) \quad \text{I.95}$$

L'expression I.37 s'écrit  $Q_{sc} = -\text{sign}(V_s) \left( \frac{V_s kT}{eL_D} \right) (F_{acc} + F_{dep} + F_{inv} + F_r)^{\frac{1}{2}}$  I.96

#### I. 4.1. Régime d'Accumulation

L'application d'une tension négative :  $V_G < 0$ , sur l'électrode métallique faite apparaître une charge négative :  $Q_m < 0$ . Par effet d'influence, les trous sont attirés vers l'interface isolant-semiconducteur pour former la charge positive :

$$Q_{sc} = -Q_m > 0. \quad \text{I.97}$$

Il se forme une accumulation de porteurs majoritaires à l'interface isolant-semiconducteur. C'est le régime d'accumulation. La conductivité au voisinage de l'interface isolant-semiconducteur est augmentée (il y a plus de porteurs libres). Le potentiel de surface  $V_s$  est légèrement négatif. Il en résulte que lorsque  $|V_s|$  devient de l'ordre de quelques  $\frac{kT}{e}$  le terme exponentiel  $F_{acc}$  devient prépondérant et la charge d'espace est donné par :  $Q_{sc} \approx \left( \frac{V_s kT}{eL_D} \right) \exp\left(-\frac{eV_s}{2kT}\right)$  I.98

La capacité dynamique associé à la charge d'espace du semiconducteur résulte donc de la modulation de la charge d'accumulation et est donnée par le module de la dérivée de l'expression précédente

$$C_{sc} \approx C_s = \frac{V_s}{2L_D} \exp\left(-\frac{eV_s}{2kT}\right) \quad \text{I.99}$$

La capacité totale de la structure est alors donnée par :  $\frac{1}{C} = \frac{1}{C_i} + \frac{1}{C_s}$  I.100

#### I.4.2. Régimes de Déplétion et de Faible Inversion

L'application d'une tension légèrement positive :  $V_G > 0$ , sur l'électrode métallique fait apparaître une charge positive :  $Q_m > 0$ . Par effet d'influence les trous sont repoussés de l'interface isolant-semiconducteur, il se crée une charge négative due à la ZCE d'épaisseur  $W$ . Il se forme une **désertion** des porteurs majoritaires à l'interface isolant-semiconducteur. C'est le **régime de désertion**. [6]. Tant que  $V_s$  n'atteint pas la valeur de  $2W_{Fi}$ , correspondant au seuil de forte inversion, l'exposant du terme  $F_{inv}$  reste négatif. La charge d'espace est alors essentiellement conditionnée par la charge de déplétion, le terme  $F_{dep}$  est prépondérant et l'expression I.96 se réduit a

$$Q_{sc} \approx \left( -\frac{V_s kT}{eL_D} \right) \left( \frac{eV_s}{kT} \right)^{\frac{1}{2}} \quad \text{I.101}$$

On explicitant  $L_D$  dans cette expression on retrouve l'expression I.63 établie dans l'étude du régime de déplétion  $Q_{sc} \approx -(2eN_a V_s V_s)^{\frac{1}{2}}$  I.102

La capacité dynamique résulte dans ce domaine de modulation de la charge de déplétion, elle est donnée par le module de la dérivée de l'expression précédente.

$$C_{SC} \approx C_{dep} = \left( \frac{eN_a V_S}{2V_S} \right)^{\frac{1}{2}} \quad \text{I.103}$$

Comme dans le cas de la jonction  $pn$ , cette capacité s'écrit  $C_{dep} = v_s / W$  et correspond à un condensateur plan dont la distance entre les armatures est égale à la largeur de la zone de charge d'espace. La capacité globale de la structure s'écrit alors

$$\frac{1}{C} = \frac{1}{C_i} + \frac{1}{C_{dep}} \quad \text{I.104}$$

En explicitant la capacité de déplétion et la capacité de l'isolant, le rapport  $C/C_i$  s'écrit

$$\frac{C}{C_i} = \left( 1 + \left( \frac{2v_i^2}{eN_a v_s d^2 V_S} \right)^{\frac{1}{2}} \right)^{-1} \quad \text{I.105}$$

### I.4.3. Régime de Forte Inversion

Lorsque La tension  $V_G$  devient de plus en plus positive, Les trous sont de plus en plus repoussés de l'interface isolant-semiconducteur pendant que les électrons sont de plus en plus attirés. La courbure des bandes d'énergie s'accroît, et pour une certaine tension, le niveau de FERMI intrinsèque  $E_{Fi}$  passe sous le niveau de FERMI  $E_F$  c'est-à-dire que Le Niveau de FERMI est plus proche de la  $BC$  que de la  $BV$ , le semiconducteur est devenu de type " $n$ ".

Les électrons minoritaires dans le semiconducteur (type " $p$ ") sont majoritaires à l'interface isolant-semiconducteur et on aura donc une couche d'inversion séparée par une zone désertée de la région neutre du semiconducteur. C'est le régime d'inversion [7]

Dans ce régime de forte inversion, le potentiel de surface  $V_S$  est supérieur à  $2W_{Fi}$  le terme prépondérant dans l'expression I.96 est alors le terme  $F_{inv}$ .

La charge de déplétion devient sensiblement constante et la charge d'inversion, qui augmente

exponentiellement, devient prépondérante  $Q_{SC} \approx - \left( \frac{v_s kT}{eL_D} \right) (F_{dep} + F_{inv})^{\frac{1}{2}} \quad \text{I.106}$

Dans le calcul de la capacité dynamique, associée a la variation de la charge d'espace  $Q_{SC}$  il faut ici tenir compte de la nature des charges associées à chacun des termes  $F_{dep}$  et  $F_{inv}$ . Le terme  $F_{dep}$  représente les charges de déplétion, le terme  $F_{inv}$  représente les charges d'inversion. Or ces deux types de charge ne répondent pas à une variation de tension, avec la même constante de temps. Les charges de déplétion, qui résulte de l'évacuation de porteurs majoritaires, répondent instantanément, la constante de temps étant la constante de temps diélectrique. Les charges d'inversion par contre, qui résultent de la création thermique de porteurs minoritaires, s'établissent avec une constante de temps beaucoup plus importante. Il en résulte que les variations  $F_{dep}$  et  $F_{inv}$  associées à une modulation  $dV_S$  du potentiel de surface, ont des amplitudes relatives très différentes suivant la vitesse de variation de  $V_S$ . En d'autres termes, lorsque l'on superpose à une tension de polarisation statique  $V_G > V_T$  une modulation alternative d'amplitude  $dV_G$ , la variation correspondante  $dQ_{SC}$  de la charge d'espace, est différente suivant la fréquence de modulation. Il en résulte une capacité différentielle  $C_{SC}$  différentes en basse fréquence et en haute fréquence

#### I.4.3.1. Capacité basse fréquence

En régime de forte inversion la condition  $F_{inv} > F_{dep}$  est vérifiée. Si en outre la modulation de tension est basse fréquence, la variation de la charge d'inversion suit la variation de tension. Il en résulte donc que, dans la mesure ou  $F_{inv}$  varie exponentiellement avec  $V_S$  et ou  $F_{dep}$  varie comme  $\sqrt{V_S}$ ,

les variations sont telles que  $dF_{inv} \gg dF_{dep}$ . on obtient alors la capacité dynamique de la zone de charge d'espace du semiconducteur en dérivant l'expression de  $Q_{SC}$  limité au terme  $F_{inv}$ ,

$$\text{Soit } Q_{SC} \approx - \left( \frac{V_S kT}{eL_D} \right) \exp\left(e \left( \frac{V_S - 2W_{Fi}}{2kT} \right)\right) \quad \text{I.107}$$

$$\text{Le module delà dérivé de cette expression donne } Q_{SC} \approx \left( \frac{V_S kT}{eL_D} \right) \exp\left(e \left( \frac{V_S - 2W_{Fi}}{2kT} \right)\right) \quad \text{I.108}$$

Rappelons que la structure est en régime de forte inversion, de sorte que la condition  $V_S > 2W_{Fi}$  est réalisée et par suite l'exposant qui apparaît dans l'expression I.108 est positif. Comme dans le régime d'accumulation  $C_S \gg C_i$ , la capacité globale de la structure se réduit donc à  $C_i$

$$\frac{1}{C} = \frac{1}{C_i} + \frac{1}{C_S} \approx \frac{1}{C_i} \quad \text{I.109}$$

### I.4.3.2. Capacité haute fréquence

En haute fréquence des charges d'inversion ne suivent plus les variations de la tension de polarisation et  $dF_{inv} \approx 0$ . La modulation de la charge d'espace du semiconducteur  $Q_{SC}$  résulte uniquement de la modulation de la charge de déplétion par le terme  $dF_{dep}$ .

$$\text{La capacité dynamique qui en résulte est alors donnée par } C_{SC} = C_{dep} = \frac{V_S}{W_m} \quad \text{I.110}$$

Où  $W_m$  représente la largeur maximum de la zone de déplétion du semiconducteur lorsque le régime de forte inversion est atteint, la variation exponentielle du terme  $F_{inv}$  se traduit par le fait que toute nouvelle augmentation de charge, due à une augmentation statique de la polarisation, provient d'une augmentation des charges d'inversion. La valeur statique de la charge de déplétion n'augmente pratiquement plus. La largeur de la zone de charge d'espace sature à la valeur  $W_m$ , correspondant sensiblement à  $V_S = 2W_{Fi}$ .

Il en résulte que la capacité dynamique  $C_{SC}$  reste constante pour toute augmentation de la tension de polarisation statique  $V_G$  au delà de la tension de seuil  $V_T$ . Il en est de même de la capacité total de la structure.

La valeur maximum de la largeur de la zone de déplétion est la valeur de  $W_m$  pour

$V_S = 2W_{Fi}$ . L'équation I.60 donne l'expression de  $W$  en fonction de  $V_S$ , d'autre part  $W_{Fi}$  est donné par l'expression I.40.[1]

$$\text{En explicitant ces quantités on obtient } W_m = \left( \frac{2V_S}{eN_a} 2W_{Fi} \right)^{\frac{1}{2}} = \left( \frac{4V_S kT}{eN_a} \ln \left( \frac{N_a}{n_i} \right) \right)^{\frac{1}{2}} \quad \text{I.111}$$

La valeur minimum de la capacité de la structure est donnée par

$$\frac{1}{C_{\min}} = \frac{1}{C_i} + \frac{1}{C_{Scm}} \quad \text{I.112}$$

$$\text{Avec } C_i = v_i / d \text{ et } C_{Scm} = v_s / W_m \text{ Soit } C_{\min} = \frac{v_i v_s}{v_i W_m + v_s d} \quad \text{I.113}$$

$$\text{Et } \frac{C_{\min}}{C_i} = \frac{1}{1 + v_i W_m / v_s d} \quad \text{I.114}$$

La courbe représentant la variation en basse et haute fréquence du rapport  $C/C_i$  est représenté sur la figure I.10 [4]

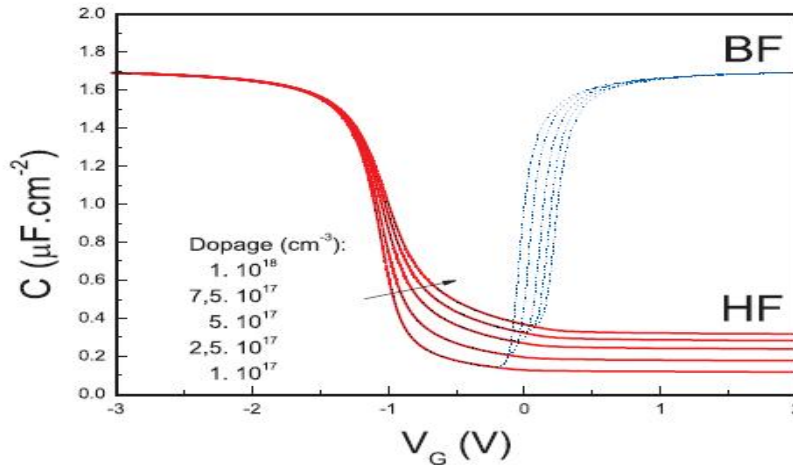


Figure 1.9 Evolution de la capacité de la structure MIS avec le potentiel de la grille [4]

Il faut noter que la notion de basse et haute fréquence est ici toute relative. La frontière entre les deux est directement liée à la constante de temps d'établissement des charges d'inversion, c'est-à-dire au taux de génération de porteurs minoritaires. Nous avons vu que le temps de stockage pouvait être de l'ordre de la seconde dans le silicium à la température ambiante. Il en résulte que la notion de basse fréquence correspond ici à des très basses fréquences généralement inférieures à 100 Hz.

Il faut aussi noter que le temps de stockage, directement lié à la génération de porteurs minoritaires, est très sensible d'une part à la température, d'autre part à la présence éventuelle de réservoirs de porteurs minoritaires comme la source et le drain dans un transistor MOSFET ou encore à une éventuelle génération optique comme dans les CCD.

### I.5. Potentiel de surface $V_S$ ( $V_G$ )

Les courbes représentant  $Q_{SC}$  (figure I.5 et I.10) permettent de faire quelques remarques qualitatives. En régime d'accumulation ou de forte inversion  $Q_{SC}$  varie exponentiellement avec  $V_S$  et  $C$  est constant. Ainsi donc puisque  $C$  est la capacité totale de la structure et  $V_G$  sa polarisation totale, on peut écrire à la fois  $Q_{SC} = -C V_G$  avec  $C = C_{ste}$ , et  $Q_{SC} \sim \exp(V_S)$ .

En d'autres termes  $Q_{SC}$  est une fonction linéaire de  $V_G$  et exponentielle de  $V_S$ . Il en résulte que  $V_S$  doit varier logarithmiquement avec  $V_G$ . Considérons maintenant les régimes de déplétion et de faible inversion  $Q_{SC} \sim \sqrt{V_S}$  figure I.5 et  $Q_{SC} = -C V_G \sim V_G / \sqrt{V_S}$ . Car  $C$  varie comme  $1/\sqrt{V_S}$  figure I.10, il en résulte donc que dans ces régimes là  $V_S$  doit varier linéairement avec  $V_G$ .

L'expression quantitative du potentiel de surface  $V_S$  du semiconducteur en fonction de la tension de polarisation  $V_G$  de la structure s'obtient simplement en écrivant  $V_G - V_S = \frac{Q_m}{C_i} = -\frac{Q_{SC}}{C_i}$  I.115

En explicitant  $Q_{SC}$  (EqI.35) et en posant  $s = \frac{V_S kT}{e C_i L_D}$  la relation s'écrit  $V_G = V_S + \text{sign}(V_S) S F(V_S)$  I.116

### I.6. Modélisation Sous MATLAB

#### I.6.1. La Charge $Q_{SC}$ en Fonction de $V_S$

Comme on la déjà dit, pour voir la variation de la charge d'espace dans les différents régimes de fonctionnement il suffit d'étudier la fonction  $F(V_S)$ .

$$F(V_S) = \left[ \exp\left(-\frac{eV_S}{kT}\right) + \frac{eV_S}{kT} + \exp\left(e \frac{(eV_S - 2w_{Fi})}{kT}\right) - 1 - \frac{n_0}{p_0} \left(\frac{eV_S}{kT} + 1\right) \right]^{\frac{1}{2}}$$

Pour tracer la courbe représentante de la variation de la charge en fonction de la tension de surface pour les différents régimes on a écrit un programme sous MATLAB.

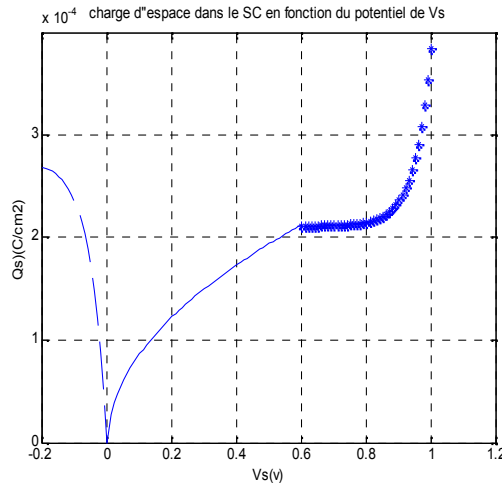


Figure I.10 Charge d'espace dans le semiconducteur en fonction du potentiel de surface.

**Simulation sous MATLAB [5]**

**Pour  $V_s < 0$  :** La charge  $Q_{sc}$  est positive, la structure est en régime **d'accumulation**. Dans ce cas, l'exponentielle négative est le terme prépondérant de sorte que

$$F(V_s) \approx \exp\left(-\frac{eV_s}{2kT}\right) \quad \text{Et} \quad Q_{sc} \approx \left(\frac{V_s kT}{eL_D}\right) \exp\left(-\frac{eV_s}{2kT}\right)$$

Pour ce régime, La charge

d'espace est positive et augmente exponentiellement avec la tension de polarisation. Dans la mesure où cette charge est une charge d'accumulation son extension spatiale est très faible figure I.12.a.

**Pour  $0 < V_s < 2W_{Fi}$  :** La charge  $Q_{sc}$  est négative, cette gamme de polarisation correspond aux régimes **de déplétion** puis **faible inversion**. La fonction  $F(V_s)$  se réduit à  $F(V_s) \approx \left(\frac{eV_s}{kT}\right)^{\frac{1}{2}}$  Et.

$Q_{sc} \approx \left(\frac{V_s kT}{eL_D}\right) \left(\frac{eV_s}{kT}\right)^{\frac{1}{2}}$  La charge varie comme  $\sqrt{V_s}$  comme dans la jonction *pn*. Cette charge étant due aux ions accepteurs son extension spatiale est importante figure I.12.b

**Pour  $V_s > 2W_{Fi}$**  La structure est en régime de forte inversion et le terme prépondérant est l'exponentielle positive, ce qui nous permis d'écrire

$$F(V_s) \approx \exp\left(e\left(\frac{V_s - 2W_{Fi}}{2kT}\right)\right) \quad Q_{sc} \approx \left(\frac{V_s kT}{eL_D}\right) \exp\left(e\left(\frac{V_s - 2W_{Fi}}{2kT}\right)\right)$$

La charge d'espace augmente à

nouveau exponentiellement avec la tension appliquée. Cette charge constitue la charge d'inversion qui s'ajoute à la charge de déplétion mais avec une extension spatiale beaucoup plus faible (figure I.9.c).

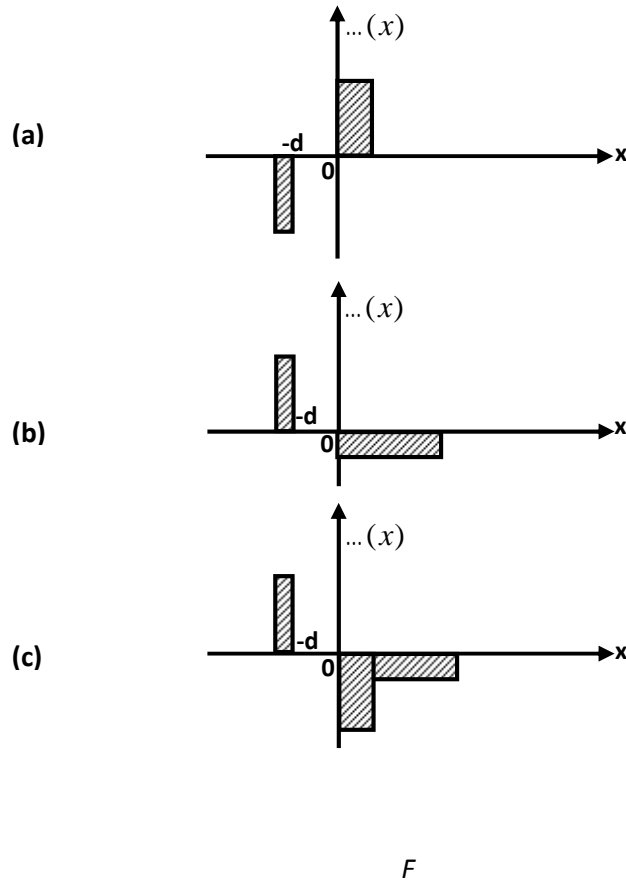


Figure I.11 Charge d'espace. Accumulation (a). Déplétion et faible inversion (b). Forte inversion (c).

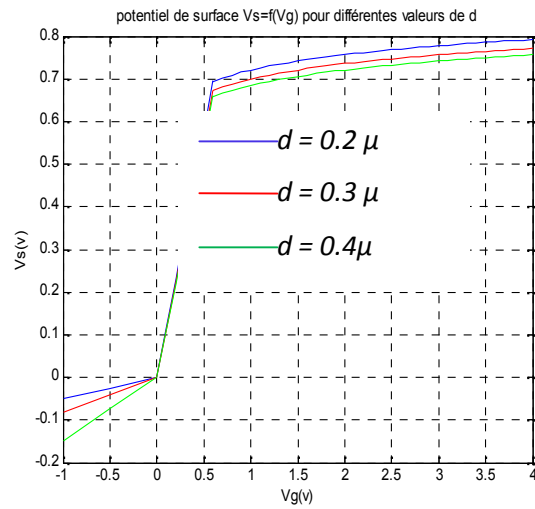


Figure I.12 Potentiel de surface  $V_s$  du semiconducteur en fonction de la tension de polarisation  $V_G$  de la structure pour différents valeurs de  $d$

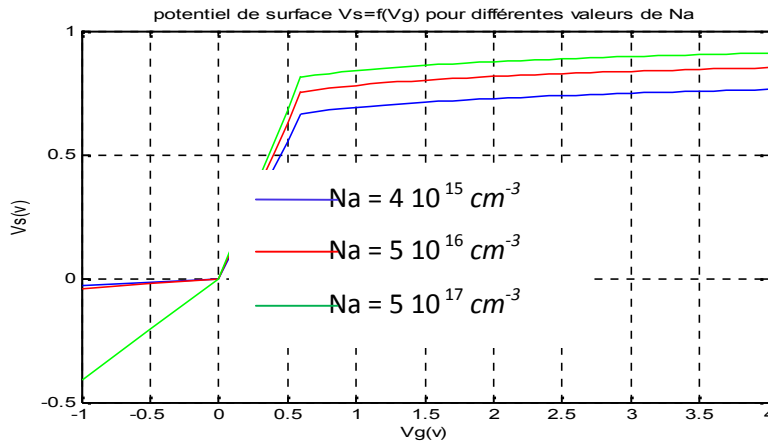


Figure I.13 Potentiel de surface  $V_s$  du semiconducteur en fonction de la tension de polarisation  $V_G$  de la structure pour différents valeurs de  $N_a$

**I.7. Structure MIS Réelle :** Le modèle adopté ci-dessus néglige un certain nombre de paramètres. Dans ce qui suit nous allons nous affranchir successivement des trois hypothèses de la structure idéale:

- Bandes plates en absence de polarisation.
- Absence de charges dans l'isolant.
- Absence d'états d'interface.

**I.7.1 Influence du Travail de Sortie du Métal:**

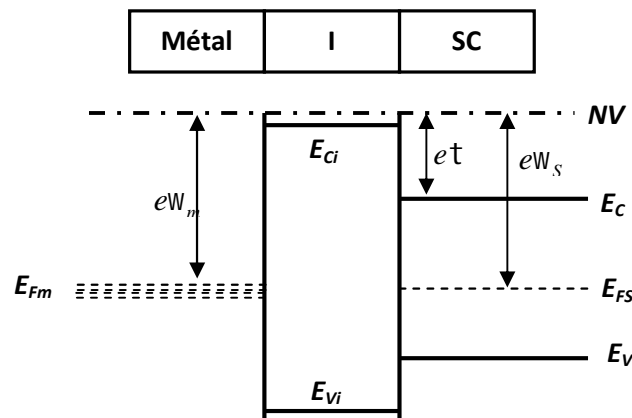


Figure I.15 Structure MIS

Reprenons le schéma de la figure I.16 et supposons que le travail de sortie du métal  $W_m$  soit inférieur à la somme  $t + (E_C - E_{FSC})$ . C'est le cas en particulier pour la structure classique Al-SiO<sub>2</sub>-Si. Lorsque la structure n'est pas polarisée  $V_G = 0$  les bandes ne peuvent être plates (figure I.17.a). Il règne un champ électrique dans l'isolant et dans le semiconducteur au voisinage de l'interface.

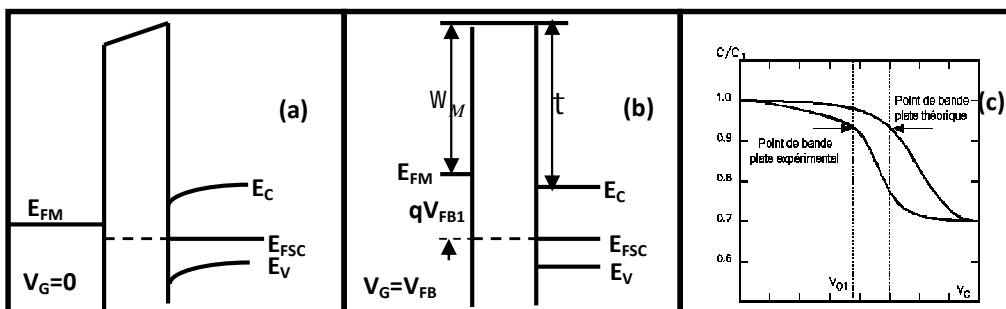


Figure I.16.a.b.c Structure MOS réelle



Pour retrouver une situation de bande plate il faut appliquer au métal une polarisation dite de bande plate  $V_{FB1}$  (négative dans le cas envisagé) afin d'annuler le champ électrique dans l'oxyde et dans la région inter facial du semiconducteur figure (I.17.b).

$$\text{Cette tension de bande plate est donnée par: } V_{FB1} = \frac{W_M - t - (E_c - E_{FSC})}{e} \quad \text{I.118}$$

Il en résulte que la caractéristique capacité tension de la structure est translatée de  $V_{FB1}$  sans que sa forme soit modifiée.[2]

## I. 7.2. Influence des Charges dans l'Isolant.

Les isolants des structures MIS contiennent généralement des charges électriques qui vont exercer une influence électrostatique sur les porteurs du semiconducteur. Dans la silice ces charges sont positives. En l'absence de polarisation une structure Métal - Silice - Silicium  $p$  est, en raison de ces charges positives, en régime de désertion ou d'inversion. Pour rétablir un régime de bande plate il faut de nouveau appliquer à la grille une tension  $V_{FB2}$  (négative). Cette tension peut se calculer de la façon suivante : Appelons  $Q_i(x)$  la densité volumique de ces charges dans l'isolant figure I.18.a.

Envisageons dans un premier temps l'effet des seules charges comprises entre  $x_0$  et  $x_0+dx_0$  le champ électrique  $\epsilon_i(x)$  dans l'isolant subir une discontinuité  $u\epsilon_i(x)$  en traversant ce 'plan' de charge,

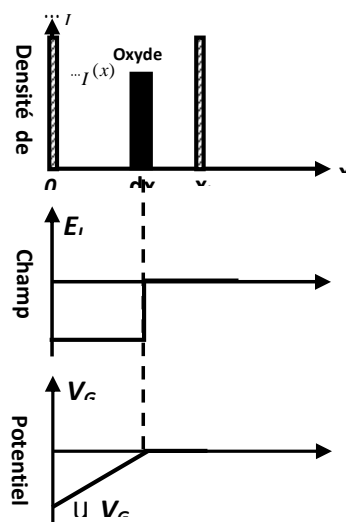
$$\text{d'après l'équation de poisson } u\epsilon_i(x) = \frac{\rho_i(x_0)dx_0}{\epsilon_i\epsilon_0} \quad \text{I.119}$$

Puisqu'on veut que le champ électrique dans le semiconducteur soit nul (condition de bandes plates) il faut que  $\epsilon_i$  soit nul à droite de  $x_0$  et égal à  $-\frac{Q_i(x_0)dx_0}{\epsilon_i\epsilon_0}$  à gauche de la discontinuité figure I.10.b. Il

résulte de ce profil de champ électrique  $\epsilon_i(x)$  que la polarisation de la grille qu'il faut appliquer pour rétablir les conditions de bandes plates à l'interface semi-conductrice isolante vaut:  $uV_G = \frac{\rho_i(x_0)x_0dx_0}{\epsilon_i\epsilon_0}$

I.120 La tension  $V_{FB2}$  cherchée est l'intégrale des  $uV_G$  pour toutes les valeurs de  $x_0$  comprises entre 0

$$\text{et } d: V_{FB2} = -\int \frac{\rho_i(x_0)x_0dx_0}{\epsilon_i\epsilon_0} \quad \text{I.121}$$



**Figure I.17 Influence des Charges dans l'Isolant**

On voit que les charges dans l'isolant ont un effet d'autant plus marqué qu'elles sont proches de l'interface isolant- semiconducteur

La courbe capacité - tension est traduite de  $V_{FB2}$ , une densité de charges équivalentes aux charges

$$\text{reparties dans l'isolant. [8]. } Q_i = -C_i V_{FB2} = \int_0^{e_i} \dots_i(x) \frac{x}{e_i} dx \quad \text{I.122}$$

### I.7.3. Influence des Etats d'Interface

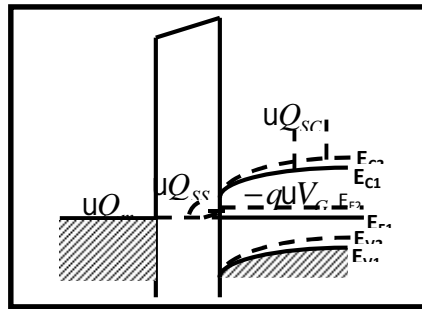
Ces états sont géométriquement localisés à l'interface semi-conductrice - isolant et introduisent des niveaux d'énergie dans la bande interdite du semiconducteur. Tous les états dont les niveaux sont situés au dessous du niveau de fermi  $E_{FSC}$  sont pleins. Appelons  $Q_{SS}$  la charge piégée dans ces états.

Cette charge va intervenir, à coté de la charge dans le semiconducteur  $Q_{SC}$ , pour équilibrer la charge  $Q_m$  sur la grille  $Q_m = Q_{SS} + Q_{SC}$  I.123

Lorsque de tels états sont présents, toute augmentation de la charge sur la grille  $uQ_m$ , consécutive à une augmentation  $uV_G$  de la polarisation, ne se répercutera que partiellement sur la charge dans le semiconducteur  $uQ_{SC}$  puisqu'un certain nombre d'états d'interface vont se charger  $uQ_{SS}$  (figure I.19).[2]

$$uQ_m = uQ_{SS} + uQ_{SC} \quad \text{I.124}$$

Par suite la courbure de bande  $uW_s$  sera moindre en présence qu'en l'absence d'états d'interface et pour obtenir un certain potentiel à l'interface il faudra appliquer une polarisation plus forte sur la grille.



**Figure I.18 les Etats d'interfaces**

La relation entre  $V_G$  et  $V_s$  est maintenant donnée par :  $V_G = \frac{Q_{SS} + Q_{SC}}{C_i} + V_s$  I.125

La capacité de la structure est maintenant définie par:  $C = \frac{dQ_{SS} + dQ_{SC}}{dV_G}$  I.126

Dérivant (l'Eq I.125) et divisant par  $dQ_{SS} + dQ_{SC}$  on obtient:  $\frac{1}{C} = \frac{1}{C_i} + \frac{dV_s}{dQ_{SS} + dQ_{SC}}$  I.127

$\frac{dQ_{SC}}{dV_s} = C_D$  est la capacité de zone de charge d'espace déjà introduite.  $\frac{dQ_{SS}}{dV_s} = C_{SS}$  est la capacité

supplémentaire due aux états d'interface. Il a été montré expérimentalement que les niveaux associés à ces états sont distribués dans toutes les bandes interdites du semiconducteur constituant un continuum de niveaux d'énergie caractérisé par une densité  $N_{SS}$  par unité de surface et par unité d'énergie. On écrit

donc :  $C_{SS} = \frac{dQ_{SS}}{dV_s} = +eN_{SS}$  I.128

Introduisant  $C_D$  et  $C_{SS}$  dans I.127 on arrive à  $\frac{1}{C} = \frac{1}{C_i} + \frac{1}{C_D + C_{SS}}$

Cette relation peut être traduite par le schéma équivalent de la figure I.20.a

Le raisonnement qui vient d'être fait suppose que le potentiel appliqué varie assez lentement pour que les états d'interface aient le temps d'ajuster leur état de charge à la nouvelle position du niveau de fermi

à l'interface. Cette modification de l'état de charge des centres est obligatoirement lente puisqu'elle ne peut s'effectuer que par échange d'électrons ou de trous avec les bandes du semiconducteur (mécanisme exigeant une activation thermique).

Si la mesure de la capacité est effectuée en petits signaux, haute fréquence ( $f > 10^5 \text{ Hz}$ ) les centres d'interface ne peuvent suivre le signal appliqué  $u_{Q_{ss}} = 0$  et la capacité de la structure est la même que s'il n'y avait pas d'états d'interface figure I.20.c. Aux fréquences moyennes  $\approx (10^3, 10^4 \text{ Hz})$  les états d'interface ne répondent qu'avec retard aux variations du potentiel appliqué.

On tient compte de cet effet en introduisant dans le schéma équivalent une résistance  $R_{ss}$  chargeant la capacité  $C_{ss}$  figure I.20.b [2]

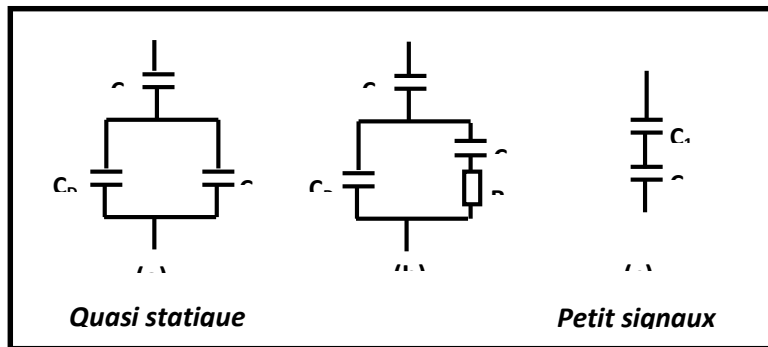


Figure I.19 schéma équivalent

## I.8. Caractéristique Capacité – Tension d'une structure MIS réelle

Utilisant les résultats des trois paragraphes précédents, nous pouvons interpréter l'allure des caractéristiques capacité - tension d'une structure MIS réelle.

### I.8.1. Capacité "petits signaux haute fréquence":

La courbe  $C_{HF}(V_G)$  est translatée en tension d'une quantité  $\Delta V_{FB}$  (mesurée au niveau de la capacité de 'flat band'  $C_{FB}$ ), cette translation est le résultat de trois effets : l'effet du travail de sortie du métal, l'effet des charges fixes dans l'isolant, l'effet de la charge piégée sur les centres d'interfaces dont les niveaux sont en dessous du niveau de Fermi lorsque les bandes sont plates.

En outre, la courbe  $C_{HF}(V_G)$  est dilatée suivant l'axe des tensions. Ceci résulte de la nécessité d'appliquer une tension  $V_G$  plus élevée pour obtenir une courbure donnée des bandes ; d'après la relation I.125 à  $V_G$  donné,  $V_G$  est d'autant plus grand que  $Q_{ss}$  est grand. Par contre, la valeur de la capacité est la même pour la structure idéale et pour la structure réelle (figure I.21) [2]

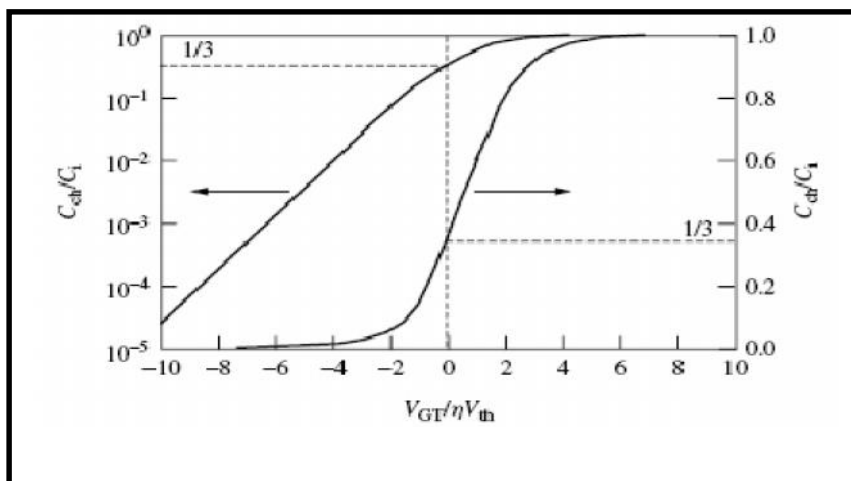


Figure I.20 Capacité petit signaux  $C_{HF}$

## 1.8.2. Capacité "Quasi-Statique" $C_{BF}(V_G)$ :

Outre les deux effets précédents, translation et étalement des courbes suivant l'axe des tensions, la valeur de la capacité est maintenant modifiée par la présence de la capacité des états d'interface  $C_{ss}$  qui provoque une augmentation de  $C_{BF}$  d'après la relation I.129.

Le résultat est montré sur la figure I.22. On voit que l'étude des caractéristiques  $C(V_G)$  d'une structure MIS tant en haute qu'en basse fréquence permet un diagnostic très sensible de la qualité de l'isolant et de l'interface Isolant – semiconducteur

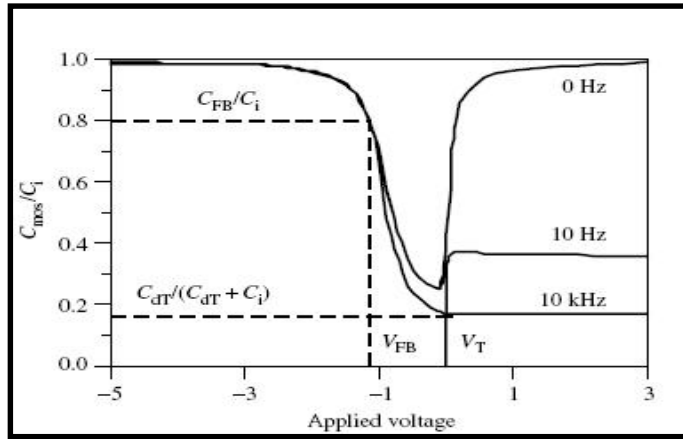


Figure I.21 Capacité Quasi-Statique ( $C_{BF}$ )

## I.9. Conclusion

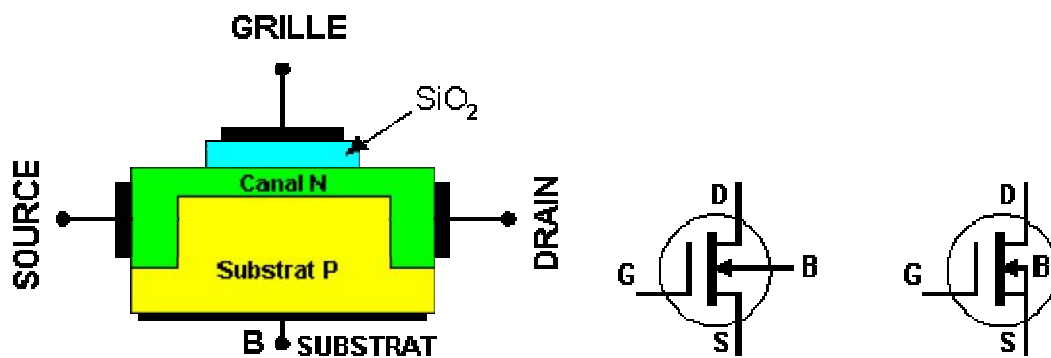
L'objectif de ce premier chapitre était d'introduire les différentes notations utilisées dans la suite du manuscrit. Nous avons ainsi pu rappeler les principales caractéristiques et le mode de fonctionnement de la structure MIS, ainsi que les différents paramètres qui influent sur son principe de fonctionnement.

**1-10 Le transistor MOSFET:** Le transistor MOSFET est le composant le plus employé de nos jours. La première description du transistor IGFET (Insulated Gate Field Effect Transistor) a été réalisée en 1926 (Lilienfield) La première fabrication date de 1960 (Kaghn et Attala). Dans Les Transistors à Effet de Champ dit Métal Oxyde Semi-conducteur (MOSFET : Métal Oxyde Semiconducteur Field Effect Transistor) la grille est isolée du canal par une couche de dioxyde de silicium ( $\text{SiO}_2$ ). Le transistor MOSFET possède 4 électrodes : la Source (Source) S: point de départ des porteurs, le Drain (Drain) D : point de collecte des porteurs, la Grille (Gate) G et le Substrat (Body) B sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal. Très souvent les électrodes de source et de substrat sont électriquement reliées, on retrouve alors un composant à 3 électrodes dans lequel la courant entre le Drain et la source  $I_{DS}$  est commandé par une tension entre la grille et la source (potentiel de source = potentiel de substrat) :  $V_{GS}$ . L'intensité du courant circulant entre la source et le drain est généralement commandée par la tension entre la grille et le substrat. Les deux types fondamentaux de MOSFET sont les MOSFET à appauvrissement de canal dits (Déplétion mode) D-MOSFET, et les MOSFET à enrichissement de canal dits (Enhancement mode) E-MOSFET. Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement de trous). Dans les MOSFET, le type du canal (N ou P) ne correspond pas forcément au type du semi-conducteur sous la grille.

### 1-11 MOSFET à appauvrissement D-MOSFET :

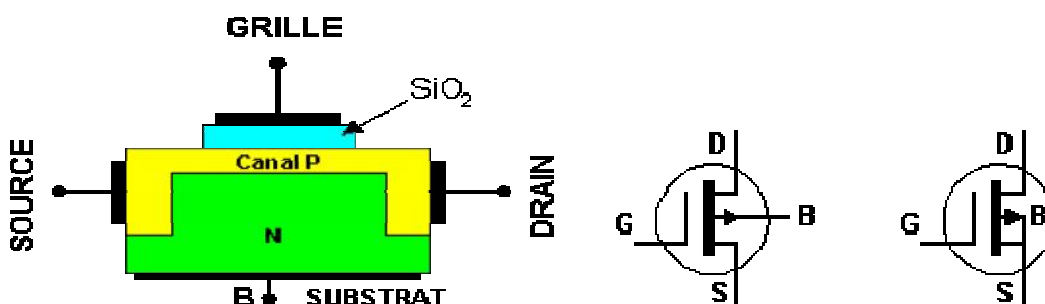
#### 1-11-1 Structure du MOS à appauvrissement canal N

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : N pour D-MOSFET canal N. Dans le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue.



#### 1-11-2 Structure du MOS à appauvrissement canal P

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : P pour D-MOSFET canal P. Dans le cas du D-MOSFET canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue.

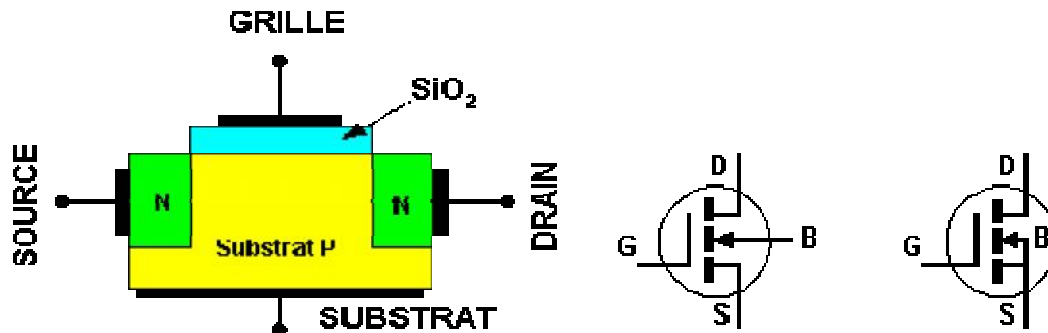


Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au delà d'une tension de blocage  $V_{GSoff}$ .

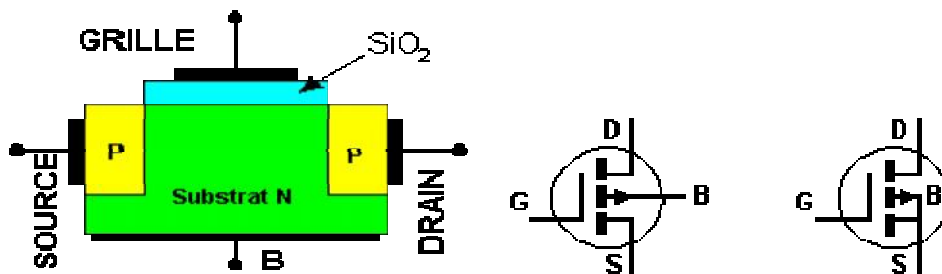
**1-12 MOSFET à enrichissement - E-MOSFET :**

L'E-MOSFET le drain et la grille ne sont pas reliés par un canal du même type. Sans tension de commande, le E-MOSFET est bloqué : (NORMALLY OFF).

- ✓ **Régime d'enrichissement :** En appliquant une tension positive sur la grille, on attire les électrons à l'interface isolant-semi-conducteur et on repousse les trous. A partir d'une certaine valeur : tension de seuil  $V_{TH}$  (Threshold Voltage), une couche d'inversion apparaît et le transistor devient de plus en plus passant.

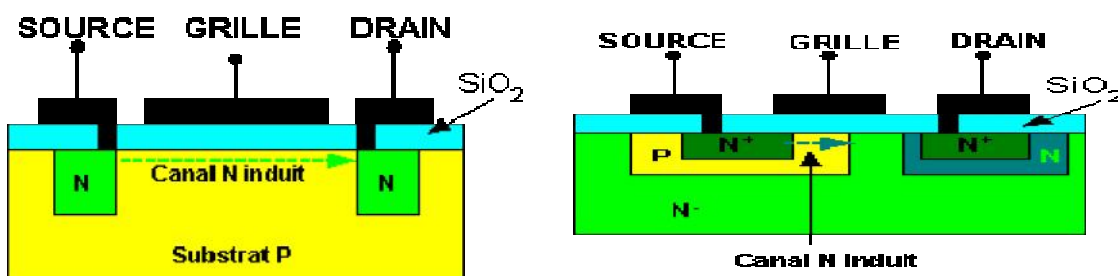


Dans le cas du E-MOSFET canal P, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et les trous minoritaires sont attirés. A partir d'une certaine valeur **tension de seuil**  $V_{TH}$  (Threshold Voltage), une couche d'inversion apparaît et le transistor devient de plus en plus passant.



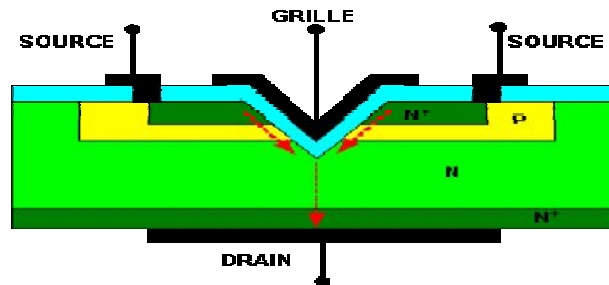
Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passant à partir d'une certaine tension de grille  $V_{TH}$ . Plus  $|V_{GS}| > |V_{TH}|$ , plus le E-MOS devient passant.

✓ **MOSFET de puissance:**



L'E-MOSFET conventionnel possède un canal long et mince, ce qui entraîne une résistance assez élevée entre le drain et la source, ce qui limite les applications aux faibles puissances.

Le LDMOSFET (Lateral Double Diffused MOSFET) est une structure à enrichissement conçue pour les applications de puissance. Dans ce composant le canal induit est beaucoup plus court que dans la structure classique. Lorsque la grille est suffisamment polarisée, un court canal est induit dans la zone P et la zone N-, la résistance entre la drain et la source est plus faible ce qui permet des courants et des tensions plus importantes. Conçu pour son rendement en puissance, le V-MOSFET (Vertical MOSFET) utilise une attaque non isotrope du silicium (pente des bords = 54.7 °); Le canal est induit à la verticale, le long des deux côtés de la rainure en V. La longueur du canal est déterminée par l'épaisseur des couches P contrôlée lors du dopage (temps de diffusion)



### I.14. Notions élémentaires des dispositifs MOSFETs

Les propriétés des semi-conducteurs peuvent être contrôlées par un dopage avec des impuretés adéquates soit des trivalentes ou des pentavalents. Un semi-conducteur présentant plus d'électrons que de trous (par un fort dopage en atomes donneurs) est alors dit de type *n*, tandis qu'un semi-conducteur présentant plus de trous que d'électrons (par un fort dopage en atomes accepteurs) est dit de type *p*. Le dopage des semi-conducteurs constitue une étape élémentaire des procédés de fabrication des dispositifs électroniques. Les propriétés de transport des dispositifs MOSFET à effet de champ largement utilisés dans l'industrie. Les dispositifs MOSFETs sont constitués de 4 électrodes (Figure I.1): la grille, la source, le drain et le substrat (ou encore *Bulk*). Les tensions appliquées à la source, grille, drain et substrat sont généralement notées

$V_s$ ,  $V_g$ ,  $V_d$  et  $V_b$  Les grandeurs caractéristiques du transistor MOSFET sont la longueur de grille  $L_g$ , son épaisseur  $T_{ox}$  et l'épaisseur  $W$ . Les types de dopage introduits dans

Les différents modules du MOSFET vont conditionner ses propriétés électriques. De fait, le courant électrique dans les MOSFET est généré par les porteurs minoritaires de la zone semi-conductrice, appelée canal. Lorsque le courant de drain est porté par les électrons (par les trous) le dispositif est appelé nMOSFET (pMOSFET, respectivement). Par ailleurs, les porteurs de charge sont injectés dans la source et collectés dans le drain.

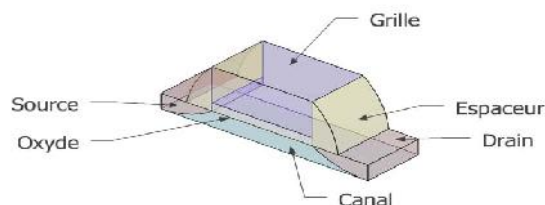


Figure I.22: Schéma d'une structure d'un transistor MOSFET

Un transistor MOSFET est principalement constitué de 3 modules:

- Le module de grille: c'est l'électrode qui commande le régime de fonctionnement du dispositif, tel un interrupteur. Le champ électrique transverse issu de cette électrode, et transmis à travers l'oxyde isolant de grille, va moduler la densité des porteurs de charge dans le canal. Cette électrode est dopée  $n^+$  ou  $p^+$ , lorsqu'il s'agit d'un nMOS ou d'un pMOS.
- Le module de canal: cette zone est située sous l'oxyde de grille. Elle est le lieu de conduction des porteurs minoritaires. Le substrat est dopé  $p$  ou  $n$  lorsqu'il s'agit d'un dispositif nMOS ou pMOS.
- Le module de jonction et extension: ce sont les électrodes latérales situées aux extrémités du canal. Ces électrodes sont appelées zones de source et de drain et notées  $S/D$ . Ces zones s'apparentent à des réserves de porteurs de charge. Par ailleurs,

Courant électrique est généré dans le dispositif lorsqu'un différentiel de potentiel existe entre ces électrodes.

Ces régions sont dopées  $n$  ou  $p$  lorsqu'il s'agit d'un dispositif nMOS ou Pmos

### 1-15 Structure et principe de fonctionnement d'un transistor MOSFET

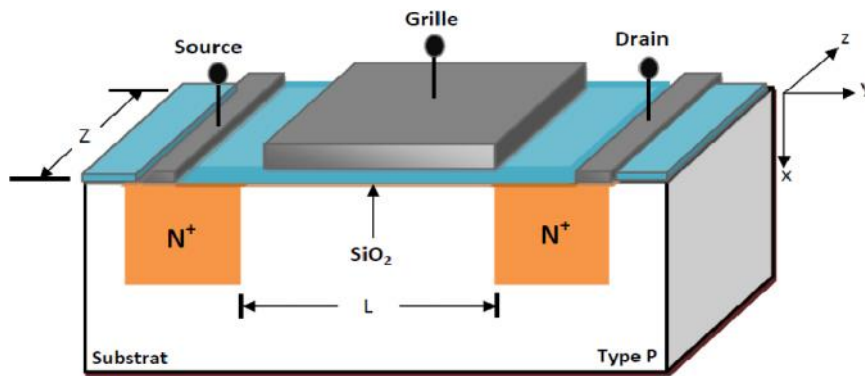
Un transistor MOS se compose généralement d'un substrat de semi-conducteur sur lequel est développée une couche mince diélectrique tel que le dioxyde de silicium  $\text{SiO}_2$ , le nitrure de silicium  $\text{Si}_3\text{N}_4$ ,..., et d'une couche conductrice (un métal ou du poly silicium fortement dopé) appelée électrode de grille qui est déposée sur l'isolant. Deux régions fortement dopées par implantation ionique ou diffusion thermique appelées la source et le drain sont formées dans le substrat de chaque côté de la grille [9].

Notons que la structure est symétrique. En raison de cette symétrie, on ne peut pas distinguer la source et le drain, les rôles de ces derniers sont définis après que les tensions de polarisation soient appliquées. La région sur laquelle le potentiel appliqué est le plus élevé est le drain, l'autre est la source généralement à la masse [10]. L'espace entre source et drain est appelé canal. Il y a deux types de transistors MOS : les NMOS dont le canal de conduction est constitué d'électrons, et les PMOS dont le canal de conduction est constitué de trous. Dans ce qui suit, nous allons nous intéresser au transistor NMOS uniquement.

Un transistor NMOS au silicium est fabriqué à partir d'un substrat semi-conducteur habituellement de silicium type P, les zones source et drain de type N fortement dopées sont équivalentes à des réservoirs d'électrons de chaque côté du canal. Une couche mince de  $\text{SiO}_2$  isole le canal d'une métallisation constituant l'électrode de grille. La tension appliquée sur l'électrode de grille assure le contrôle de la conductivité du canal. Le choix judicieux de la



tension de grille va permettre le passage d'un courant électrique entre la source et le drain.



**Figure I-23 : Transistor**

L'application entre grille et source d'une tension de grille  $V_G$  positive repousse les trous (porteurs majoritaires) et attire les électrons (porteurs minoritaires) du substrat de type P. Lorsque l'une des jonctions (source ou drain) est polarisée en inverse par une tension de drain  $V_D$  avec une tension  $V_G$  suffisamment positive pour atteindre l'inversion, un canal de type N peut être formé pour assurer la continuité entre la source et le drain. La circulation d'un courant appelé courant de drain  $I_D$  entre le drain et la source devient alors possible.

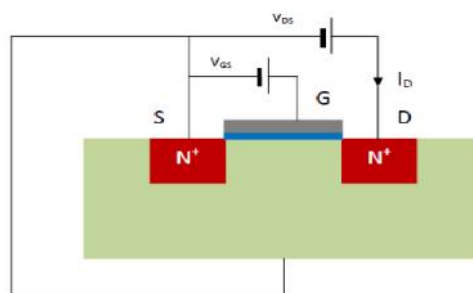
### I-16 Mode de fonctionnement

Le fonctionnement d'un transistor MOSFET dépend de la formation d'un canal de conduction sous la grille entre la source et le drain. Un canal de conduction entre la source et le drain peut être formé soit en utilisant une couche implantée ou enterrée dans le substrat, soit en appliquant une tension de grille. [11].

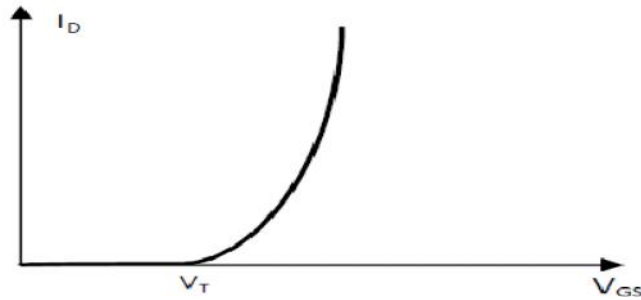
#### ✓ MOSFET à canal non-préformé (Normally-OFF)

Le transistor qui n'a aucun canal de conduction entre la source et le drain à la tension nulle de grille  $V_{GS}=0$ , n'a aucun courant de drain qui circule, parce que le circuit source-drain se compose de deux jonctions en série l'une est PN, l'autre est NP, et il y aura donc toujours l'une des deux en inverse.

Ce type de transistors s'appelle transistor MOS à enrichissement (Normally-OFF), car une tension  $V_{GS}$  positive enrichit le canal en porteurs minoritaires, permettant le passage du courant [9].



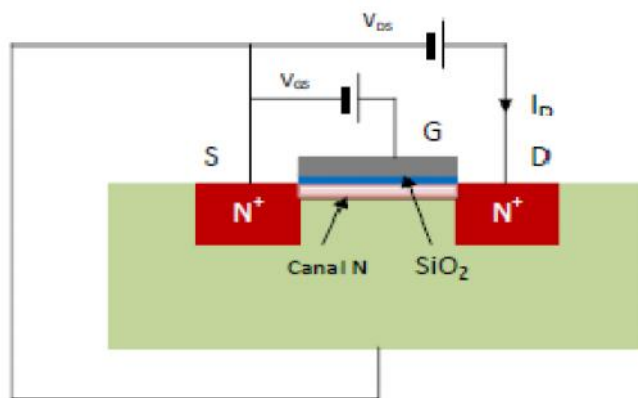
**Figure I-24: Transistor MOSFET Normally-OFF**



**Figure I-25 : Caractéristique de transfert d'un MOSFET à enrichissement.**

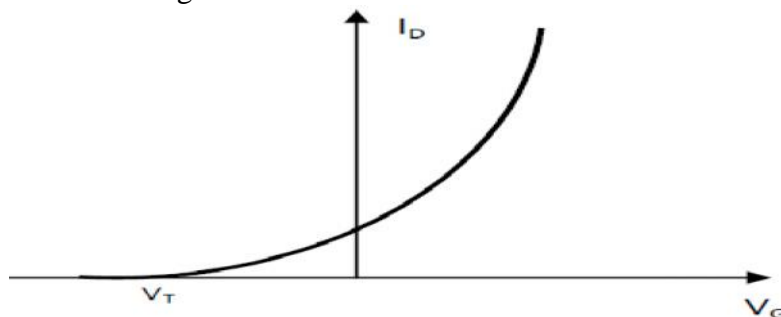
✓ *MOSFET à canal préformé (Normally-ON)*

Si le transistor possède un canal de conduction entre la source et le drain de telle sorte que le dispositif est passant, même à la tension nulle de la grille, le dispositif est appelé transistor MOS à appauvrissement (Normally-ON) [9].



**Figure I-26: Transistor MOSFET Normally-OFF**

- La caractéristique de transfert obéit à la forme suivante, où on constate que la tension de seuil est négative.



**Figure I-27: Caractéristique de transfert d'un MOSFET à appauvrissement**  
**I-16 -1 Régime de fonctionnement [10]**

L'état électrique de la structure MOSFET est conditionné par l'état de la capacité MIS (Métal-Isolant-Semi-conducteur). On distingue principalement quatre régimes de fonctionnement [12]. Le diagramme de bandes d'une structure MIS avec un substrat de type P va nous aider à expliquer leur origine.

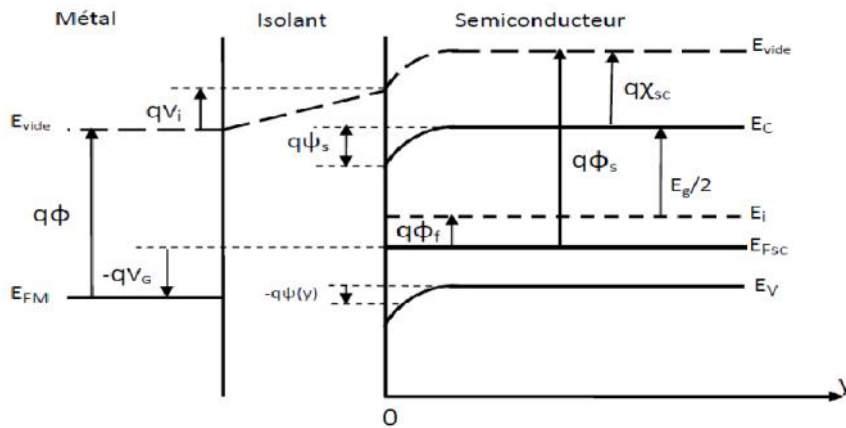


Figure I-28 : Diagramme de bande d'une structure MOS à substrat de type P [10].

❖ Le niveau de fermi est par  $E_F = E_i - q\phi_f$  avec  $\phi_f$ ,

Valable pour des dopages modérés (obtenue en faisant l'approximation de Boltzmann).

$$\phi_f = \frac{k_B T}{q} \ln \left\{ \frac{N_a}{n_i} \right\}$$

I-130

Avec  $k_B$  la constante de Boltzmann,  $T$  la température,  $q$  la charge élémentaire,  $N_A$  la densité de dopants (de type accepteur) et  $n_i$  la densité intrinsèque de porteurs du matériau, la tension de bande plate  $V_{FB} = \phi_M - \phi_s$  est la tension qu'il faut appliquer sur la grille pour que la potentiel a l'interface diélectrique /semi conducteur  $\phi_s$  soit nul.

La différence de potentiel  $\phi_s = (E_i(0) - E_i(\infty)) / q$  Appelé potentiel de surface.

Il représente la courbure de bande entre la surface et le volume du semi-conducteur.

Les différents régimes de fonctionnement sont définis suivant les valeurs du potentiel du surface ces régimes sont définir dans le cas du transistor Nmos. [14] :

$E_C$  : Energie du bas de la bande de conduction du semi conducteur

$E_V$  : Energie du haut de la bande de valence du semi-conducteur ;

$E_{F_{sc}}$  : Energie du niveau de Fermi du semi-conducteur ;

$E_i$  : Energie du niveau intrinsèque du semi-conducteur ;

$E_{FM}$  : Energie du niveau de Fermi du métal ;

$E_g$  : Energie de la bande interdite ;

$q\phi_f$  : Différence d'énergie entre le niveau de fermi et le niveau intrinsèque ;

$\phi_m$  : Travail de sortie du métal ;

$\chi_{sc}$  : Travail de sortie du semi-conducteur ;

$\chi_{sc}$  : Affinité électronique du semi-conducteur ;

$V_G$  : Tension appliquée sur la grille ;

$V_i$  : Chute de tension dans l'isolant ;

$\psi(y)$  : Potentiel électrostatique à l'abscisse  $y$  ;

$\phi_s$  : Potentiel électrostatique à l'interface isolant/semi-conducteur ou potentiel de surface.

Pour obtenir la condition de bandes plates où le potentiel de surface  $\phi_s$  est nul à la surface du semi-conducteur, il faut appliquer une tension  $V_{FB}$  appelée la tension de bandes plates (ou Flat Band) sur la grille, afin de pouvoir compenser la différence des travaux de Sortie,

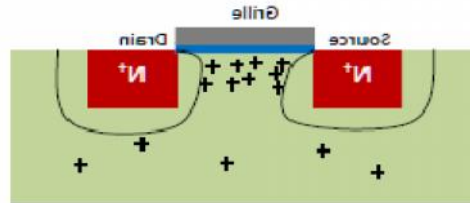
et la charge dans l'oxyde  $Q_{OX}$ . 
$$V_{FB} = \phi_{ms} - \frac{Q_{OX}}{C_i}, \phi_{ms} = \phi_m - \phi_{sc}$$

I-131

Où  $C_i$  est la capacité d'isolant,  $\phi_{ms}$  est la différence entre les travaux de sortie entre le semi-conducteur et le métal Pour un dispositif à canal N, la charge de grille est appelée  $Q_G = -Q_S$ , où  $Q_S$  est la charge dans le semi-conducteur.

✓ **Régime d'accumulation** :  $\phi_s < 0$  ( $V_G < V_{FB}$ )

Quand une tension négative est appliquée à la grille, la bande de valence s'approche du niveau de Fermi, et ceci a comme conséquence une augmentation exponentielle de la densité des porteurs majoritaires (trous) à l'interface Oxyde/Semi-conducteur, c'est ce qui correspond au régime d'accumulation. Une barrière de potentiel existe entre la source et le substrat va interrompre la circulation des électrons de la source vers le drain, le transistor se trouve à l'état bloqué



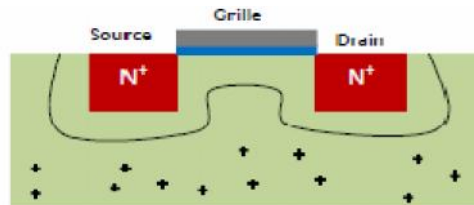
**Figure I-29 : Transistor NMOSFET en régime d'accumulation**

✓ **Régime de déplétion** :  $\phi_f < \phi_s < 0$  ( $V_G > V_{FB}$ )

Les porteurs majoritaires sont repoussés en profondeur par une tension de grille  $V_G$  positive. La concentration en électrons augmente mais reste encore plus faible que celles de trous. Il se crée alors une zone de charge d'espace, l'absence de charges libres induit une capacité de déplétion ( $C_{DEP}$ ). La charge par superficie dans la région  $y=0$  à  $y=W_d$ , Appelée charge de déplétion ( $Q_{DEP}$ ) est égale, le transistor est toujours bloqué.

$$Q_{DEP} = -qN_a W_d = -\sqrt{2q\zeta_{si} N_a \psi_s} \quad \text{I-132}$$

Où,  $\zeta_{si}$  est la permittivité du silicium,  $W_d$  est la largeur de la zone de déplétion.



**Figure I-30 : Transistor NMOSFET en régime de déplétion**

✓ **Régime de faible inversion** :  $\phi_f < \phi_s < 2\phi_f$  soit  $V_{FB} < V_G < V_T$ .

Lorsque  $\phi_s = \phi_f$  la concentration en électrons libres est égale à celle de trous et prend la valeur de la concentration intrinsèque  $n_i$ , la barrière de potentiel entre la source et le drain reste importante, quelque électrons arrivent à franchir Le courant de drain est dominé par un courant de diffusion dans les jonctions, donné par

$$I_D = I_{D0} \exp\left[\frac{V_G - V_T}{S} \ln 10\right] \left[1 - \exp\left(\frac{-qV_D}{K_B T}\right)\right] \quad \text{I-133}$$

Le courant de drain est dominé par un courant  $I_{D0}$  de diffusion dans les jonctions, donné par :

$$I_{D0} = I_{D0} \exp\left(\frac{V_G - V_T}{S} \ln 10\right) \left[1 - \exp\left(\frac{-qV_D}{K_B T}\right)\right] \quad \text{I-134}$$

$$I_{D0} = D \cdot C_{dep} \frac{W}{L} \frac{K_B}{q} = \mu_0 C_{dep} \frac{W}{L} \left(\frac{K_B T}{q}\right)^2 \quad \text{I-135}$$

## Chapitre I Etude et modélisation du Transistor MOSFET

Et  $\mu_0$  est la mobilité des porteurs faibles champs de grille (appelée mobilité intrinsèque),  $D$  le coefficient de diffusion,  $C_{dép}$ . La Capacité de désertion,  $W$  et  $L$  la largeur et la longueur du canal respectivement, et  $S$  la pente sous le seuil. La pente sous le seuil  $S$ ,

Exprimée en mV/dec est donnée par : 
$$S = \left( \frac{\partial \log I_D}{\partial V_G} \right)^{-1} = \ln(10) \frac{K_B T}{q} \frac{\partial V_G}{\partial \psi_s} \quad \text{I-136}$$

. Le courant de drain en faible inversion est corrélé à la mobilité des porteurs. L'équation I.3 montre que le courant de drain dépend de manière exponentielle de la tension de grille et de la tension de drain dans le régime de faible inversion.

✓ **Régime de forte inversion** :  $s > 2_f$  soit  $V_G > V_T$

Lorsque on applique des polarisations de grille supérieures à la tension de seuil la concentration des porteurs minoritaires (électrons) devient plus importante que celle des majoritaires (trous), il en résulte qu'un grand nombre d'électrons caractérisés par une charge d'inversion appelée  $Q_{inv}$ . Présents dans le canal. Donc le transistor devient passant grâce à la couche d'inversion formée. En fonction de la polarisation de drain, deux régimes Peuvent être distingués : un régime linéaire et un régime de saturation.

$$Q_G = -Q_S = Q_{DEP} - Q_{inv} \quad \text{I-137}$$

Selon la polarisation de drain, on distingue deux régimes principaux de fonctionnement du MOSFET.

$V_D \ll V_G - V_T$ , c'est le régime ohmique Le canal se comporte

Comme une Résistance dont la valeur est modulée par la tension de grille. L'expression du courant de drain est donnée par:

$$I_{Din} = \frac{W_{eff}}{L_{eff}} C_{ox} \mu_{eff} \left( V_G - V_T - \frac{V_D}{2} \right) V_D \quad \text{I-138}$$

Avec  $W_{eff}$  et  $L_{eff}$  les largeurs et longueurs effectives du canal respectivement et  $\mu_{eff}$  la mobilité effective des porteurs.

Pour des tensions de drain très faibles ( $V_D \ll V_G - V_T$ ), le courant de drain est directement proportionnel à la tension de drain. Pour des tensions plus fortes, l'évolution du courant de drain est quadratique avec  $V_D$ .

Pour  $V_D \approx V_G - V_T$ , c'est le régime de saturation. Il se crée un point de Pincement

Côté drain où la charge d'inversion s'annule a mesure tension additionnelle à  $V_{Dsat} = V_G - V_T$  ce point Pincement de rapproche de la source. Toute  $V_D - V_T$  se répercute ensuite dans

Cette zone dépourvue de porteurs libres, de sorte que le champ électrique latéral reste constant au niveau de la charge d'inversion sous la grille. En régime de saturation, le courant de drain est donc indépendant de la polarisation de drain. Son expression est :

$$I_{Dsat} = \frac{1}{2} \frac{W_{eff}}{L_{eff}} C_{ox} \mu_{eff} (V_G - V_T)^2 \quad \text{I-139}$$

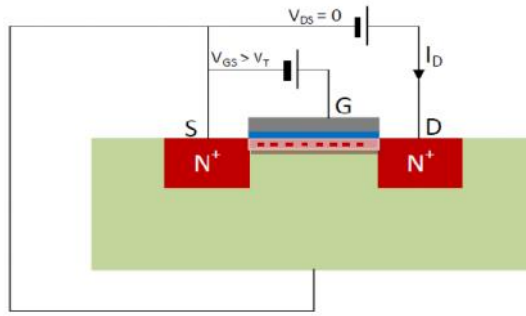


Figure I-131 : Transistor NMOSFET en régime linéaire.

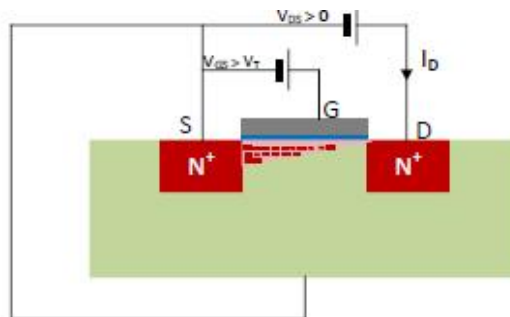


Figure I-32 : Transistor NMOSFET en régime de saturation

- ✓ Régime de bandes plates:  $V_{ds} = 0$  régime est le seul cas dans lequel le semi-conducteur observe jusqu'à la surface ses Propriétés de volume.[14]

**I-17 Caractéristique générales et expressions analytiques d'un MOSFET [13]**

Pour un dispositif MOSFET à canal N la tension de seuil  $V_T$  peut être négative ou positive. Quand le dispositif a une tension de seuil négative un canal de conduction existe déjà à l'état d'équilibre donc il faut appliquer une tension négative pour mettre le dispositif à l'état off c'est-à-dire enlever la conduction. L'expression de la tension de seuil pour un transistor MOS à canal N est donnée par la relation suivante [13] :

$$V_T = V_{FB} + \frac{|Q_{DEP}|}{C_i} + 2\phi_f \tag{I-140}$$

Le courant de drain est dû à la dérive des électrons de la source vers le drain, avec l'application d'une polarisation de drain, il existe une chute de tension de la source à chaque point le long du canal, que nous appelons  $V(y)$ .

Pour réaliser une forte inversion, le potentiel à travers l'oxyde doit être égal à  $2\phi_f + V(y)$ . La largeur maximale de la zone de Déplétion est donnée par la relation suivante :

$$W_{d\max} = \sqrt{\frac{2\zeta_{si}}{qN_a} [V(Y) + 2\phi_f]} \tag{I-141}$$

La charge de déplétion est alors donnée par

$$Q_{DEP} = -qN_a W_{d\max} = -\sqrt{2qN_a \zeta_{si} (V(Y) + 2\phi_f)} \tag{I-142}$$

La charge totale dans le silicium  $Q_s$  peut être donnée par :

$$Q_s = -C_i \left[ V_G - V_{FB} - 2\varphi_f - V(y) \right] \quad \text{I-143}$$

La charge d'inversion peut être trouvée par la différence entre la charge totale dans

Le semi-conducteur et la charge de déplétion :

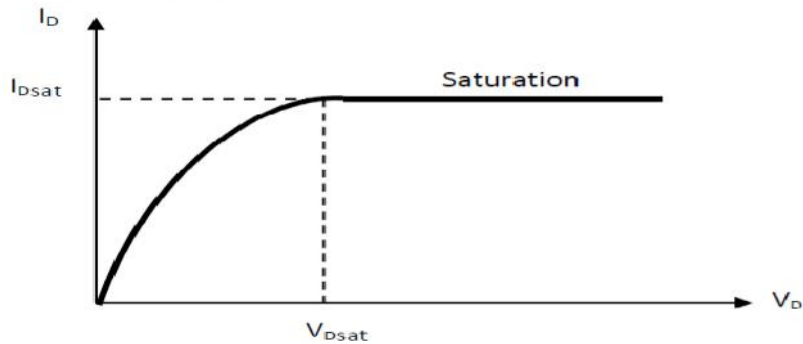
$$Q_i = Q_s - Q_{DEP} = -C_i \left[ V_G - V_{FB} - 2\varphi_f - V(Y) \right] - \sqrt{2qN_a\zeta_{si} \left( V(Y) + 2\varphi_f \right)} \quad \text{I-144}$$

En utilisant l'équation I-3, l'expression générale du courant de drain peut être déterminée, incluant la dépendance spatiale de la tension  $V(y)$  dans le canal

$$I_D = \frac{W\mu_n C_i}{L} \left\{ \left( V_G - V_{FB} - 2Q_f \right) V_D - \frac{V_D}{2} - 2 \frac{\sqrt{2qN_a\zeta_{si}}}{3C_i} \left[ \left( V_D + 2Q_f \right)^{3/2} - \left( 2Q_f \right)^{3/2} \right] \right\} \quad \text{I-145}$$

Où  $\mu_n$  est la mobilité des électrons,  $W$  dimension du dispositif dans la direction  $z$ , et  $L$  la longueur du canal, représentées sur la figure I-33

Le tracé du courant de drain en fonction de la tension de drain est montré ci-dessous



**Figure I-33 : Caractéristique  $I_D(V_D)$  On distingue deux régions différentes, la région linéaire et la région de saturation, qui vont être explicitées dans ce qui suit [10].**

✓ . **Région linéaire ( $0 < V_D < V_{Dsat}$ )**

Le courant de drain est petit. Par conséquent, le terme impliquant  $V_D$  Dans L'équation 2-9 peut être négligée. En utilisant un développement Taylor le terme  $(V_D + 2\varphi_f)^{3/2}$  peut être réduit seulement au premier ordre. L'expression du courant de drain dans la région linéaire est alors donnée par :

$$I_D = \frac{\mu_n C_i W}{L} \left( V_G - V_{FB} - 2\varphi_f - \frac{\sqrt{4\zeta_{si} N_a \varphi_f}}{C_i} \right) V_D \quad \text{I-146}$$

On peut déterminer la tension de seuil:

$$V_T = V_{FB} + \frac{|Q_{DEP}|}{C_i} + 2\varphi_f = V_{FB} + 2\varphi_f + \frac{\sqrt{4\zeta_{si} N_a \varphi_f}}{C_i} \quad \text{I-147}$$

En remplaçant I-144 ans I-145, le courant de drain peut être écrit comme suit :

$$I_D = \frac{\mu_n C_i W}{L} (V_G - V_T) V_D \quad \text{I-148}$$

✓ . **Région de saturation :** ( $V_{D_{sat}} = V_D$ )

Dans le cas où  $V_D = V_G - V_T$  le transistor MOS fonctionne en mode de saturation, la charge d'inversion n'est plus uniforme, le canal devient pincé côté drain créant un point de pincement qui se déplace vers la source lorsque la tension de drain augmente. L'expression simplifiée du courant de drain en mode de saturation est donnée par la relation suivante [13] :

$$I_{D_{sat}} = \frac{\mu_n C_i W}{2L} (V_G - V_T)^2 \quad \text{I-149}$$

**I-18 La transconductance du MOSFET :**

La transconductance  $g_m$ , est l'un des paramètres les plus importants pour la mesure du gain des dispositifs, elle est définie comme étant la dérivée du courant de drain par rapport à la tension de grille  $V_G$  [10] :

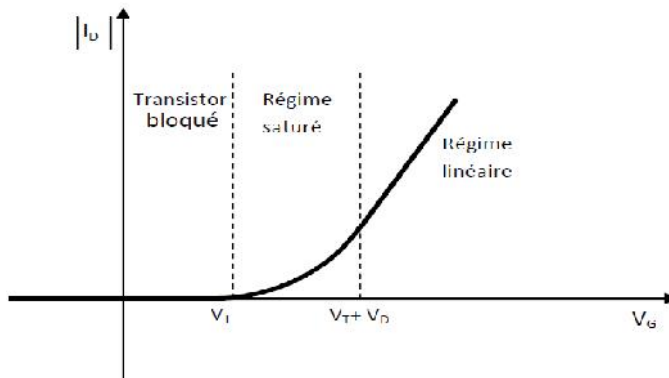
$$g_m = \left. \frac{dI_D}{dV_G} \right|_{V_D} \quad \text{I-150}$$

Pour le régime linéaire, la transconductance est donnée par la relation suivante :

$$g_m = \mu_n C_i \left( \frac{W}{L} \right) V_D \quad \text{I-151}$$

Et pour le régime de saturation, la transconductance est donnée par :

$$g_m = \mu_n C_i \left( \frac{W}{L} \right) (V_G - V_T) \quad \text{I-152}$$



**Figure I-34 : Caractéristique  $I_D(V_G)$**

**I-19 Les résistances séries**

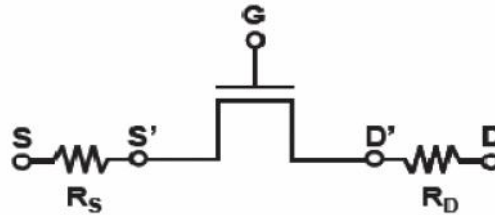
Pour les transistors de longueur de grille submicronique, les effets de résistances séries ont une cause relativement importante de perte de performance. La résistance totale d'un Transistor peut être décomposé en deux parties :

- ✓ la résistance du canal de conduction
- ✓ les résistances d'accès côté source et côté drain.



Les résistances d'accès sont globalement liées aux jonctions et aux contacts (de source et de drain), ainsi qu'aux interconnexions. Ces résistances d'accès, notées  $R_{SD}$ , entraînent une chute de potentiel aux bornes réelles du canal ( $S'$  et  $D'$ ) et entre source et grille ( $S'$  et  $G$ )

En supposant  $R_D = R_S = R_{SD}/2$  (avec  $R_S$  et  $R_D$  les résistances séries parasites côté Source et côté drain respectivement), on a ainsi :  $V_{GS} = V_{GS} - R_{SD} I_D/2$  et  $V_{D'S'} = V_{DS} - R_{SD} I_D$

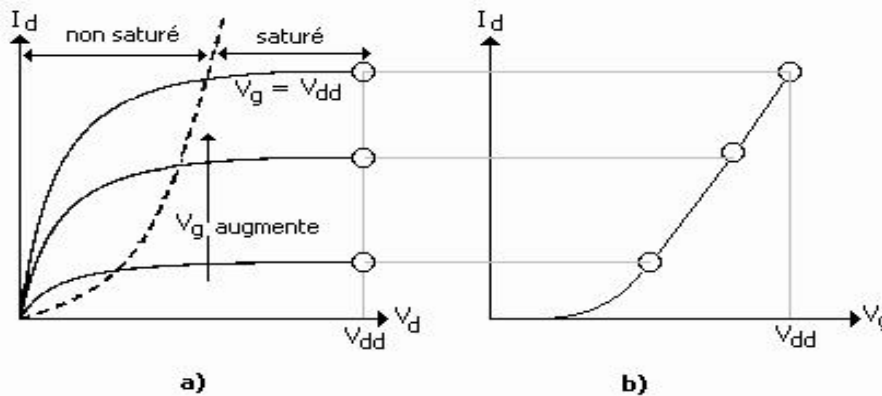


**Figure I.35: Schéma électrique d'un transistor avec prise en compte des résistances séries  $R_{SD}$ .** [15]

Il est cependant à noter qu'il existe un compromis entre résistances d'accès et effets canaux courts. Les limitations dues aux effets indésirables que nous avons brièvement cités ci-dessus, entraînent de nouveaux challenges afin de maintenir l'augmentation des performances exigées par la feuille de route de l'ITRS (International Technology Roadmap for Semi-conducteurs). Une des solutions permettant le maintien de ces performances étant l'utilisation de films minces de Silicium pour contrôler les effets canaux courts dans les dispositifs de faible longueur de grille. C'est pourquoi les technologies FDSOI sont considérées comme un des meilleurs candidats pour les futures générations CMOS (Complémentaire Métal Oxyde Semiconducteur). [15]

**I-20. Caractéristique courant- tension**

A partir des expressions du courant de drain en fonction des tensions drain - source et grille- source, on représente alors les caractéristiques de sortie et de transfert du MOSFET qui est donnée sur la figure



**Figure I. 36 : Réseau de la caractéristique du MOSFET**  
**Caractéristique de sortie b) caractéristique de transfert [16.17]**

**I-21 Limitations liées a la miniaturisation des dispositifs**

Plusieurs raisons expliquent la volonté de diminuer les dimensions des transistors. La raison principale de la réduction des dimensions est l'intégration d'un plus grand nombre de dispositifs dans une même puce. Des dispositifs de dimensions réduites conduisent soit à une puce avec les mêmes fonctionnalités sur une surface plus petite, soit à des puces avec plus de fonctionnalités sur une même surface. Si on suppose que les coûts de fabrication d'une plaque microélectronique sont relativement fixes, le coût par circuit intégré est principalement lié au nombre de puces produites par plaque. Augmenter le nombre de puces par plaque permet donc de réduire le prix d'une puce. Ainsi, durant les trente dernières années, le nombre de transistors par puce a doublé tous les deux-trois ans à chaque introduction d'un nouveau nœud technologique. Cette tendance avait été anticipée par la loi de Moore basée sur un modèle économique et énoncée en 1965.

La diminution des grandeurs géométriques des transistors MOSFETs fût la première méthode utilisée pour améliorer la vitesse de commutation des transistors. Les MOSFETs de l'état de l'art sont maintenant fabriqués avec des longueurs de grille effective d'une dizaine de nanomètres seulement (environ 30 nm en production),

Poussant les technologies conventionnelles à base de silicium dans le régime de la nanoélectronique. Ceci a créé de nouveaux challenges pour modifier les autres dimensions des dispositifs, qui doivent être réduites en accord avec la longueur de grille. En 1974, Dennard proposait une théorie prospective de miniaturisation des transistors [18]. Cette théorie est basée sur l'hypothèse d'une diminution des dimensions et de la tension d'alimentation des dispositifs dans les mêmes proportions, afin de maintenir un champ électrique constant dans le dispositif

. Le tableau I.1 résume les règles de miniaturisation idéales des paramètres des transistors et des circuits à base de MOSFETs. Les bénéfices apportés par la réduction de la taille des dispositifs sont directement visibles dans ce tableau. Si on réduit la dimension des transistors d'un facteur  $k$ , ils peuvent commuter plus vite (réduction du délai intrinsèque d'un facteur  $k$ ), tandis que la puissance dissipée est réduite d'un facteur  $k$ . En pratique, l'hypothèse d'un champ électrique constant (facteur d'échelle 1) n'a jamais été rigoureusement suivie [19]. Tous les transistors n'ont pas subi les mêmes règles de miniaturisation, selon les applications auxquelles ils étaient destinés

Paramètre physique du transistor ou du circuit (unité)	Facteur
d'échelle Dimensions du transistor $t_{ox}, L, W, X_j$ <sup>(1)</sup> (cm)	1/k
Concentration en dopants ( $\text{cm}^{-3}$ )	$k$
Tension d'alimentation $V_{DD}$	1/k
Champ électrique $E$ (V/cm)	1
Courant normaliser $I_{ON}$ ( $\mu\text{A}/\mu\text{m}$ )	1
Délai intrinsèque (par circuit) $C_{gate} \cdot V_{DD}/I_{ON}$ <sup>(2)</sup> (s)	1/k
Puissance dissipée par circuit $V_{DD} \cdot I_{ON}$ (W)	$1/k^2$
Densité de puissance $V_{DD} \cdot I_{ON}/S$ <sup>(3)</sup> ( $\text{W}/\text{m}^2$ )	1

**Tableau I.1: Règles de miniaturisation des MOSFETs proposées par Dennard (facteur multiplicatif  $k$  sans unité, dans le cas d'un champ électrique constant) [18]. (1)  $t_{ox}$  est l'épaisseur de l'oxyde de grille,  $L$  et  $W$  sont respectivement la longueur et la largeur de grille,  $X_j$  est la profondeur de jonction. (2)  $C_{gate}$  est la capacité grille/canal. (3)  $S=L \cdot W$ .**

De nouveaux défis technologiques apparaissent avec la réduction des dimensions des dispositifs. Par exemple, l'épaisseur de l'oxyde de grille  $t_{ox}$  doit être réduite comme les autres dimensions du transistor, ce qui conduit notamment à des fuites de grille. Le dopage du substrat doit être augmenté, entraînant une augmentation des collisions entre les porteurs et donc une dégradation de la mobilité. Pour continuer à améliorer les performances des dispositifs, de nouvelles structures et des matériaux nouveaux ont été proposés. Ceci fait l'objet de la partie suivante

## 1-22 Solutionstechnologiquespourl'améliorationdesperformances

### 1-22.1. Choix des matériaux du diélectrique de grille et du grill

#### I-22-2 utilisation de matériaux a forte mobilité pour le canal

### 1-23 Effets parasites du transistor fortement submicronique

#### I-23.1. L'effet de canaux courts SCE et DIBL

A chaque fois que la taille des dispositifs diminue on voit apparaître des problèmes dus à cette miniaturisation et qui modifient les performances des dispositifs MOSFETs.. En effet la miniaturisation engendre des effets parasites. Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles: l'effet des canaux courts (*SCE : Short Effet Channel*), et le DIBL (*Drain Induced Barrier Lowering*). Les technologies sur silicium massif conventionnelles souffrent d'importants effets canaux courts qui dégradent le contrôle de la grille sur le canal de conduction pour les petites longueurs de grille et augmentent le contrôle parasite par le drain.



Transistor à canal long

Transistor à canal court

Figure I. 37 : Structure d'un transistor MOSFET bulk

Dans le cas des transistors nanométriques, les effets canaux courts résultent du chevauchement des zones de Charges d'espaces des régions dopées ( $W_{S/c}$  et  $W_{D/c}$ ).

La réduction de la longueur  $vde$  la grille s'accompagne de l'apparition d'effets électrostatiques parasites, dits "effet canal court" « *SCE* », qui perturbent le bon contrôle par  $V_{GS}$  de la conductivité entre source et drain. En effet, plus la longueur du canal est faible, plus les zones des charges d'espace (*ZCE*) des jonctions, source/substrat et drain/substrat se rapprochent jusqu'à ce qu'elles se recouvrent en partie

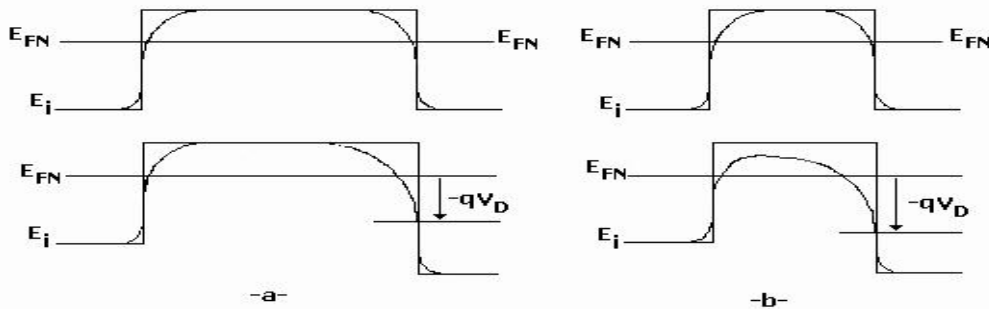
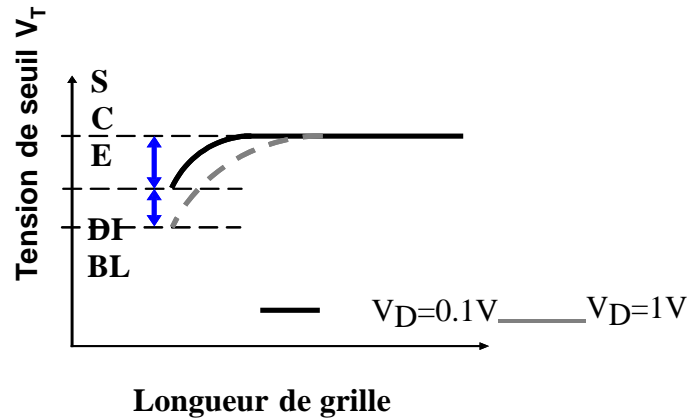


Figure 1. 38 : Profil du potentiel de surface pour le transistor nMOS à canal

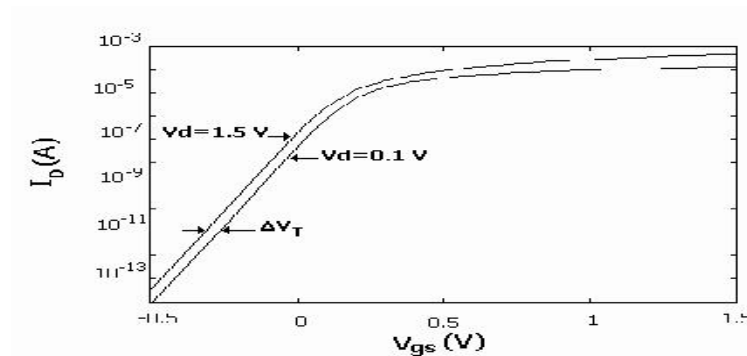
a) long et b) court

A ce moment là, la charge de déplétion dans le canal de conduction est en grande partie contrôlée par les jonctions et non par la grille. Cet effet canal court se traduit alors par un abaissement de la barrière entre la source et le drain. Afin de limiter l'impact de ces effets de canal court et donc d'augmenter le contrôle de la grille sur le canal. Pour des transistors de faible longueur de grille, des effets de couplage électrostatique apparaissent entre la source et le drain. Ces effets sont dus au rapprochement puis au recouvrement partiel des zones de charge d'espace des jonctions source/substrat et drain/substrat lorsque la longueur de grille diminue. La charge de désertion dans le canal est alors en grande partie contrôlée par les jonctions, et non plus par la grille. Dans un transistor long, le champ vertical de grille commence par désertier le canal, puis réalise ensuite l'inversion. Pour les transistors courts, la désertion étant déjà induite par les jonctions, l'inversion est atteinte plus vite en fonction de  $V_G$ . Cet « effet canal court » ou *SCE* (« Short Channel Effect ») se traduit alors par un abaissement de la barrière de potentiel entre la source et le drain, et donc par une diminution de la tension de seuil mesurée en régime linéaire (à  $V_D$  faible) La polarisation de drain  $V_D$  a aussi un effet sur la barrière de potentiel puisque l'extension de la zone de charge d'espace au niveau du drain dépend de  $V_D$ . Pour les transistors courts, une augmentation de  $V_D$  induit un abaissement supplémentaire de la tension de seuil appelé *DIBL* (« Drain Induced Barrier Lowering »))



**Figure I.39: Impact des effets canaux courts SCE et DIBL sur la tension de seuil.**

Il est à noter que le phénomène de DIBL est pris en compte lorsque le transistor travaille en régime sous seuil (ou faible inversion) et concerne le potentiel de surface. En effet la distribution du potentiel dans le Canal dépend à la fois du champ transversal (contrôlé par la tension de grille), et du champ longitudinal (contrôlé par la tension de drain). Un l'accroissement de la ZCE côté drain, provoque alors l'abaissement de la barrière de potentiel source/substrat. Cet effet est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue



**Figure 1.40 : Courbes de transfert pour des tensions de drain de 0.1V (régime linéaire) et 1.5V (régime de saturation).**

Rappelons enfin que les deux effets SCE et DIBL se regroupent sous le terme générique « effets canaux Courts ». et qu'ils traduisent une perte de contrôle électrostatique de la grille sur le canal de conduction pour les transistors courts par rapport à un transistor long. La modulation de la grille sur la barrière de potentiel est moins efficace, ce qui entraîne une dégradation de la pente sous le seuil. Les effets canaux courts se traduisent par une dépendance de la tension de seuil en régime linéaire et en régime de saturation avec la longueur de grille. Des fluctuations technologiques sur la longueur de grille induisent alors une forte variation de la tension de seuil, et donc des performances. Les effets canaux courts sont donc responsables de pertes de rendement. De plus, ce sont les principaux responsables de l'augmentation des courants de fuite  $I_{OFF}$  pour les faibles longueurs de grille des transistors MOSFETs.

## II-1. Introduction

L'évolution technologique a permis cette dernière décennie la conception de dispositif ayant des géométries de l'ordre du micromètre voire même du nanomètre réduisant ainsi

considérablement le taille de ces dispositifs en comparaison avec ceux conçus quelques années auparavant. Cette évolution est bien illustrée au niveau du tableau qui suit :

	1995	1997	1999	2002	2005	2008	2011	2014
Dim du trait (nm)	350	250	180	130	100	70	50	35
Longueur du canal L (nm)	300	200	100	70	50	35	25	18
Epaisseur oxyde tox (nm)	3.0-5	2.5-3	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-1.2	0.5-0.6
Tension d'alimentation (V)	2.5-3	1.8-2.5	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.5
Mémoire DRAM (bits/chip)	64M	256M	1G	3G	8G	24G	64G	192G

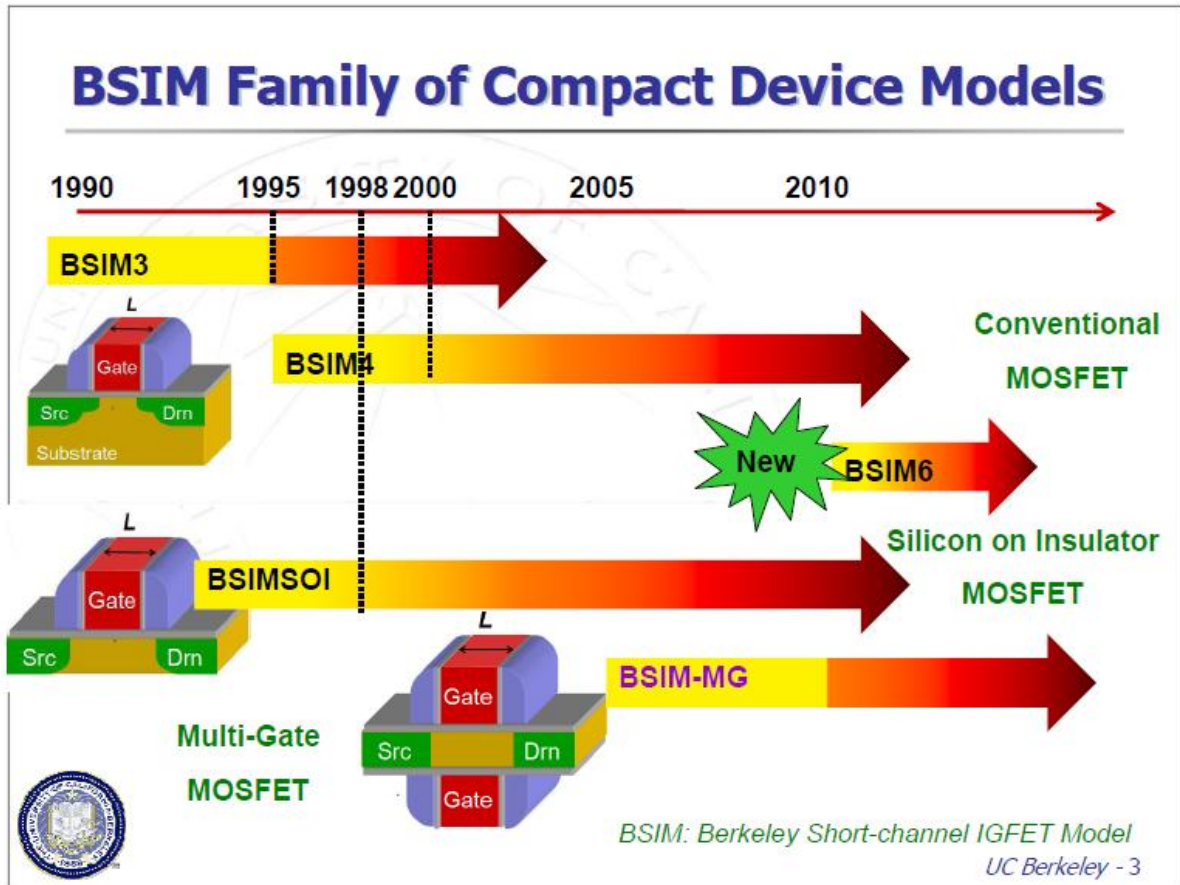
**Tableau II.1 : Evolutions technologiques**

Plusieurs modèles de transistors se sont succéder selon les besoins de l'industrie pour suivre cette évolution. Ces différents modèles sont regroupés au niveau du tableau 2.

Level = 1	Modèle Schichman-Hodges, $L > 5 \mu\text{m}$ (1968)
Level = 2	Modèle analytique, basé sur la physique du composant, $L > 2 \mu\text{m}$ (1980)
Level = 3	Modèle semi-empirique, $L > 2 \mu\text{m}$ (1980)
Level = 4	Modèle BSIM1, $L > 1 \mu\text{m}$ , $t_{\text{ox}} > 15 \text{ nm}$ (1995)
Level = 5	Modèle EPFL-EKV version 2.6, (1997)
Level = 6	Modèle BSIM3v2.0, $L > 0.2 \mu\text{m}$ et $t_{\text{ox}} > 3.6 \text{ nm}$
Level = 7	Modèle BSIM3v3.1, $L < 1 \mu\text{m}$ et $t_{\text{ox}} = 3.6 \text{ nm}$

**Tableau II.2 : Différents modèles de MOSFET.**

Pour aboutir à des simulations précises pour des technologies submicroniques, l'université de Berkeley a développé une famille de modèles tel que le model BSIM .



**Figure II 1. BSIM: Berkeley Short-Channel IGFET Modèle. [23].**

Le model BSIM (Berkeley Short-Channel IGFET Model) existe déjà dans différentes versions on citera entre autre le BSIM1, BSIM2, BSIM3, BSIM4,..... Avec différentes versions améliorés pour chacun de ses modèles tels que par exemple la version BSIM3v3, favorisée par l'EIA (Electronic Industries Alliance), cette dernière version a l'avantage d'être considérée comme une norme d'industrie pour les simulations submicroniques profondes des dispositifs.

Avant d'entamer notre étude du model BSIM3 version3 soit alors l'étude du BSIM3V3, on doit tout d'abord noter que depuis l'invention du transistor MOS, plusieurs effets physiques ont pu être mis en évidence et ont fait l'objet d'études récentes, on citera entre autre : les effets du dopage vertical et horizontal non uniforme ((Hori *et al.* (1993),.....)), les phénomènes de courants de fuites DIBL (Troutman (1979)); effets des canaux court (Viswanathan *et al.* (1985); Hsu *et al.* (1991); Rafferty *et al.* (1993)), effet des largeurs étroites, dépendance de la mobilité et de la vitesse de saturation du champ électrique induit des polarisations de la structure, effets de la modulation de la longueur du canal, l'ionisation

par impact conséquent aux effets des canaux courts. Ces différents effets ont été introduits dans différents modèles de transistors MOS de dernières générations telle que le modèle BSIM3V3 visé par notre étude.

Le développement du BSIM3v3 est basé sur l'équation de Poisson qui utilise l'approximation du canal graduel et analyse 2D cohérente, en tenant compte des effets de la géométrie du dispositif et les paramètres obtenus après extraction suite à la conception de ce dispositif.

Le modèle BSIM3v3.2.2 prend en considération les phénomènes physiques suivants observés dans les dispositifs MOSFET en général [24]:

Phénomènes physiques dans le transistor MOS

- influence canal court/étroit sur la tension de seuil
- influence du dopage non uniforme (dans deux directions :

Latéral et vertical)

- réduction de la mobilité due au champ électrique vertical
- influence de la résistance du substrat
- vitesse de saturation des porteurs
- effet DIBL (drain induced barrier lowering)
- modulation de la longueur du canal (CLM)
- SCBE (substrate current induced body effect)
- conduction sous le seuil
- résistance parasite drain/source

En général ce modèle prend aussi en considération sa dépendance à l'égard des paramètres géométriques et des paramètres liés au procédé de fabrication (figure 2), tel que:

- longueur et largeur de la grille ( $L$ ,  $W$ )
- l'épaisseur d'oxyde de grille
- profondeur de jonction cotés source et drain ( $X_j$ )
- profil de dopage du substrat ( $N_{sub}(x, y)$ ) ect.....

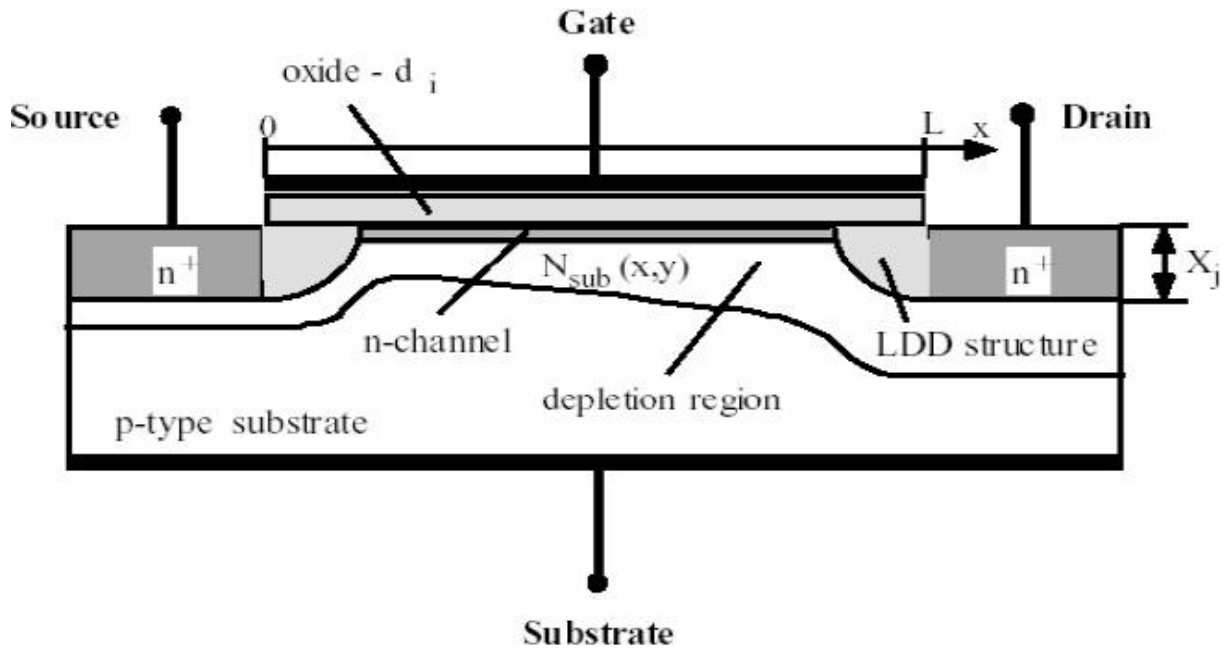


Figure II 2 : Présentation du BSIM3.

### 2.1. Effets du dopage Non-uniformes et effets canaux courts sur la tension de seuil du model

Une modélisation précise de la tension de seuil  $V_{th}$  est indispensable pour une description précise des caractéristiques électriques du dispositif. En outre, cette tension de seuil est considérée comme étant une tension de référence utile pour la détermination de son régime de fonctionnement l'évaluation de fonctionnement du dispositif. En considérant cette tension de seuil le régime de fonctionnement du dispositif peut être divisé en trois régions opérationnelles.

Tout d'abord, si la tension de grille est supérieure à la tension de seuil, la densité de charge d'inversion est plus grande que la concentration du dopage du substrat et le MOSFET fonctionne en régime de forte inversion et le courant de conduction est dominant. Si par contre, la tension de grille est plus petite que cette tension de seuil, la densité de charge d'inversion est inférieure à la concentration de dopage en substrat. Le transistor est considéré comme opérant en régime de faible inversion (ou sous le seuil) région. Le courant de diffusion devient dominant [25]. Enfin, si la tension de grille est très proche de  $V_{th}$ , la densité de charge d'inversion est proche de la concentration de dopage et le MOSFET fonctionne dans la zone de transition. Dans un tel cas, les courants de diffusion et de conduction sont tous deux importants.

Pour des dispositifs MOSFET à canal long et une concentration de dopage du substrat uniforme,  $V_{th}$  est exprimé par [25]:



$$V_{th} = V_{FB} + \Phi_s + \gamma \sqrt{\Phi_s - V_{bs}} = V_{Tideal} + \gamma \left( \sqrt{\Phi_s - V_{bs}} - \sqrt{\Phi_s} \right) \quad (\text{II.1})$$

où  $V_{FB}$  est la tension de bande plate,  $V_{Tideal}$  est la tension de seuil du dispositif à canal long avec une tension de polarisation du substrat nulle, et  $\gamma$  est le coefficient de polarisation du substrat exprimée par :

$$\gamma = \frac{\sqrt{2\epsilon_{si} q N_a}}{C_{ox}} \quad (\text{II-2})$$

Na concentration des dopants du substrat. Le potentiel de surface est alors exprimé par :

$$\Phi_s = 2 \frac{K_B T}{q} \ln \left( \frac{N_a}{n_i} \right) \quad (\text{II-3})$$

Dans l'expression permettant de déterminer la tension de seuil, on a supposé que le canal était uniforme et de ce fait il a été fait usage de l'équation de Poisson à une dimension dans la direction verticale du canal. Ce modèle est valable uniquement lorsque la concentration du dopage du substrat est constante et pour les dispositifs à canaux longs. Dans ces conditions, le potentiel est uniforme le long du canal. Des modifications doivent être faite lorsque la concentration de dopage substrat n'est pas uniforme et / ou lorsque la longueur de canal est courte ou étroite, ou les deux.

### 2.1.1. Effet du dopage vertical non uniforme

Dans le cas ou le dopage n'est pas uniforme l'expression de la tension de seuil est reconsidérée et le nouveau model du  $v_{th}$  est alors exprimé par :

$$V_{th} = V_{Tideal} + K_1 \left( \sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s} \right) - K_2 V_{bs} \quad (\text{II-4})$$

Avec :

$$K_1 = \gamma_2 - 2K_2\sqrt{\phi_s - V_{bm}} \quad (\text{II-5})$$

$$K_2 = \frac{(\gamma_1 - \gamma_2)(\sqrt{\phi_s - V_{bx}} - \sqrt{\phi_s})}{2\sqrt{\phi_s}(\phi_s - V_{bm} - \sqrt{\phi_s}) + V_{bm}} \quad (\text{II-6})$$

$$\gamma_1 = \frac{\sqrt{2q\zeta_{si}N_{ch}}}{C_{ox}} \quad (\text{II-7})$$

$$\gamma_2 = \frac{\sqrt{2q\zeta_{si}N_{sub}}}{C_{ox}} \quad (\text{II-8})$$

$V_{bm}$  représente la tension de polarisation maximale du substrat. Les coefficients  $K_1$  and  $K_2$  sont déterminés expérimentalement.

### 2.1.2. Effet de dopage latéral non uniforme

Pour diverses technologies, la concentration des dopants près de la source/drain est plus importante que leur concentration au milieu du canal. Ceci est dû au dopage latéral non uniforme. Si la longueur du canal devient plus petite, ce dopage latéral non uniforme conduira à la décroissance de la tension de seuil car la concentration moyenne des dopants dans le canal devient plus importante. Et la tension de seuil aura alors pour expression :

$$V_{th} = V_{th0} + K_1(\sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s}) - K_2V_{bs} + K_1\left(\sqrt{1 + \frac{Nkx}{L_{eff}}} - 1\right)\sqrt{\phi_s} \quad (\text{II-9})$$

### 2.1.3. Effet canal court

La tension de seuil d'un dispositif à canal long est indépendante de la longueur du canal et de la tension appliquée sur son drain et ne dépend que de la tension de polarisation du bulk. Cependant pour les dispositifs à canaux courts la tension de seuil dépend tout aussi bien de la longueur du canal que de la tension de polarisation de son drain. Cet effet canal court est introduit dans le nouveau model de la tension de seuil qui s'exprime alors par :[26]

$$V_{th} = V_{th0} + K_1 \left( \sqrt{\phi_s - V_{bs}} - \sqrt{\phi_s} \right) - K_2 V_{bs} + K_1 \left( \sqrt{1 + \frac{N_A x}{L_{eff}}} - 1 \right) \sqrt{\phi_s} - \Delta V_{th} \quad (\text{II-10})$$

Ou  $\Delta V_{th}$  représente la réduction de la tension de seuil du à l'effet canal court. Liu et al ont proposé une expression pour le calcul du  $\Delta V_{th}$  et est telle que :

$$\Delta V_{th} = \theta_{th}(L) (2V_{bi} - \phi_s) + V_{ds} \quad (\text{II-11})$$

Ou  $V_{bi}$  est la tension de la PN jonction entre la source et le substrat et a pour expression :

$$V_{bi} = \frac{K_B T}{q} \ln \frac{N_{ch} N_d}{n_i^2} \quad (\text{II-12})$$

$N_d$  est la concentration des dopants de la source/drain avec une valeur typique d'à peu près  $1 \times 10^{20} \text{cm}^{-3}$ . L'expression  $\theta_{th}(L)$  est le coefficient canal court qui depends fortement de la longueur du canal et tel que :

$$\theta_{th}(L) = \left[ \exp(-L/2l_t) + 2\exp(-L/l_t) \right] \quad (\text{II-13})$$

Ou

$$l_t = \sqrt{\frac{\zeta_{si} T_{OX} X_{dep}}{\zeta_{OX} \eta}} \quad (\text{II-14})$$

$X_{dep}$  est la largeur de la zone de déplétion du coté substrat et telle que:

$$X_{dep} = \sqrt{\frac{2\zeta_{si} (\phi_s - V_{bs})}{qN_{ch}}} \quad (\text{II-15})$$

$X_{dep}$  est plus large près du drain qu'au milieu du canal, ceci étant dû à la tension du drain.

## 2.2 Model de la mobilité

Un modèle de mobilité correct est essentiel à la précision d'un modèle MOSFET. Les mécanismes de diffusion responsables de la mobilité de surface comprennent essentiellement des phonons, la diffusion coulombienne et rugosité de surface [27, 28]. En général, la mobilité dépend de paramètres du process et des conditions de polarisation. La mobilité dépend aussi de l'épaisseur du  $\text{SiO}_2$ , de la concentration des dopants du substrat, de la tension de seuil ainsi que des tensions de polarisation de la grille et du bulk.. etc Sabnis et Clemens [13] ont proposé une formule empirique unifiée basée sur le concept

d'un champs électrique effectif  $E_{eff}$  efficace et des conditions de polarisation de nombreux ensemble. Ce champ est défini par :

$$E_{eff} = \frac{Q_B + (Q_n / 2)}{\zeta_{si}} \quad (II-16)$$

La signification physique du champ  $E_{eff}$  peut être interprétée comme le champ électrique moyen subie par les porteurs dans la couche d'inversion [30]. La formulation unifié de mobilité est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + (E_{eff} / E_0)^v} \quad (II-17)$$

Parametres	Electron (surface)	Trous : (surface)
$\mu_0$ ( $cm^2/Vsec$ )	670	160
$E_0$ ( $MV/cm$ )	0.67	0.7
v	1.6	1.0

**Tableau II.3 : Valeurs typiques de la mobilité pour les électrons et les trous.**

Pour un transistor NMOS avec une grille en poly silicium de type N, il est d'usage d'utiliser l'expression [30] :

$$E_{eff} \cong \frac{V_{gs} + V_{th}}{6T_{OX}} \quad (II-18)$$

La mobilité effective s'exprime alors par :

$$\mu_{eff} = \frac{\mu_0}{1 + (U_a + U_c V_{bseff}) \left( \frac{V_{gst} + 2V_{th}}{T_{OX}} \right) + U_b \left( \frac{V_{gst} + 2V_{th}}{T_{OX}} \right)^2} \quad (II-19)$$

$V_{gst} = V_{gs} - V_{th}$

Un autre model de la mobilité est pris en compte pour des composants opérant en mode de déplétion. Soit alors :

$$\mu_{eff} = \frac{\mu_0}{1 + (U_a + U_c V_{bseff}) \left( \frac{V_{gst}}{T_{OX}} \right) + U_b \left( \frac{V_{gst}}{T_{OX}} \right)^2} \quad (II-20)$$

En tenant compte de la dépendance de la mobilité de la tension de polarisation du bulk, l'expression utilisée est telle que :

$$\mu_{eff} = \frac{\mu_0}{1 + \left[ U_a + \left( \frac{V_{gsteff} + 2V_{th}}{T_{OX}} \right) + U_b \left( \frac{V_{gsteff} + 2V_{th}}{T_{OX}} \right)^2 \right] (1 + U_c V_{bseff})} \quad (II-21)$$

Pour finir un model de mobilité unifié est utilisé et permet de définir uniformément la mobilité depuis le fonctionnement en régime sous seuil jusqu'à la forte inversion et permet par :

$$\mu_{eff} = \frac{\mu_0}{1 + \left[ U_a + \left( \frac{V_{gsteff} + 2V_{th}}{T_{OX}} \right) + U_b \left( \frac{V_{gsteff} + 2V_{th}}{T_{OX}} \right)^2 \right] (1 + U_c V_{bseff})} \quad (II-22)$$

### 2.3.3. Vitesse de conduction des porteurs

Vitesse de conduction des porteurs est aussi l'un des paramètres les plus importants.

L'équation suivante permet de déterminer la vitesse de saturation [33] soit :

$$\nu = \frac{\mu_{eff} E}{1 + (E / E_{sat})} \quad E \prec E_{sat}$$

$$= V_{sat} \quad E \succ E_{sat} \quad (II-23)$$

The paramètre Esat correspond au champ électrique critique ou la vitesse des porteurs atteints la saturation. Il s'exprime par :

$$E_{sat} = \frac{2V_{sat}}{\mu_{eff}} \quad (II-24)$$

### 2.4. Effet charge de substrat

Quand la tension au niveau du drain est importante ou quand on a un canal assez long l'épaisseur de la zone déplétée du canal n'est pas uniforme tout au long du canal, ce qui entraîne une variation de la tension de seuil le long du canal. Cet effet s'est connu sous le nom effet de charge du bulk [30].

Le paramètre,  $A_{bulk}$ , défini par l'expression qui suit, est utilisé afin de tenir compte des effets des charges du substrat. Divers paramètres obtenus suite à l'extraction des paramètres du dispositif tel que  $A_0$ ,  $B_0$ ,  $B_1$  sont introduits afin de tenir compte de la dépendance des dimensions du canal de l'effet de charge du substrat.

$$A_{bulk} = \left[ 1 + \frac{K_{lox}}{2\sqrt{\Phi_s - V_{bseff}}} \left( \frac{A_o L_{eff}}{L_{eff} + 2\sqrt{X_J X_{dep}}} \left[ 1 - A_{gs} V_{gsteff} \left[ \frac{L_{eff}}{L_{eff} + 2\sqrt{X_J X_{dep}}} \right]^2 \right] + \frac{B_o}{W_{eff} + B_1} \right) \right] \frac{1}{1 + Keta V_{bseff}} \quad (\text{II-25})$$

$A_0$ ,  $A_{gs}$ ,  $B_0$ ,  $B_1$  et  $Keta$  sont déterminés expérimentalement  $A_{bulk}$  est Presque égal a 1 si la longueur du canal est petite.  $A_{bulk}$  croit si la longueur du canal croit [30].

## 2.5 Courant du drain en régime de forte inversion (zone linéaire). Regime)

### 2.5.1 Cas Intrinsic ( $R_{ds}=0$ )

En région de forte inversion, l'équation du courant en tout point  $y$  le long du canal est exprimé par:

$$I_{ds} = WC_{ox} (V_{gst} - A_{bulk} V(y)) v(y) \quad (\text{II-26})$$

$$V_{gst} = (V_{gs} - V_{th}),$$

$W$  est la largeur du canal,  $C_{ox}$  est la capacité de l'oxyde de grille exprimée par unité de surface,  $V(y)$  représente la différence de potentiel quasi-Fermi des porteurs minoritaires et le potentiel de Fermi à l'équilibre dans le bulk au point  $y$ ,  $v(y)$  est la vitesse des porteurs au point  $y$ .

Avant d'atteindre la vitesse de saturation le courant du drain s'exprime par:

$$I_{ds} = WC_{ox} (V_{gs} - V_{th} - A_{bulk} V(y)) \frac{\mu_{eff} E(y)}{1 + E(y) / E_{sat}} \quad (\text{II-27})$$

Et

$$E(y) = \frac{I_{ds}}{\mu_{eff} WC_{ox} (V_{gst} - A_{bulk} V(y)) - I_{ds} / E_{sat}} = \frac{\partial V(y)}{dy} \quad (\text{II-28})$$

Par conséquent:

$$I_{ds} = \mu_{eff} C_{ox} \frac{W}{L} \frac{1}{1 + V_{ds} / E_{sat} L} (V_{gs} - V_{th} - A_{bulk} V_{ds} / 2) V_{ds} \quad .(II-29)$$

Ce model reste valide avant d'atteindre la saturation.

Quand la tension au niveau du drain devient importante, la vitesse atteints la vitesse de saturation du coté drain et le courant de saturation s'exprime alors par :

$$I_{ds} = WC_{ox} (V_{gst} - A_{bulk} V_{dsat}) V_{sat} \quad . (II-30)$$

$$V_{dsat} = \frac{E_{sat} L (V_{gs} - V_{th})}{A_{bulk} E_{sat} L + (V_{gs} - V_{th})} \quad . (II-31)$$

### 2.5.2 Cas extrinsèque (Rds>0)

Les résistances parasites cotées source et drain représentent un paramètre important qui peut affecter significativement les performances du transistor. Quand la longueur du canal décroît ces résistances ne décroissent pas proportionnellement à la décroissance de la longueur du canal. De ce fait la résistance Rds présente une grande importance sur les caractéristiques du transistor. Ces résistances parasites sont prises en considération dans la modélisation du courant en zone linéaire [26]. Ce courant est tel que :

$$\begin{aligned} I_{ds} &= \frac{V_{ds}}{R_{tot}} = \frac{V_{ds}}{R_{ch} + R_{ds}} \\ &= \mu_{eff} C_{ox} \frac{W}{L} \frac{1}{1 + V_{ds} (E_{sat} L) + Rds \mu_{eff} \frac{W}{L} \frac{(V_{gst} A_{bulk} V_{ds} / 2) V_{ds}}{1 Rds \mu_{eff} C_{ox} \frac{W}{L} \frac{(V_{gst} - A_{bulk} V_{ds} / 2)}{1 + V_{ds} / (E_{sat} L)}}} \end{aligned} \quad . (II-32)$$

### 2.6. Expression du courant et de la résistance de sortie en forte inversion

En zone saturée le courant s'exprimera par :

$$I_{ds}(V_{gs}, V_{ds}) = Ids(V_{gs}, V_{dsat}) + \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} (V_{ds} - V_{dsat})$$

$$= I_{dsat} \left( 1 + \frac{V_{ds} - V_{dsat}}{V_A} \right). \quad (\text{II-33})$$

Ave

$$I_{dsat} = I_{ds}(V_{gs}, V_{dsat}) = W_{sat} C_{ox} (V_{gst} - A_{bulk} V_{dsat})$$

Et 
$$V_A = I_{dsat} \left( \frac{\partial I_{ds}}{\partial V_{ds}} \right)^{-1} \quad (\text{II-34})$$

$V_A$  représente la tension d'Early.

le BSIM3 modélise le courant du canal et la conductance en utilisant le concept de la tension d'Early bien connu dans la modélisation des composants bipolaires, une préention a été faite pour dériver le modèle, ce si est la contribution de chaque mécanisme physique tel que *CLM*, *DIBL*, *SCBE*, et ainsi de suite pour avoir un courant du canal et une conductance qui peuvent être calculés indépendamment. La fig. qui suit illustre la contribution de chaque effet physique à la conductance (résistance) de sortie (Huang (1992); Cheng et al (1997) ).

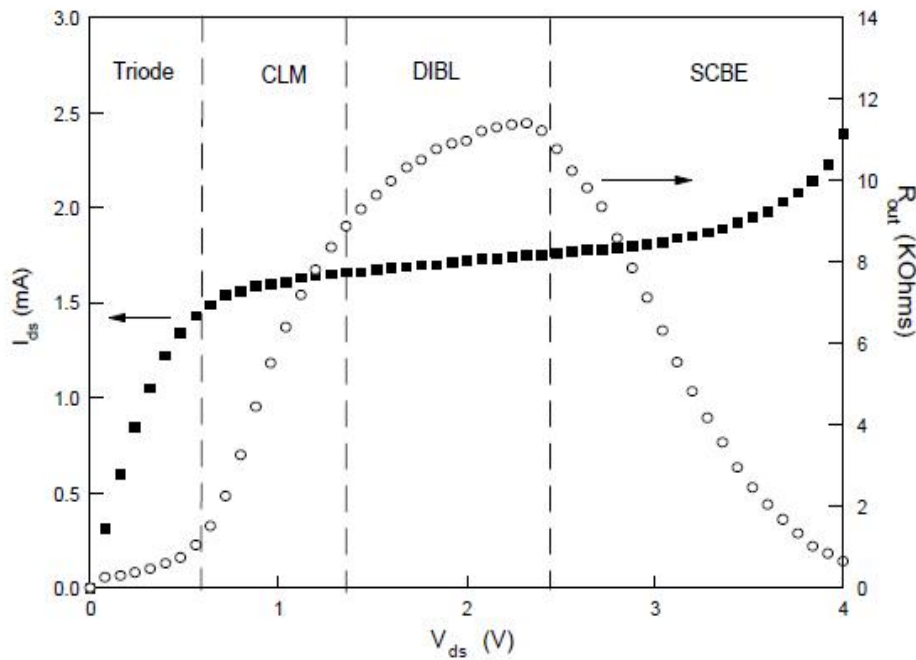


Figure II.3 : comportement de résistance de sortie pour un MOSFET à différents régions de polarisation. [40]



On Remarque que cette courbe est clairement divisée en quatre régions :

La première région (région linéaire) ou la vitesse des porteurs n'est pas encore saturée. La résistance de sortie est très faible car le courant de drain dépend fortement de la tension de polarisation du drain

Dans les trois autres régions le courant est saturé. Dans ce cas trois mécanismes physiques distincts affectent la résistance de sortie en zone saturée la modulation de la longueur du canal (*CLM*) [34, 30], le mécanisme (*DIBL*)

[34, 35, 30], et le mécanisme (*SCBE*) [30, 36, 37]. Tous ces mécanismes affectent la résistance de sortie du dispositif.

### 2.6.1. Modulation de la longueur du canal

Si la modulation de la longueur du canal est le seul mécanisme physique pris en considération dans le calcul du courant la tension d'Early peut être exprimée par :

$$V_{ACLM} = I_{dsat} \left( \frac{\partial I_{ds}}{\partial L} \frac{\partial L}{\partial V_{ds}} \right)^{-1} = \frac{A_{bulk} E_{sat} L + V_{gst}}{A_{bulk} E_{sat}} \left( \frac{\partial \Delta L}{\partial V_{ds}} \right)^{-1} \quad (II-35)$$

$$V_{ACLM} = \frac{A_{bulk} E_{sat} L + V_{gst}}{A_{bulk} E_{sat} l} (V_{ds} - V_{dsat}) \quad (II-36)$$

La longueur effective du canal est alors égale à  $L - \Delta L$

### 2.6.2 Drain-Induced Barrier Lowering (*DIBL*)

La tension d'Early due à l'effet *DIBL* est déterminé par:

$$V_{ADIBLC} = I_{dsat} \left( \frac{\partial I_{ds}}{\partial V_{th}} \frac{\partial V_{th}}{\partial V_{ds}} \right)^{-1} \quad (II-37)$$

$$V_{ADIBLC} = \frac{(V_{gsteff} + 2v_t)}{\theta_{rout} \left( 1 + P_{DIBLCB} V_{bs\text{eff}} \right)} \left( 1 - \frac{A_{bulk} V_{dsat}}{A_{bulk} V_{dsat} + V_{gsteff} + 2v_t} \right) \quad (II-38)$$

Quand la longueur du canal décroît  $V_{ADIBLC}$  décroît très rapidement.

### 2.6.4. Expression du courant en tenant compte du courant induit par le substrat

Quand le champ électrique près du drain est tres important ( $> 0.1\text{MV/cm}$ ), plusieurs électrons arrivant de la source ont une énergie suffisante pouvant provoquer une ionisation par impact créant des paires électrons/trous dès leur collisions avec les atomes de silicium. Le courant de substrat grée  $I_{sub}$  durant cette ionisation par impact croit exponentiellement avec la tension de drain. Le courant  $I_{sub}$  peut être modélisé comme suit [38] :

$$I_{sub} = \frac{A_i}{B_i} I_{ds} (V_{ds} - V_{dsat}) \exp\left(\frac{B_i l}{V_{ds} - V_{dsat}}\right) \quad (\text{II-39})$$

Les paramètres  $A_i$  and  $B_i$  sont obtenus par extraction.  $I_{sub}$  affecte le courant du drain qui S'exprimera alors par :

$$I_{ds} = I_{ds0} + I_{sub} = I_{ds} = I_{ds0} \left[ 1 + \frac{(V_{ds} - V_{dsat})}{\frac{B_i}{A_i} \exp\left(\frac{B_i l}{V_{ds} - V_{dsat}}\right)} \right] \quad (\text{II-40})$$

## 2.7. Expression du courant sous seuil

Le courant de drain sous le seuil de fonctionnement s'exprime par:

$$I_{ds} = I_{so} \left( 1 - \exp\left(-\frac{V_{ds}}{v_t}\right) \exp\left(\frac{V_{gs} - V_{th} - V_{off}}{m v_t}\right) \right) \quad (\text{II-41})$$

$$I_{so} = \mu_0 \frac{W}{L} \sqrt{\frac{q \zeta_{si} N_{ch}}{2 \phi_s}} v_t^2 \quad (\text{II-42})$$

Le paramètre  $v_t$  représente le potentiel thermique soit  $KBT/q$ .  $V_{off}$  représente le potentiel d'offset [36].  $V_{off}$  paramètre important dans la détermination du courant de drain à  $V_{gs} = 0$ .

Le paramètre  $n$  déterminé expérimentalement dépendent de la longueur du canal. Et peut s'exprimer par :

$$n = 1 + N_{factor} \frac{C_d}{C_{ox}} + \frac{(C_{dsc} + C_{dscb} V_{ds} + C_{dscb} V_{bseff}) \left( \exp(-Dvt1 \frac{l_{eff}}{2lt}) + 2 \exp(-Dvt1 \frac{l_{off}}{lt}) \right)}{C_{ox}} + \frac{C_{it}}{C_{ox}} \quad (\text{II-43})$$

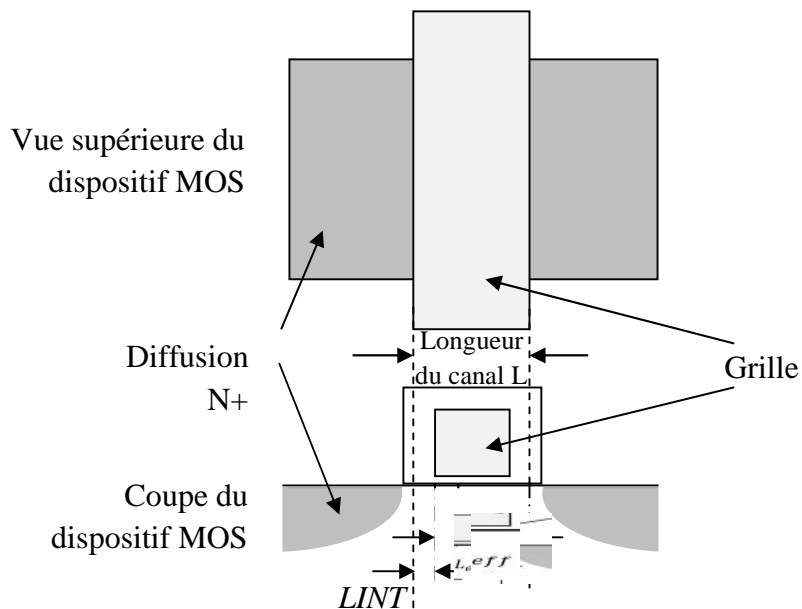
## 2.8. Longueur et largeur effectives du canal

Deux paramètres d'ajustement additionnels  $dL$  et  $dW$  de la longueur et de la largeur du canal sont introduites au niveau du model afin de corriger les imperfections et les erreurs dues aux procédés de fabrications et qui surviennent au niveau du dessin de masque et des procédés de gravure.

Les expressions utilisées par le model après correction de la longueur et de la largeur du canal sont données par :

$$L_{eff} = L_{drawn} - 2dL \quad (II-45)$$

$$W_{eff} = W_{drawn} - 2dW \quad (II-46)$$



**Figure II.4: Représentation de la longueur effective du canal.[39]**

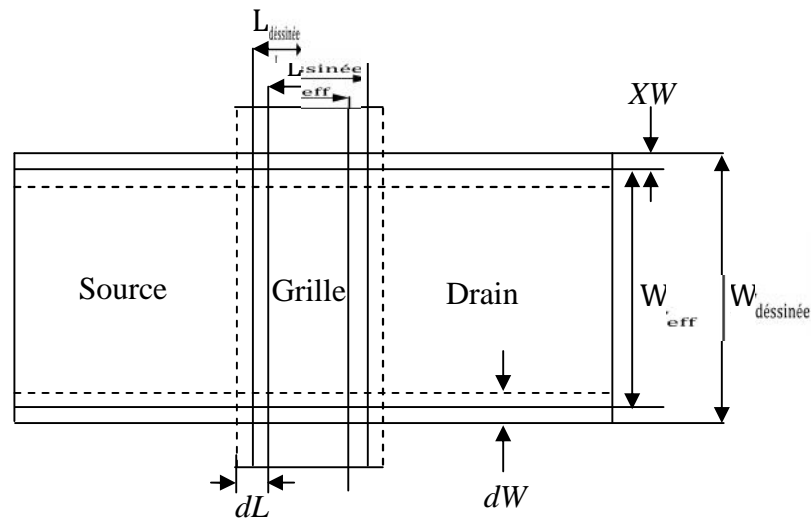


Figure II.5: Définition de  $dL$ ,  $dW$ ,  $W_{eff}$  et  $L_{eff}$ . [40]

### 3. Expression unifiée du courant du drain.

#### 3.1. Expression unifiée de la densité de charge dans le canal

Nous avons pu citer auparavant les différentes expressions du courant du modèle développées pour ses différentes zones de fonctionnement telle que l'expression du courant sous seuil ou l'expression du courant en régime de forte inversion. Bien que ces expressions peuvent décrire précisément le comportement du dispositif au sein de ses différentes zones de fonctionnement, des problèmes sont susceptibles de se produire entre deux régions bien décrites ou au niveau des zones de transition. Afin de contourner ce problème, un modèle unifié a été synthétisé non seulement pour préserver les expressions, mais aussi pour assurer les continuités de l'expression du courant, de la conductance et de leurs dérivés dans toutes les régions de transition. Pour se faire on introduit une fonction effective nommée  $V_{gsteff} = (V_{gs} - V_{th})$  afin de décrire les caractéristiques des charges dans le canal depuis la région sous seuil à la zone de forte inversion et telle que :

$$V_{gsteff} = \frac{2nvt \ln \left( 1 + \exp \left( \frac{V_{gs} - V_{th}}{2nvt} \right) \right)}{1 + 2nC_{ox} \sqrt{\frac{2\Phi_s}{q\epsilon_{si}N_{ch}} \exp \left( -\frac{V_{gs} - V_{th} - 2V_{eff}}{2nvt} \right)}} \quad (\text{II-40})$$

La densité de charge unifiée dans le canal au niveau de la source et pour les régions sous seuil et d'inversion aura pour expression:

$$Q_{chs0} = C_{ox} V_{gsteff} \quad (II-41)$$

Cette expression permet d'unifier l'expression de la charge du canal au niveau de la source pour Vds faible. Pour expliquer l'influence de Vds, la fonction  $V_{gsteff}$  doit maintenir le changement du potentiel du canal de la source au drain. En d'autre terme cette expression de la charge devra inclure une dépendance de  $y$ . Pour Cela on doit, considérer d'abord la reformulation de la densité de charge de canal pour le cas de la forte inversion.

$$Q_{chs}(\gamma) = C_{ox} \left( V_{gs} - V_{th} - A_{bulk} V_{F(\gamma)} \right) \quad (II-42)$$

Le paramètre  $V_F(\gamma)$  représente le potentiel quasi-Fermi à n'importe quel point donné  $y$ , le long du canal en ce qui concerne la source. Cette équation peut également avoir pour expression :

$$Q_{chs(\gamma)} = Q_{chs0} + \Delta Q_{chs(\gamma)} \quad (II-43)$$

Le terme  $Q_{chs}(\gamma)$  représente accroissement de la densité de charge du canal induite par la tension de drain au point  $y$ . Elle peut être s'exprimer par :

$$\Delta Q_{chs(\gamma)} = -C_{OX} A_{bulk} V_{F(\gamma)} \quad (II-44)$$

Pour la région sous seuil ( $V_{gs} \ll V_{th}$ ), la densité de charge du canal le long du canal de la source au drain aura pour expression :

$$Q_{chsub(\gamma)} = Q_0 \exp\left(\frac{V_{gs} - V_{th} - A_{bulk} V_{F(\gamma)}}{nV_t}\right) = Q_{chsub0exp}\left(\frac{A_{bulk} V_{F(\gamma)}}{nV_t}\right) \quad (\text{II-45})$$

Une expression unifiée pour définir  $Q_{ch}(y)$  de la région sous seuil à la région de forte inversion permettra d'écrire:

$$Q_{ch}(y) = Q_{ch0}\left(1 - \frac{V_{F(y)}}{V_b}\right) \quad (\text{II-46})$$

Avec

$$V_b = (V_{gsteff} + n^* v_t) / A_{bulk} = \frac{V_{gsteff} + 2v_t}{A_{bulk}} \quad (\text{II-47})$$

et

$$Q_{ch0} = C_{ox} V_{gsteff} \quad (\text{II-48})$$

### 3.2. Expression unifiée de la mobilité des porteurs de charge dans le canal

Un model unifié de la mobilité base sur la tension  $V_{gsteff}$  est tel que :

$$\mu_{eff} = \frac{\mu_0}{1 + (U_a + U_c V_{bseff}) \left(\frac{V_{gsteff} + 2V_{th}}{T_{OX}}\right) + U_b \left(\frac{V_{gsteff} + 2V_{th}}{T_{OX}}\right)^2} \quad (\text{II-49})$$

Pour expliquer le fonctionnement des dispositifs en mode de déplétion une autre option de modèle de mobilité est donnée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \left(U_a + U_c V_{bseff}\right) \left(\frac{V_{gsteff}}{T_{OX}}\right) + U_b \left(\frac{V_{gsteff}}{T_{OX}}\right)^2} \quad (\text{II-50})$$

Pour considérer la dépendance de la polarisation du substrat la mobilité sera exprimée par :

$$\mu_{eff} = \frac{\mu_0}{1 + \left[U_a \left(\frac{V_{gsteff} + 2V_{th}}{T_{OX}}\right) + U_b \left(\frac{V_{gsteff} + 2V_{th}}{T_{OX}}\right)^2\right] (1 + U_c V_{bseff})} \quad (\text{II-51})$$

### 3.3. Expression unifiée du courant de drain

L'expression unifié du courant du drain depuis le sous seuil jusqu'au régime de forte inversion est telle que ;

$$I_{ds} = \frac{I_{dso}(V_{dseff})}{1 + \frac{R_{ds} I_{dso}(V_{dseff})}{V_{dseff}}} \left(1 + \frac{V_{ds} - V_{dseff}}{V_A}\right) \left(1 + \frac{V_{ds} - V_{dseff}}{V_{ASCBE}}\right) \quad (II-52)$$

Alors que le courant du substrat pourrait être modélisé par :

$$I_{sub} = \frac{\alpha_0 + \alpha_1 \cdot L_{eff}}{L_{eff}} (V_{ds} - V_{dseff}) \exp\left(-\frac{\beta_0}{V_{ds} - V_{dseff}}\right) \frac{I_{dso}}{1 + \frac{R_{ds} I_{dso}}{V_{dseff}}} \left(1 + \frac{V_{ds} - V_{dseff}}{V_A}\right) \quad (II-53)$$

Où les paramètres  $\alpha_0$  et  $\alpha_1$  sont des coefficients d'ionisation d'impact.

### 3.4. Distribution des courants dans le transistor

Les différents courants circulant dans le transistor sont schématisés comme suit :

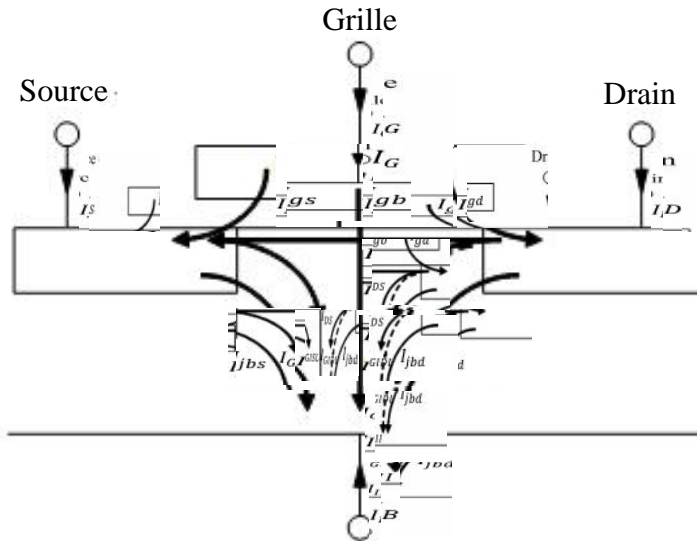


Figure II.6 : Distribution des courants. [41]

Les sommes du courant sont données par [41]:

$$\begin{cases} I_D = I_{DS} + I_{GIDL} - I_{gd} + I_{II} + I_{jba} \\ I_G = I_{gb} + I_{gs} + I_{gd} \\ I_B = -I_{II} - I_{jba} - I_{gb} - I_{jbs} - I_{GIDL} - I_{GIDL} \\ I_S = -I_D - I_G - I_B \end{cases} \quad (II-54)$$

Les courant  $I_{off}$  et  $I_{on}$  comme vu au chapitre précédent sont donné par :

$$I_{OFF} = I_D \Big|_{V_{GS}=0.0V, V_{DS}=V_{DD}, V_{BS}=0.0V} \quad (II-55)$$

$$I_{ON} = I_D \Big|_{V_{GS}=V_{DD}, V_{DS}=V_{DD}, V_{BS}=0.0V} \quad (II-56)$$

Le courant  $I_{OFF}$  est moyennement du au courant sous seuil  $I_{SUB}$  et au courant de jonction  $I_{JUNC}$ . Donc à  $V_{GS} = 0V, V_{DS} = V_{DD}, V_{BS} = 0.0V$  ; les courants  $I_{gb}, I_{gs}, I_{gbs}$  et  $I_{II}$  sont tous nulles . Dans ce cas :

$$\begin{cases} I_D = I_{DS} + I_{GIDL} - I_{gd} + I_{II} + I_{jbd} \\ I_D = I_{gd} \\ I_B = -I_{jbd} - I_{GIDL} \end{cases}$$

Le courant sous seuil  $I_{SUB}$  et le courant de jonction  $I_{JUNC}$  peuvent êtres calculée à partir de :

$$\begin{aligned} I_{SUB} &= I_{OFF} + I_G \Big|_{V_{GS}=0.0V, V_{DS}=V_{DD}, V_{BS}=0.0V} + I_B \Big|_{V_{GS}=0.0V, V_{DS}=V_{DD}, V_{BS}=0.0V} \quad II.62 \\ I_{SUB} &= -I_B \Big|_{V_{GS}=0.0V, V_{DS}=V_{DD}, V_{BS}=0.0V} \end{aligned}$$

Notons qu'on a supposé que le courant  $I_{GIDL}$  faible à  $V_{GS} = 0.0V$  . Avec la méthode on défini le courant de grille par :

$$I_{Grille} = I_{gs} + I_{gb} + I_{gd} = -I_D \Big|_{V_{GS}=V_{DD}, V_{DS}=0V, V_{BS}=0.0V}$$

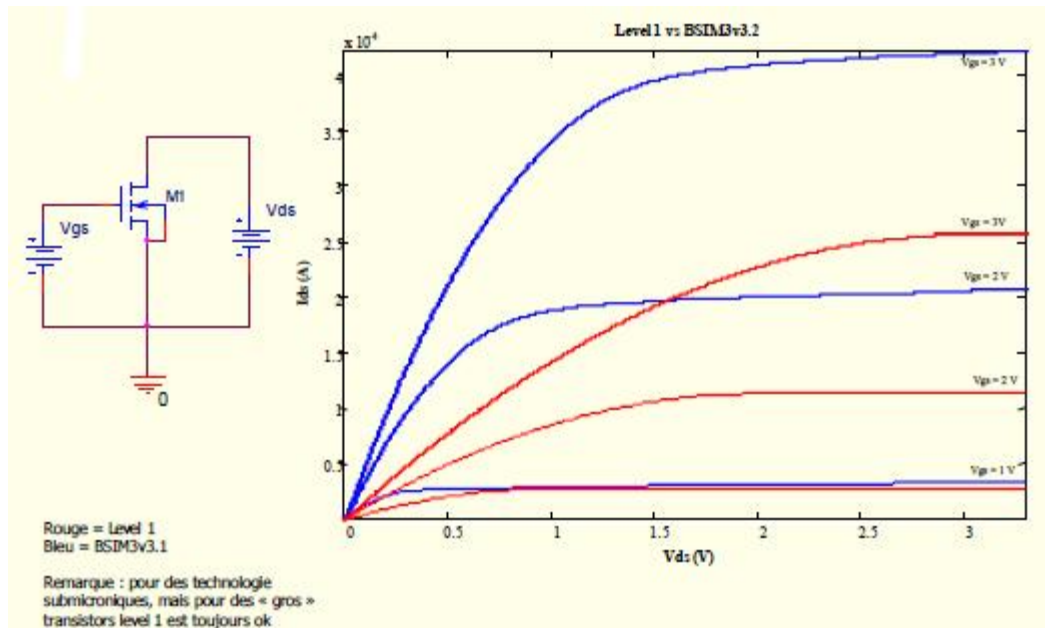
Finalement le courant  $I_{GIDL}$  est donné par :

$$I_{GIDL} = -I_D \Big|_{V_{GS}=V_{DD}, V_{DS}=0V, V_{BS}=0.0V}$$

Où le courant de jonction  $I_{jbd}$  et le courant de grille  $I_{gd}$  sont supposés négligables devant le courant  $I_{GIDL}$

Pour conclure ce chapitre, il faut noter qu'il devient indispensable d'utiliser le model de transistor adéquat pour une application visée. En effet le model deniveau1 de Schichman – Hodges très valable pour les transistors de taille au dessus de 5microns, ne peut plus convenir pour des transistors de petites dimensions en dessous de 1micron. Ou des modèles plus appropriées se doivent d'être envisagés. Le schéma de la figure montre l'aberration obtenus par le mauvais choix du model qui convient.





**Figure II.7 : Importance du model utilisé.**

On peut tout de suite remarquer que les résultats ne convergent pas et que pour un transistor de petite géométrie le model de n'est plus à envisager.

Cependant il est aussi à noter que la miniaturisation des composant qui permet d'avoir des équipement beaucoup moins lourds, et qui consomment beaucoup moins soit avec une meilleure autonomie ,avec faible consommation, et des vitesse d'exécution plus importante s'accompagne nécessairement d'effets indésirables appelées effets canaux courts et qui peuvent altérer le bon fonctionnement de ces dispositifs.

La réduction de la taille des depuis les années 1960 a permis tout d'abord l'augmentation de la fonctionnalité et des performances des circuits. Cette réduction pose malheureusement des difficultés technologiques importantes telle que la dégradation de la pente sous le seuil, effets canaux courts, fuites de grilles, poly déplétion, confinements quantiques des porteurs de charge, dégradation de la mobilité et augmentation des résistances parasites Au niveau du circuit les problèmes les plus prépondérants concerne la variabilité, l'augmentation des résistances d'interconnexion Plusieurs technologies émergentes sont à l'étude afin de minimiser ces difficultés. Au niveau des transistors il s'agit de l'utilisation de grilles métalliques, de jonction ultra fines, de techniques d'augmentation de la mobilité ou bien de nouvelles architectures de dispositifs.

### **III.1 Introduction**

L'objet de ce chapitre est d'introduire les problèmes liés à la réduction des échelles qui consiste à suivre la loi de réduction des échelles spécifiée par Gordon Moore en 1968 [1]. Les défis technologiques ayant permis de réduire les échelles, et donc de confirmer la loi, ont toujours été surmontés depuis cette date. Néanmoins il est à noter que le nombre de difficultés à maîtriser ne cesse de croître à chaque nouvelle génération technologique. De ce fait plusieurs solutions technologiques ont permis grâce à des recherches intenses de surmonter ces difficultés.

#### **III 1.1 Evolution des technologies et critères de réduction des échelles**

La microélectronique a été l'objet d'un immense développement au cours de la deuxième moitié du dernier siècle. En effet, l'industrie de la microélectronique a vu les critères de performance des biens qu'elle produit augmenter de manière exponentielle pendant plus de cinquante ans. Ainsi l'évolution de son critère de performance en a été mise en échelle logarithmique. Gordon Moore, co-fondateur d'Intel, a pu ainsi prévenir la venue de ce processus en dictant une « loi » de réduction des échelles. En effet cette loi stipulait que le nombre de transistors par puce doit doubler tous les ans ce ci est bien mis en évidence sur le schéma de la figure III.1.

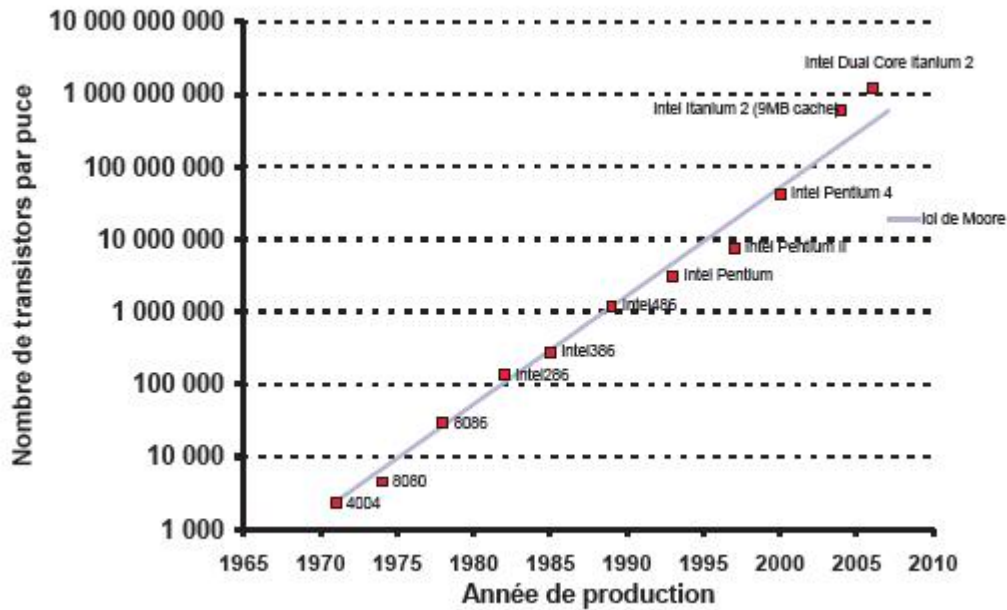


Figure III-1 : Evolution du nombre de transistors par puce en fonction de l'année de Lancement de la production.

En effet, les puces électroniques sont composées de transistors dont le critère premier de performance est la capacité à charger d'autres transistors. Cette faculté est traduite par le rapport :

$$\frac{C_{OX} V_{dd}}{I_{ON}}$$

Ou  $I_{ON}$  représente le courant du transistor à l'état passant,  $V_{dd}$  représente alors la tension de polarisation et  $C_{OX}$  est la capacité d'entrée du transistor.

D'une génération à l'autre, les dimensions des dispositifs sont souvent réduites d'un facteur  $k=0,7$  de manière à réduire la surface totale du circuit d'un facteur  $k^2=0,5$ .

La réduction des échelles d'un facteur  $k$  d'une génération à l'autre implique tout d'abord la réduction de la taille des circuits soit alors l'augmentation de la fonctionnalité par augmentation du nombre de transistors pour une même taille de puce d'un facteur  $1/k^2$

et augmentation des performances d'un facteur  $1/k$ . ce qui revient à constater que tout en diminuant les coûts il est possible d'augmenter les performances. Ces deux phénomènes sont illustrés en figures Figure III-2 et Figure III-3.

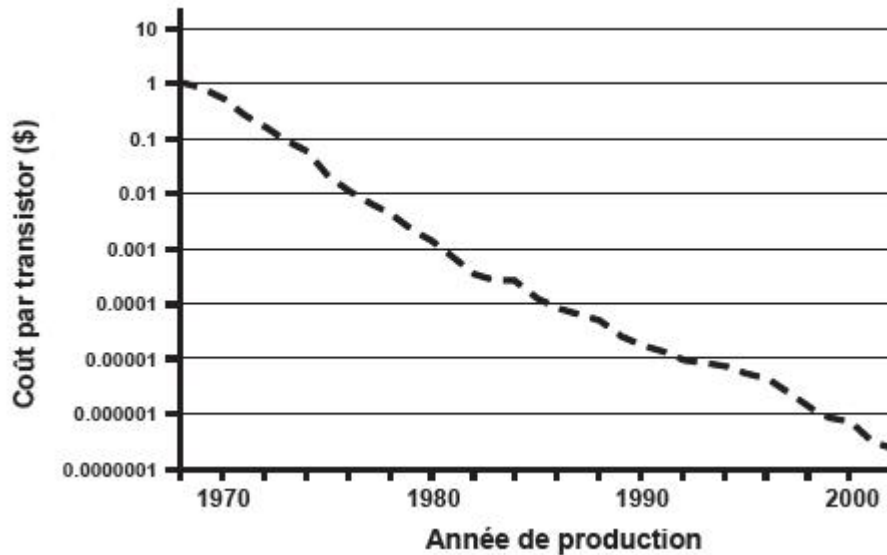


Figure III-2 : Evolution du coût par transistor en fonction du temps

## III.2.Effets indésirables des MOSFET submicroniques

### III.2.1. Le transistor MOS idéal

Le transistor MOS idéal est un interrupteur commandé en tension. Il a deux états : un état passant où il est capable de débiter un courant et un état bloqué où il ne circule aucun courant. Le principe de fonctionnement repose sur le principe de la capacité MOS (Métal Oxyde Semi-conducteur). Lorsque la tension de grille est inférieure à la tension de seuil, on est en le régime de déplétion de la capacité MOS. Le transistor est équivalent à deux diodes têtes bèches et aucun courant ne circule. Le transistor peut être assimilé en première approximation à un interrupteur ouvert. Dès que la tension de grille dépasse la tension de seuil, une couche conductrice de faible résistivité se forme dans le canal, c'est le régime d'inversion forte. Un courant peut alors circuler entre la source (S) et le drain (D) sous l'application d'une tension drain source non nulle. Le transistor peut dans ce cas être assimilé en première approximation à un interrupteur fermé.

## III.2.2 Effets parasites

### III.2.2.1.Dégradation de la pente sous le seuil

A l'état bloqué, un courant de fuite très faible circule entre la source et le drain. Ce courant contribue à l'augmentation de la puissance statique dissipée par les circuits. C'est donc un critère primordial pour les applications à faible consommation. Ce courant trouve son origine dans l'énergie d'activation thermique non nulle des porteurs dont un certain nombre arrive à franchir la barrière de potentiel dans le canal en régime d'inversion faible. Ce courant varie exponentiellement avec la tension de grille. Un paramètre important à suivre est la pente sous le seuil qui traduit le facteur de proportionnalité entre la tension de grille et le courant de fuite en échelle logarithmique :

$$S = \frac{V_{th}}{\log(I_{OFF}) - \log(I_{th})}$$

Le paramètre S est appelé pente sous le seuil.

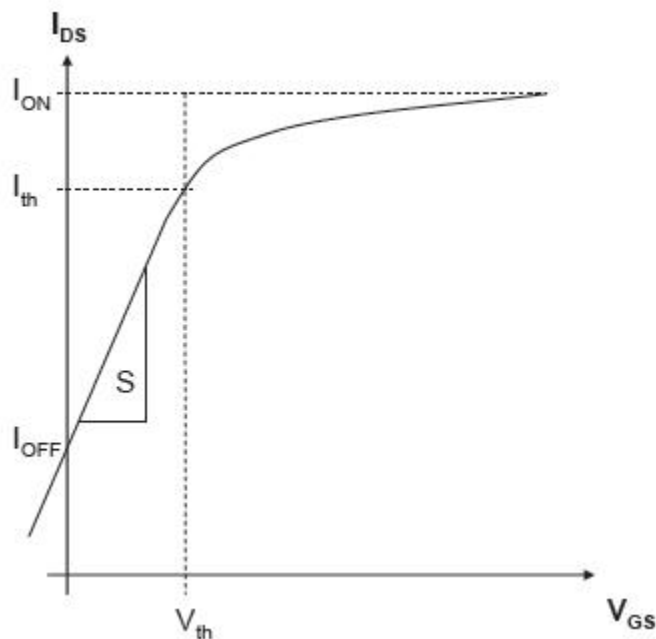


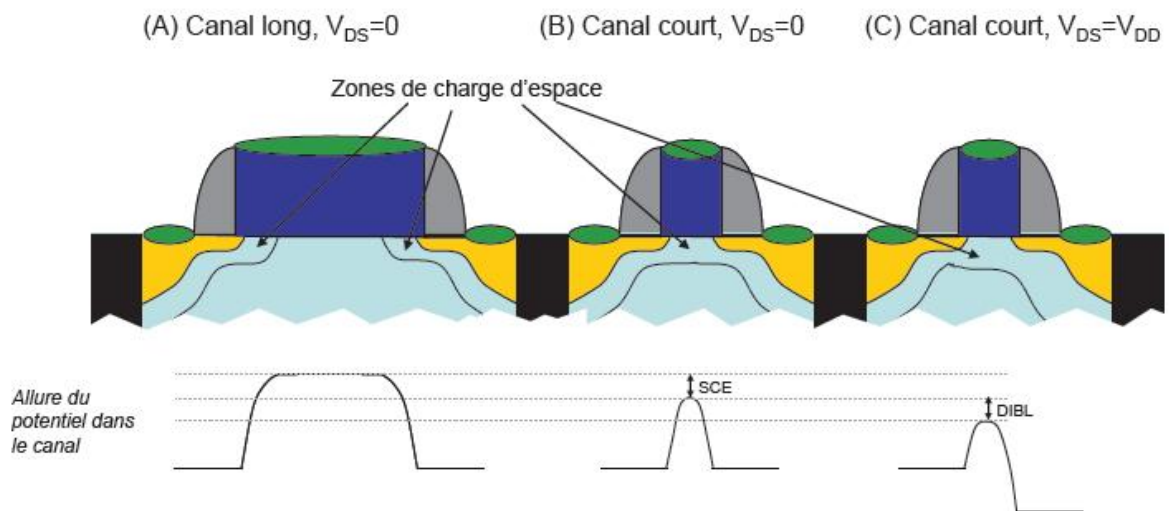
Figure III. 3: Mise en évidence de la pente sous seuil

L'augmentation du dopage du canal contribue à fortement éloigner la pente sous le seuil.

### III.2.2.2.Effets Canaux Courts

L'effet canal court traduit la diminution de la tension de seuil par la diminution de la longueur de la grille du dispositif. Il est lié au fait que le potentiel électrostatique entre la source et le canal et entre le canal et le drain n'est pas abrupt mais graduel à cause des zones de charge

d'espace le long des jonctions Lorsque la distance entre la source et le drain atteint l'ordre de grandeur des zones de charge d'espace, la barrière de potentiel dans le canal chute et engendre une baisse de la tension de seuil appelé SCE « Short Channel Effect ») La polarisation du drain influençant la profondeur de la zone de charge d'espace côté drain, l'effet canal court est accentué par la polarisation du drain .Cet effet spécifique est appelé DIBL « Drain Induced Barrier Lowering ». La dénomination « effets canaux courts » correspond aux deux effets combinés SCE et DIBL.



**Figure III.4 : Principe de l'abaissement de la barrière de potentiel du à la réduction de la longueur de la grille du transistor.**

Les effets canaux courts entraînent l'augmentation du courant de fuite liée à la diminution de tension de seuil, une baisse de fonctionnalité du transistor (ainsi qu'une disparité de tensions de seuil entre les transistors présentant différentes longueurs de grille, rendant plus complexe la conception des circuits.

#### ✚ Abaissement de la barrière de potentiel par le drain (DIBL Drain Induced Barrier Lowering)

Nous rappelons que le phénomène de DIBL (« surface DIBL ») est pris en compte lorsque le transistor travail en régime sous seuil (ou faible inversion) et concerne le potentiel de surface.

En faible inversion, le potentiel de surface dans le canal pour des dispositifs à canal long est à peu près constant et le courant est dû à la diffusion des porteurs minoritaires (Cette diffusion est due au gradient de concentration longitudinal aux jonctions). Le courant de drain dépend exponentiellement de la tension de grille. Il existe également en régime de faible inversion, une barrière de potentiel à la jonction entre la source et le canal qui résulte de l'équilibre entre le courant de diffusion et de dérive (cas similaire à une jonction PN à l'équilibre).

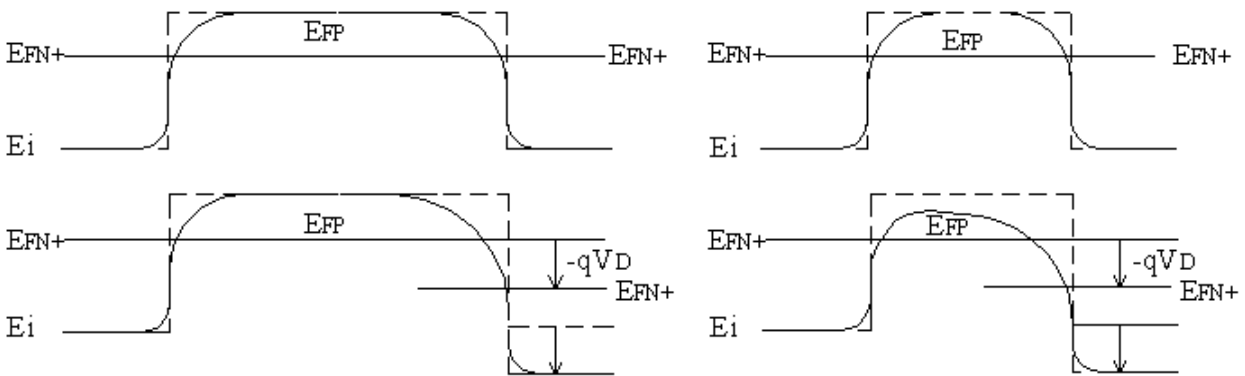


Figure III.5. Profile du potentiel de surface pour des transistors n-MOS à canal (a) long et (b) court.

Si la tension du drain augmente, la couche de déplétion s'étend de plus en plus dans le canal vers la source et il se produit un abaissement de la barrière source-canal. L'abaissement de la barrière à la source permet l'injection d'électrons au travers du canal (en surface) et ceci indépendamment de la tension de grille. Comme conséquence, en régime sous seuil, la grille perd le contrôle du courant de drain. Cet effet est d'autant plus marqué que la tension de drain augmente et que la longueur de canal diminue.

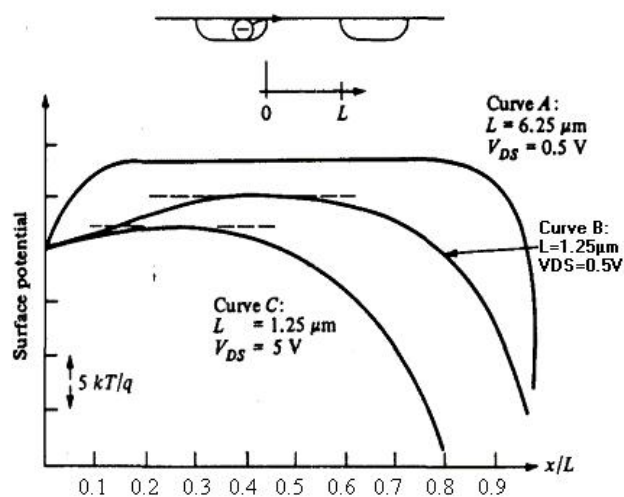
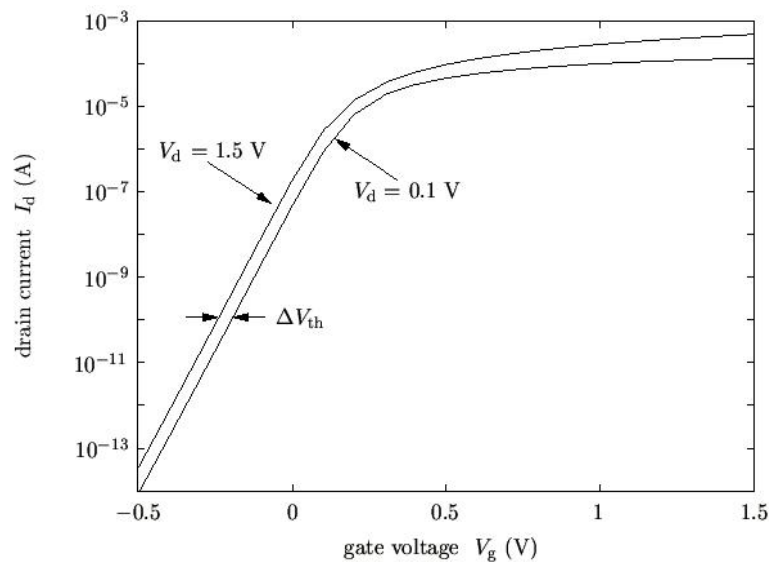


Figure III.6. Evolution du potentiel de surface pour des dispositifs de différentes longueurs de canal.

Le phénomène DIBL se produit donc quand les régions de déplétion de source et de drain agissent l'un sur l'autre près de la surface du canal. Une tension de drain élevée dans un dispositif à canal court amène la région de déplétion du drain à interagir avec la source près de la surface, abaissant la barrière de potentiel. Par conséquent celle-ci diminue la tension de seuil. la source injecte alors des porteurs de charge dans la surface du canal. La tension de grille n'a aucun effet sur ce phénomène. si la longueur de canal continue à diminuer et la tension de drain à augmenter, l'effet de DIBL devient de plus en plus significatif .le DIBL est proportionnel au rapport  $V_{DS}/L_{eff}$  du transistor. Le DIBL peut être mesuré en considérant la variation du courant  $I_{DS}$  pour une variation de la tension  $V_{DS}$ , à tension  $V_{GS}$  constante.



**Figure III7.Exemple de Courbes de transfert d'un NMOSFET pour des tensions de drain de 0.1V (Régime linéaire) et 1.5V (régime de saturation).**

Le DIBL déplace la courbe vers le haut et la gauche lorsque la tension  $V_{DS}$  augmente.

L'effet DIBL est donc habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil  $V_{th}$  divisé par le  $V_D$  entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \quad (mV/V)$$

Il faut remarquer que le phénomène de DIBL se produit avant que les conditions de « punch-through » soient atteintes, c'est-à-dire avant que la zone de déplétion du côté du drain



(plus en profondeur dans le substrat) ne rencontre celle du côté de la source sous l'effet d'une augmentation de la tension de drain.

En vue d'atténuer les effets de canal court, il est courant d'augmenter le dopage du canal. Ceci permet de réduire l'extension de la zone de charge d'espace et donc réduit l'interaction entre le drain et la source.

### ✚ Courants de fuite des MOSFET à canaux courts

Plusieurs paramètres influencent les courants de fuite d'un transistor de MOS, on citera entre autre : la tension de seuil, le profil de dopage du canal, l'épaisseur de l'oxyde de grille, les dimensions physiques du canal, la profondeur de jonction des drain/source, et les tensions de polarisation. Toutes ces grandeurs ont des effets sur les courants de fuite en générale et sur le courant  $I_{OFF}$  en particulier.

D'une manière générale on s'intéresse tout particulièrement à un courant de fuite noté  $I_{off}$ . Ce courant se manifeste quand le transistor est à l'état bloqué. Un transistor est affecté par huit courants de fuite différents. Ces derniers sont illustrés sur la figure III.8.

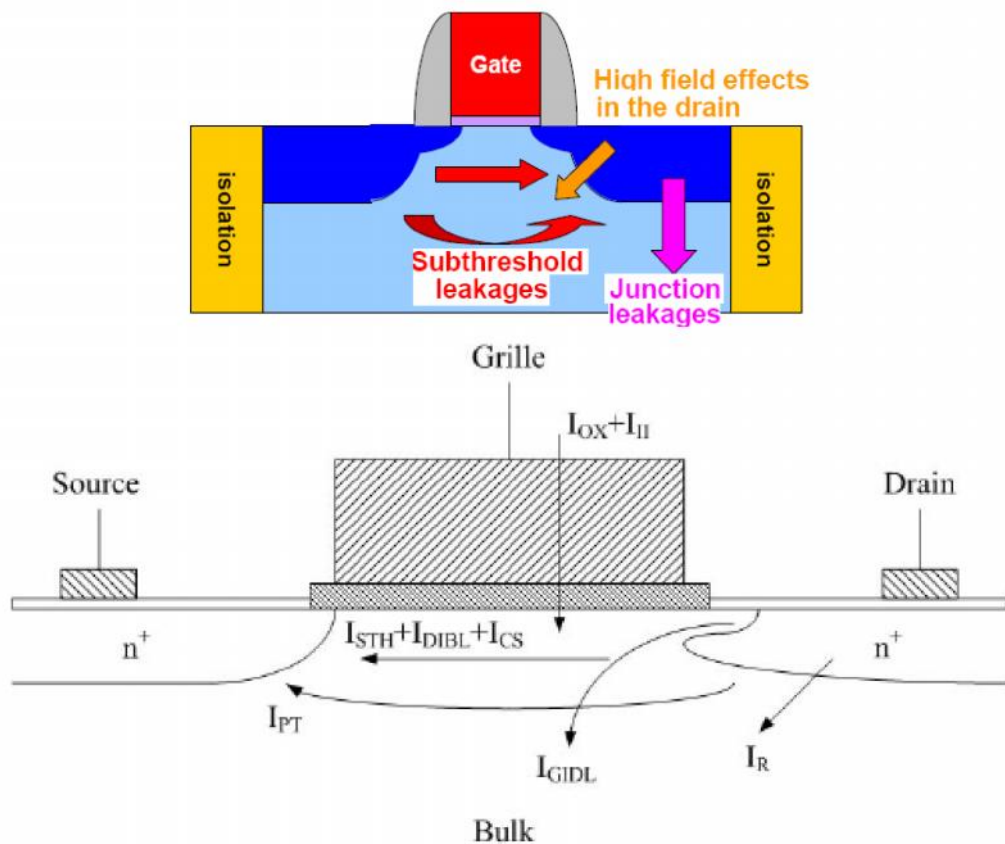


Figure III.8 : Illustration des différents courants de fuite présents dans un transistor à canal court.

- le courant de conduction sous le seuil  $I_{STH}$ ,
- le courant dû à l'abaissement de la barrière de potentiel par le drain  $I_{DIBL}$ ,
- le courant de fuite du drain induit par la grille  $I_{GIDL}$ ,
- le courant de fuite de la jonction p-n du drain polarisée en inverse  $I_R$ ,
- le courant tunnel à travers l'oxyde de grille  $I_{OX}$ ,
- le courant de grille dû à l'injection de porteurs chauds  $I_{II}$ ,
- le courant de perforation  $I_{PT}$ ,
- le courant de surface du canal dû à un effet de canal étroit.

Il faut noter que le courant tunnel à travers l'oxyde de grille  $I_{OX}$  ne se manifeste que lorsqu'un potentiel non nul est appliqué sur la grille, c'est-à-dire lorsque le transistor est passant. Quant au courant de grille dû à l'injection de porteurs chauds  $I_{II}$ , il traduit un vieillissement du transistor, à la suite de l'introduction d'électrons et de trous dans l'oxyde.

Les courants de fuite dominants qui composent le courant  $I_{OFF}$  sont :

- le courant sous-seuil  $I_{STH}$ ,
- le courant de polarisation inverse de la jonction p-n au niveau du drain  $I_R$ ,
- le courant  $I_{DIBL}$ ,
- et le courant  $I_{GIDL}$ .

Soit alors :

$$\begin{cases} I_D = I_C + I_{GIDL} - I_{gd} + I_{II} + I_{jbd} \\ I_G = I_{gb} + I_{gs} + I_{gd} \\ I_B = I_{ii} - I_{jbd} - I_{gb} - I_{jbs} - I_{GIDL} - I_{GISL} \\ I_S = -I_D - I_G - I_B \end{cases}$$

**✚ Paramètres à Prendre en considération dans le calcul des courants de fuite**

Les différents courants de fuite cités ci-dessus dépendent d'un ou plusieurs paramètres de transistor. Au tableau 1 seront résumés les différents paramètres desquels ces courants de fuite dépendent.

Le changement de chacun de ces paramètres changera la valeur d'un ou plusieurs de ces courants de fuite.

Courant de fuite	Paramètres
Courant sous seuil	$V_{th}, L, W, V_{GS}, T_{ox}$
GIDL	Concentration des régions n et p, surface des jonctions, $V_{DD}$
Courant de perforation	$L, V_{DS}$
Le courant tunnel à travers l'oxyde de grille	$T_{ox}$
Injection de porteurs chauds	$V_{GS}, T_{ox}$

Tableau II.1 : Paramètres influençant les courants de fuite.

## Conclusion

Nous avons essayé dans cette partie de présenter brièvement les effets indésirables pouvant altérer le fonctionnement des dispositifs MOSFET quand la longueur du canal diminue. Nous avons par la suite donné un aperçu sur les courants de fuite altérant le fonctionnement des transistors à canaux courts, et conduisant ainsi à une dissipation de puissance des transistors. Avec les technologies fortement sub-microniques, la puissance statique due à ces courants de fuite devient une source de plus en plus importante de consommations. Il est aussi à noter que de nouvelles structures permettent de réduire les effets canaux courts on citera entre autre les SOI MOSFETs et les structures à grilles multiples.

Après avoir présenté brièvement et succinctement les effets indésirables des MOSFET à canaux courts nous allons au sein du chapitre suivant présenter les résultats de simulation que nous avons obtenus permettant d'examiner un transistor MOSFET à canal court du type BSIM3V3 et d'examiner certains effets indésirables des MOSFET de petites dimensions.

### Présentation des résultats et interprétation

Notre travail consiste à mettre en évidence les effets indésirables des transistors à canaux courts. Ces effets dits effets canaux courts et qui se manifestent dans les transistors à petites géométries altèrent le fonctionnement de ces transistors conçus pour leurs performances et pour des soucis de miniaturisation. Ces transistors de petites dimensions, polarisés avec de très faibles tensions de polarisation, permettent un fonctionnement à grande vitesse tout en offrant une autonomie non négligeable, et c'est bien le cas des équipements portables conçus actuellement. Un autre effet non négligeable de ces structures submicronique est l'apparition de courants de fuite qui se manifestent généralement sous le seuil de fonctionnement du transistor. Plusieurs modèles de transistors se prêtaient à cette étude. On citera entre autre les modèles de transistors MOSFET suivants : le MM9, MM11 de Philips, le modèle EKV de Lausanne, et toute la famille BSIM tel que le modèle BSIM3, BSIM4 de l'université de Californie de Berkeley.

Nous avons choisi en ce qui nous concerne pour cette étude le model BSIM3, modèle très populaire de la famille des BSIM et très présent actuellement dans l'industrie. Rappelons tout d'abord que le modèle BSIM, « Berkeley Short-channel IGFET model for MOS transistors », reprend le principe des premiers modèles compacts, destinés à limiter le nombre de paramètres employés pour décrire les équations analytiques de chacun des régimes, accumulation, déplétion et inversion, ce dernier étant séparé en deux modes par la tension de seuil  $V_{th}$ . Ce type de modèle est appelé pour cette raison : modèle à tension de seuil. Les équations, plus ou moins simplifiées selon les modules activés lors du choix des hypothèses de calcul, ont une base physique adaptable par des paramètres empiriques. Elles prennent en compte le dimensionnement géométrique à partir d'un modèle défini pour les grandes géométries par rapport à la source. Les transitions entre les régimes et les modes sont lissées analytiquement autour de l'inversion faible à partir de mesures empiriques ; cette méthode est discutée actuellement car les designers de circuits analogiques notamment utilisent de plus en plus cette région en raison de la baisse des tensions d'alimentation. Si les premiers modèles BSIM ne nécessitaient qu'un nombre réduit de paramètres, la dernière version, BSIM v3.3 peut en utiliser jusqu'à 400. Un grand nombre d'entre eux est réglé par défaut sur des valeurs nominales, ce qui permet à la fois aux fondeurs de silicium d'adapter précisément le modèle aux dispositifs qu'ils produisent et en même temps un emploi simplifié pour étudier l'influence de quelques paramètres seulement sur les dispositifs et les circuits.

Rappelons aussi en ce qui nous concerne que le BSIM3 auquel nous nous intéressons est proposé actuellement pour répondre aux besoins des concepteurs de circuits, et qui a été introduit en 2000. Le BSIM3v3 est l'un des derniers modèle industriellement compatible des transistors MOSFET du groupe de BSIM à l'université de Californie de Berkeley pour les conceptions de circuits analogiques et numériques dans le submicronique profond. Ce model est basé sur son prédécesseur, BSIM3V3.2. Le BSIM3 est très recommandé pour les simulations en Ultra Deep Submicron. Il contient plusieurs paramètres. Ce model décrit 3 zones de fonctionnement avec une bonne continuité entre chacune. Il est devenu un standard pour les fondeurs qui ne proposent même plus de paramètres pour les modèles plus simples. Il permet d'aboutir à des simulations précises pour des technologies submicroniques et submicroniques profondes. Le model BSIM (Berkeley Short-Channel IGFET Model) existe déjà dans différentes tel que le BSIM1, BSIM2, BSIM3 avec différentes versions améliorés pour chacun de ses modèles. Le BSIM3 a l'avantage d'être considérée comme une norme d'industrie pour les simulations submicroniques profondes des dispositifs.

Nous tenons aussi à préciser que notre travail a été effectué via le logiciel de simulation SPICE que nous présentons brièvement.

**Spice** est un logiciel de simulation de circuits électroniques mixte (analogique, numérique ou mixte). **Spice** (Simulation Program with Integrated Circuit Emphasis), est un logiciel créé à l'université de Californie (Berkeley) au début des années 1970. Ce logiciel permet d'évaluer de manière très précise les performances d'un circuit électronique.

- Ce logiciel est basé sur le standard industriel Spice et donne donc accès à d'immenses bibliothèques de modèles développées par les fabricants et utilisés dans l'industrie.
- C'est aussi un logiciel très répandu dans l'industrie.
- La prise en main du logiciel est facile et parfaitement accessible.

Il permet donc de s'affranchir des pénibles essais effectués aux laboratoires.

Après avoir présenté brièvement le logiciel de simulation électrique que nous avons utilisé, on propose dans ce qui suit de présenter les résultats de simulation que nous avons obtenu pour notre model soit le BSIM3 par le biais du logiciel SPICE.

Les caractéristiques de transfert et de sortie que nous avons obtenue en utilisant le logiciel de simulation électrique SPICE d'un transistor NMOSFET de type BSIM3V3 avec  $W=10\mu\text{m}$  et  $L=0.35\mu\text{m}$  pour une technologie CMOS 0.35microns font l'objet de La figure. IV-1

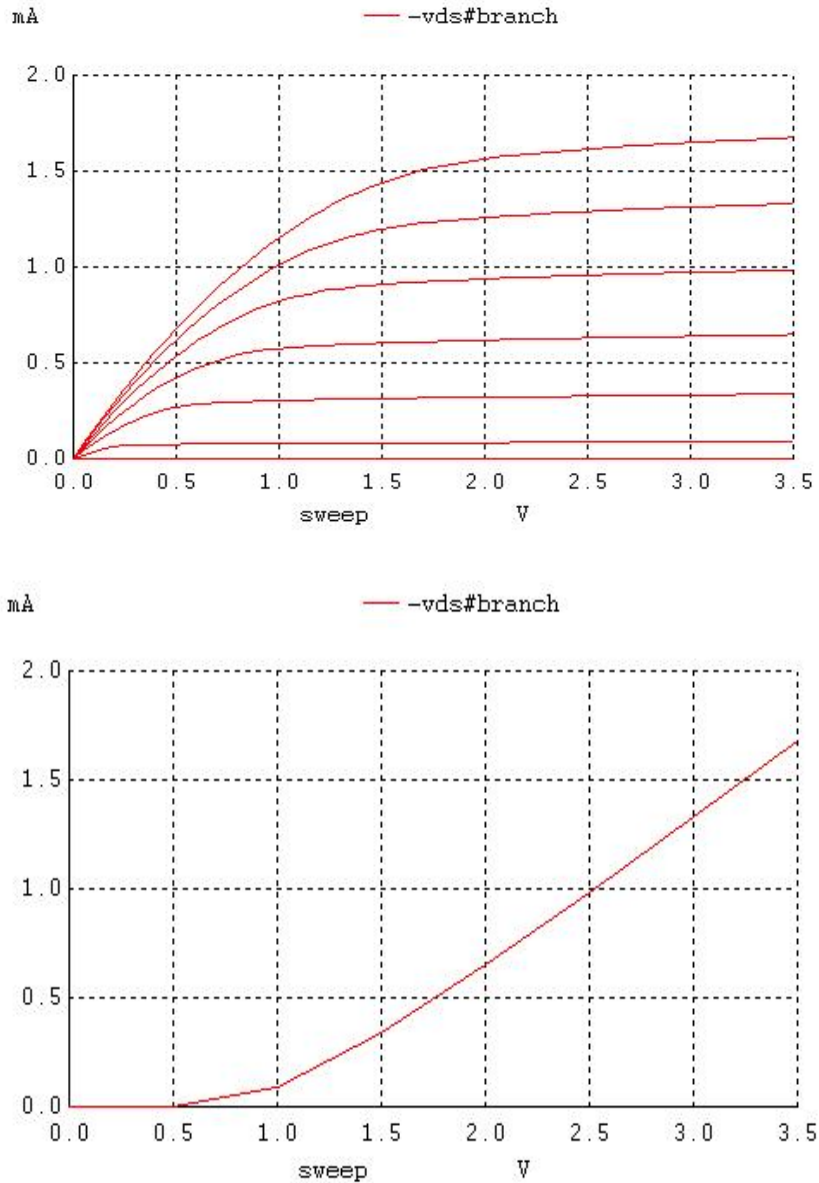


Figure IV.1. Caractéristiques de transfert et de sortie du BSIM3.

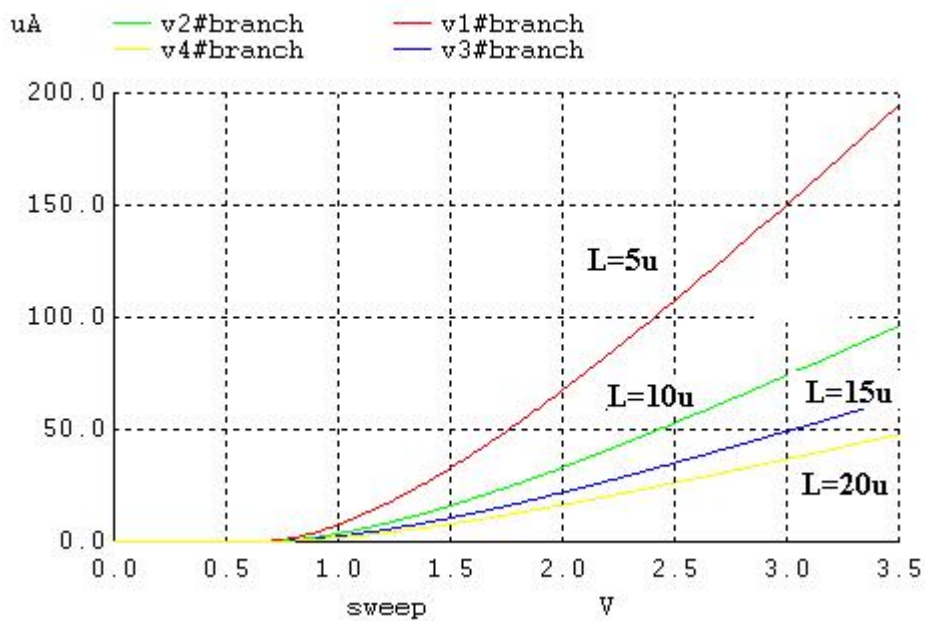
De ce graphe on peut déterminer la tension de seuil  $V_{TH}$  du BSIM3 de sa caractéristique  $I_{DS}-V_{GS}$ ,  $V_{th}$  étant la tension  $V_{GS}$  à partir de laquelle ce transistor à enrichissement est conducteur soit alors  $V_{th}=0.63v$  cette valeur est correcte, on peut tout de suite le vérifier avec les paramètres du modèle données par une extraction des paramètres SPICE du BSIM3 dans la technologie envisagée.

#### IV.1. Effet de la variation des dimensions du transistor sur son courant de sortie

Afin d'examiner les effets de la variation des dimensions du transistor sur ses caractéristiques électriques et de mesurer l'impact de la diminution de ces dimensions permettant d'examiner les effets canaux courts on varie la longueur, puis la largeur puis les deux grandeurs et on examine l'effet de cette variation sur le courant  $I_{DS}$ .

### IV.1.1. Effets de la variation de la longueur du canal sur son courant de drain

Cette première étude nous a permis d'examiner l'effet de la variation de la longueur du canal sur son courant  $I_{DS}$ . Pour cela nous avons maintenu la largeur du canal constante soit  $W=10\mu$  et nous avons pu varier sa longueur. Les résultats de simulation que nous avons obtenus sont ceux des figures IV.2





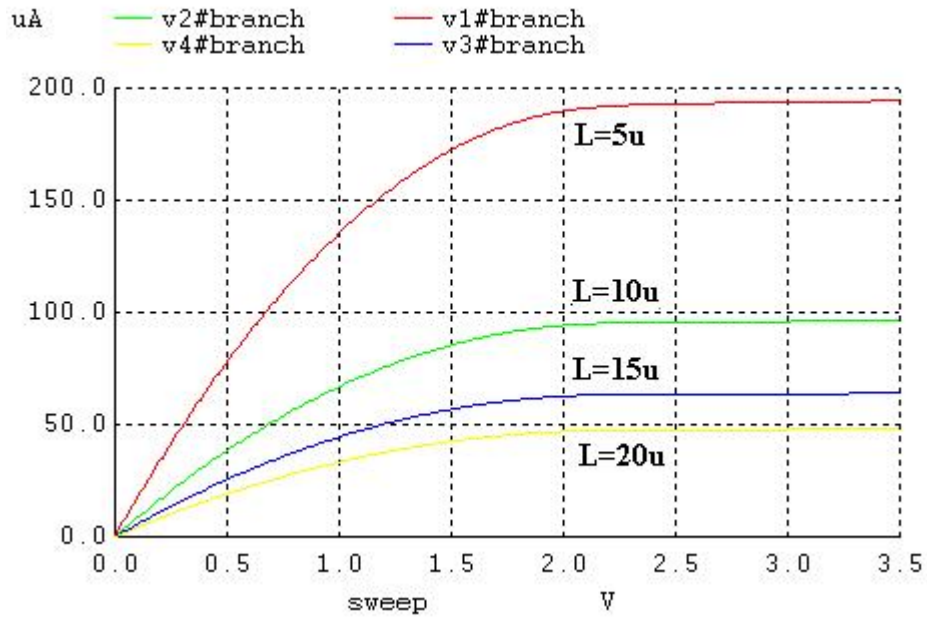


Figure IV.2. Effets de la variation de la longueur du canal sur  $I_{DS}$ .

On peut tout de suite remarquer que la variation de la longueur du canal influence directement son courant de drain qui diminue quand la longueur du canal augmente. Par contre cette variation n'a aucun impact sur la tension de seuil qui demeure inchangée.

#### IV.1.2. Effets de la variation de la largeur du canal sur son courant de drain

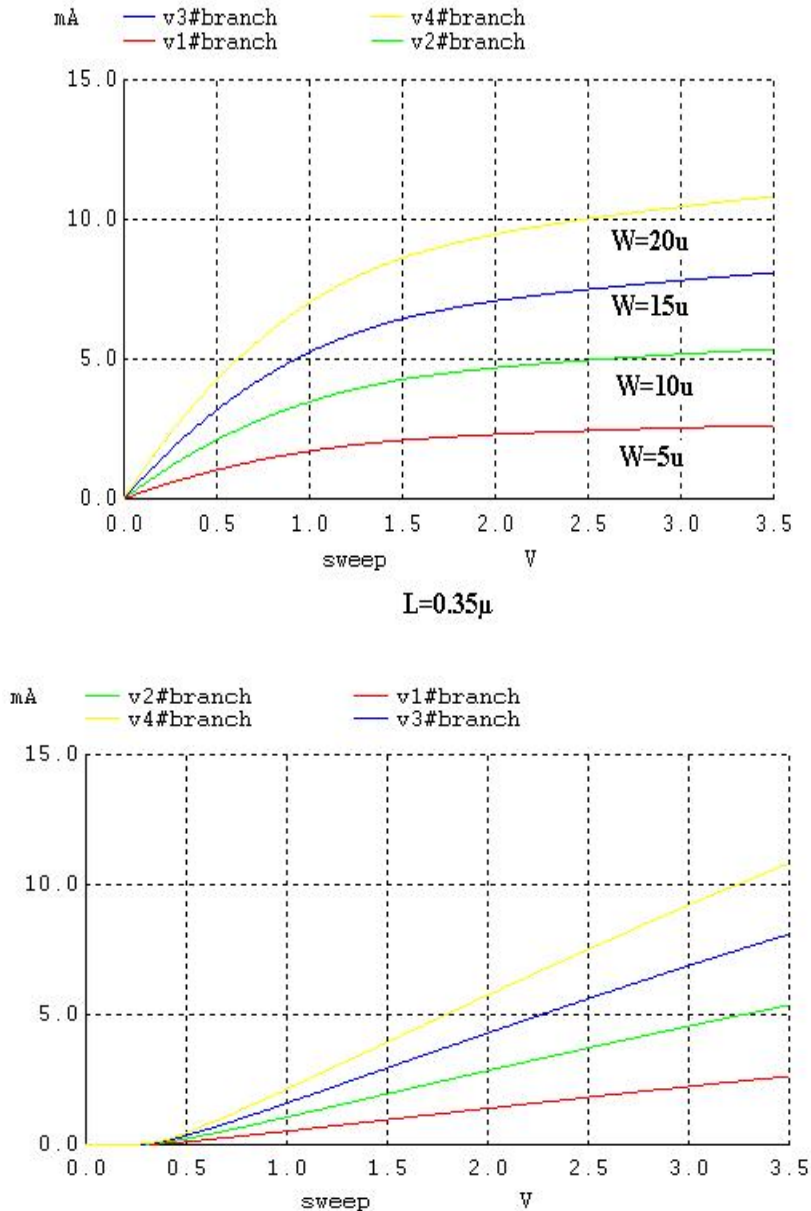
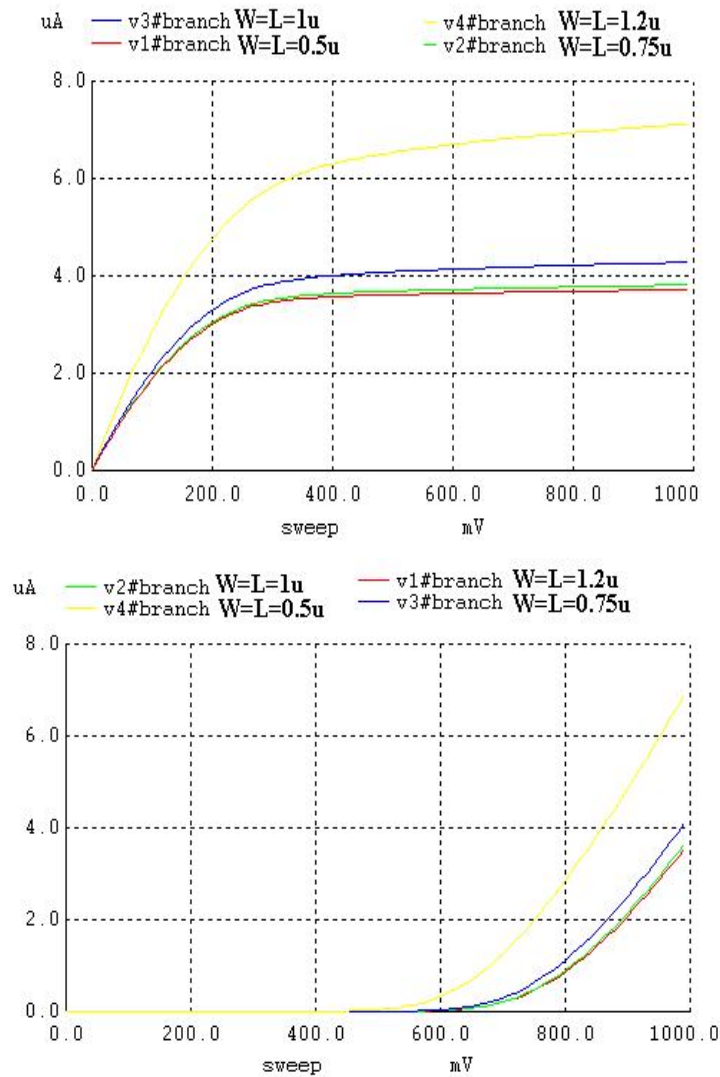


Figure IV.3. Effets de la variation de la largeur du canal sur  $I_{DS}$

Nos résultats de simulation permettent d'évaluer l'effet de la variation de la largeur du canal sur le courant du drain du transistor.  $I_{DS}$  augmente quand la largeur du canal augmente alors que la tension de seuil reste inchangée.

#### IV.1.3. Effets de la variation de la Longueur et de largeur du canal sur son courant de drain

On se propose dans ce qui suit de modifier simultanément la longueur et la largeur du canal afin d'examiner l'effet de la variation de ces grandeurs sur le courant du transistor. Les résultats de simulation ainsi obtenus sont données en figure IV.3



**Figure IV.4. Effets de la variation de la Longueur et de largeur du canal sur son courant de drain**

On peut aisément remarquer que la variation de la surface du canal permet aussi bien la variation du courant et de la tension de seuil de notre transistor. Ainsi pour une surface plus importante, le courant augmente et la tension de seuil augmente aussi.

#### IV.2. Mise en évidence des courants de fuite du BSIM3

Le schéma de la figure IV.4 est le schéma équivalent implémenté par le BSIM3. On remarque que ce modèle ne prend pas en considération les courants de fuite au niveau de la grille soit alors le courant de fuite du drain induit par la grille  $I_{GIDL}$ . Notons aussi que le

courant tunnel à travers l'oxyde de grille  $I_{OX}$  ainsi que le courant de grille dû à l'injection de porteurs chauds ne sont pas non plus pris en considération au niveau de ce schéma équivalent. Les courants de fuite dont on tient compte dans ce modèle sont les courants de fuite des jonctions drain/substrat et source/substrat  $I_{jDB}$  et  $I_{jSB}$ , le courant de fuite du au substrat  $I_{SUB}$  due à l'ionisation par impact des porteurs de charge dans le canal avec les atomes du cristal générant des paires électrons/trous ainsi que le courant sous seuil  $I_{DS}$ .

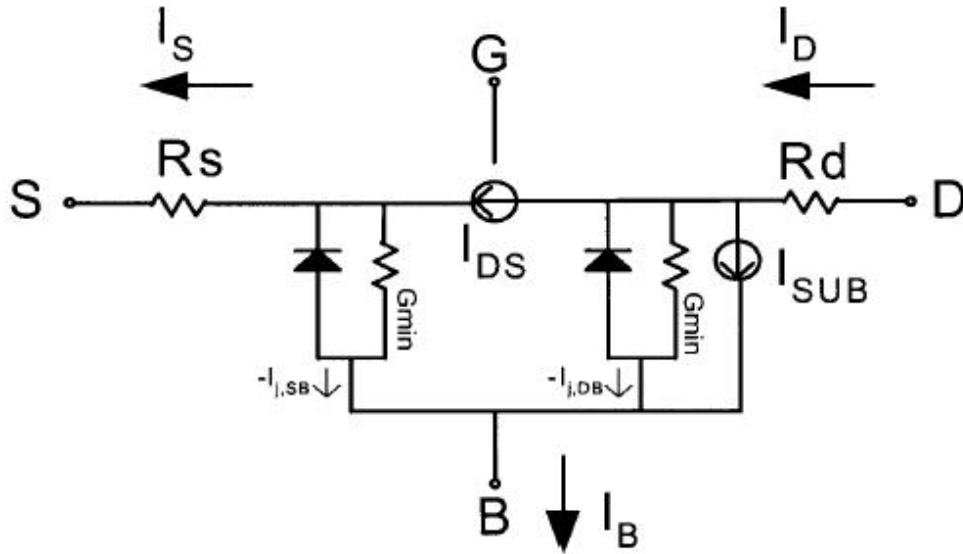


Figure IV. 5 : Schéma équivalent DC implémenté par le BSIM3.

Les courants de fuite aux nœuds du modèle sont exprimé par:

$$I_G = 0 \quad (IV .1)$$

$$I_D = I_{DS} + I_{SUB} - I_{j,DB} \quad (IV .2)$$

$$I_S = -I_{SUB} + I_{j,DB} \quad (IV .3)$$

$$I_B = -I_{SUB} + I_{j,SB} + I_{j,DB} \quad (IV .4)$$

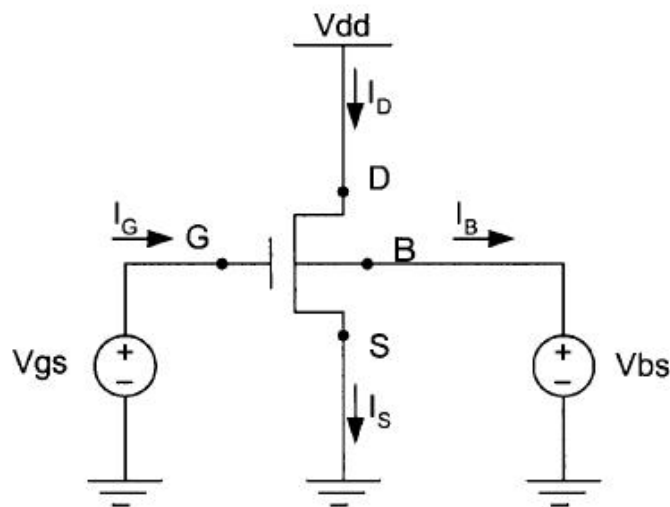
$$I_D = I_S + I_B \quad (IV .1)$$

### IV.3.Caractéristiques I-V du BSIM3

Afin de mieux comprendre les courants de fuites et tout particulièrement le courant OFF du transistor en technologie, les courants du drain et du bulk sont présentés dans ce qui suit.

#### IV.3.1.Simulation SPICE des courants de fuite d'une structure MOSFET

Toutes nos simulations ont été établis via le logiciel de simulation électrique, nous avons choisi pour cela comme nous l'avons cité auparavant le transistor BSIM3V3.



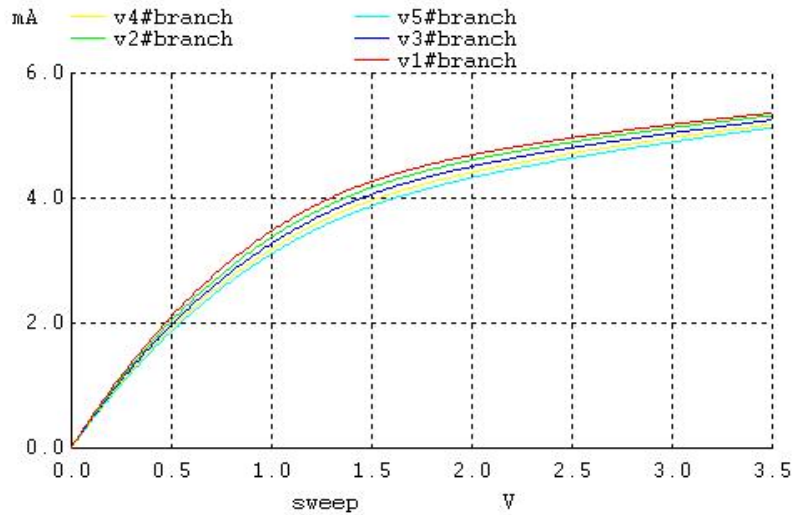
**Figure IV.6 : Schéma du circuit permettant la mise en évidence Des courants de fuite du MOSFET.**

Ces simulations ont été effectuées pour une technologie  $0.35\mu$ . Pour ces simulations le circuit suivant fut considéré.

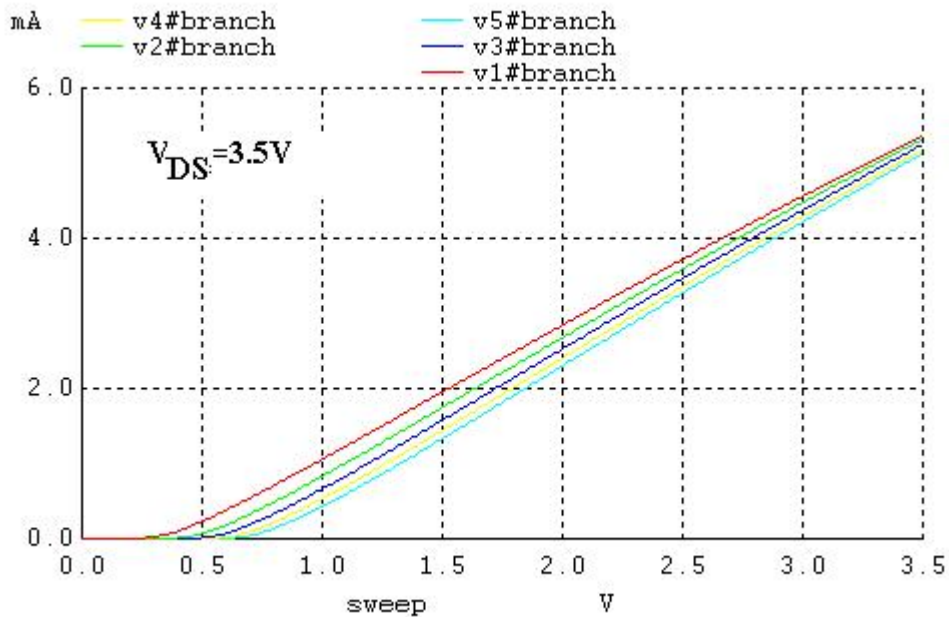
Afin de mettre en évidence l'effet de la variation de la tension de polarisation sur le courant du drain du transistor, on varie alors la tension de polarisation  $V_{BS}$  et on trace la caractéristique  $I_{DS}-V_{DS}$  pour différentes valeurs de  $V_{BS}$  variant de  $-5v$  à  $0v$  avec un pas de  $-1v$ . Les résultats de simulation obtenus pour une tension de polarisation  $V_{GS}=3.5V=V_{DD}$  et une tension de polarisation  $V_{DS}$  variant de  $0v$  à  $3.5v$  sont données en figure IV.4 .

On varie alors dans un second temps la tension de polarisation  $V_{BS}$  et on trace la caractéristique  $I_{DS}-V_{GS}$  pour différentes valeurs de  $V_{BS}$  variant de  $-5v$  à  $0v$  avec un pas de  $-1v$ . Les résultats de simulation obtenus pour une tension de polarisation  $V_{DS}=3.5V=V_{DD}$  et une tension de polarisation  $V_{GS}$  variant de  $0v$  à  $3.5v$  sont données en figure IV.7

$I_{DS}$ - $V_{GS}$  est tout d'abord représenté en échelle linéaire, puis logarithmique dans ce qui suit. La représentation en échelle logarithmique permettra comme nous le verrons plus tard de déterminer le courant de fuite  $I_{OFF}$  du transistor.



**Figure IV.7 : Caractéristiques  $I_{DS}$ - $V_{DS}$  à  $V_{BS}$  variable du BSIM3 en technologie  $0.35\mu$  ( $W/L=10/0.35$ ,  $V_{DS}=0.05V$ )**



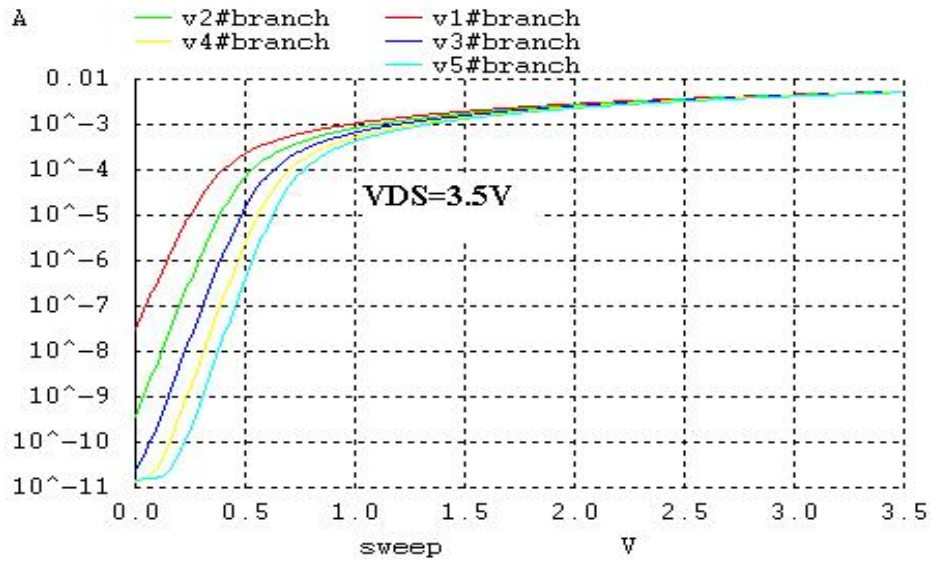
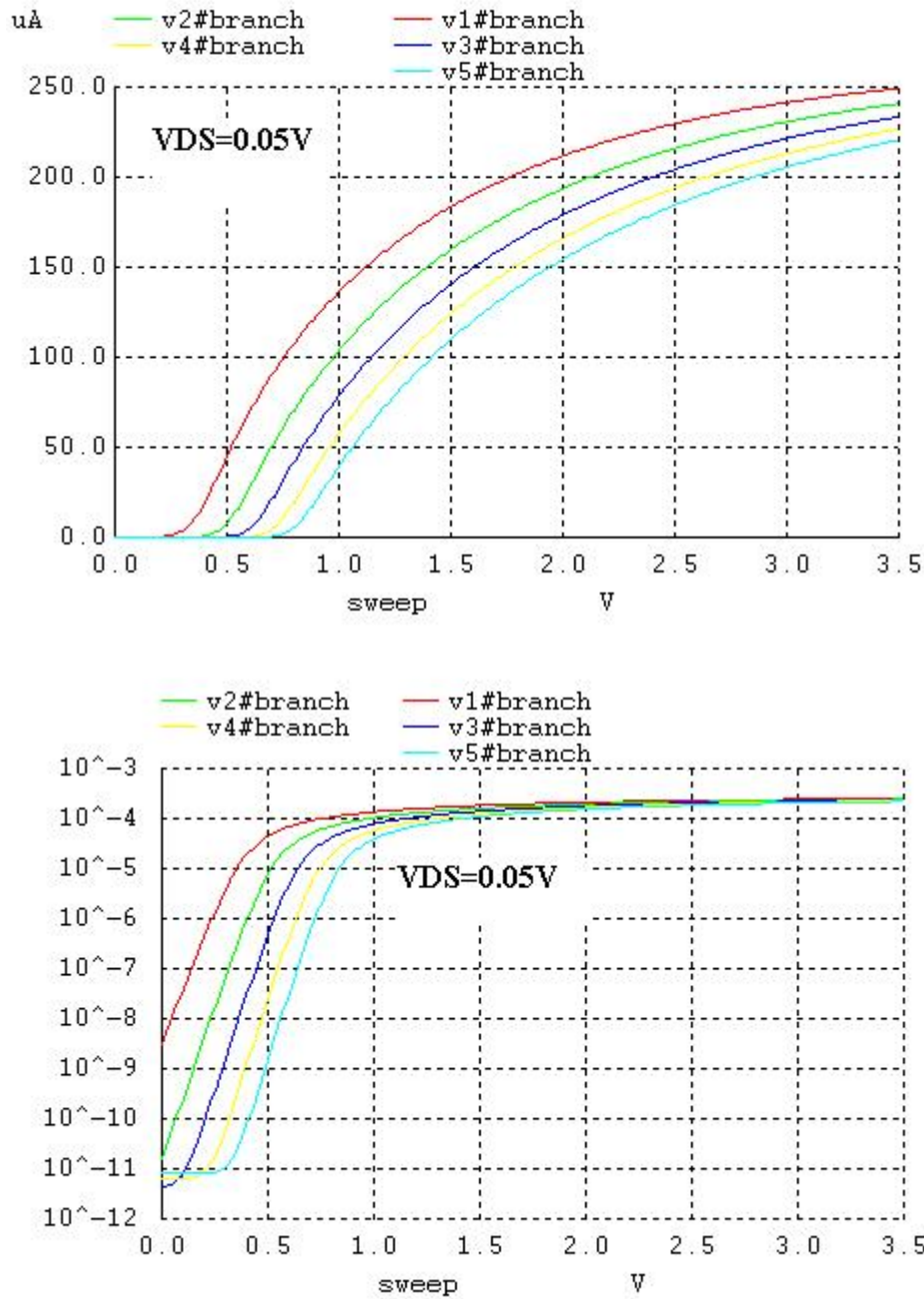


Figure IV.8 : Caractéristiques  $I_{DS}$ - $V_{GS}$  à  $V_{BS}$  variable du BSIM3 en technologie  $0.35\mu$

( $W/L=10/0.35$ ,  $V_{DS}=3.5V$ )

(a) échelle linéaire. (b) échelle logarithmique.



**Figure IV.9 : Caractéristiques  $I_{DS}$ - $V_{GS}$  à  $V_{BS}$  variable du BSIM3 en technologie  $0.35\mu$  ( $W/L=10/0.35$ ,  $V_{DS}=0.05V$ )**

Les résultats de simulation que nous avons obtenus nous ont permis d'examiner l'effet de la variation de la tension de polarisation du bulk sur son courant de drain. La tension de polarisation du bulk  $V_{BS}$  a un impact direct sur le courant de sortie du transistor. En effet ce courant diminue quand  $V_{BS}$  diminue. La tension de polarisation influence aussi ce courant qui diminue avec la diminution de cette dernière. Sur la courbe linéaire on remarque aussi que la



tension de seuil dépend étroitement de la tension de polarisation du substrat. En effet  $V_{th}$  varie avec la variation de la tension de polarisation du substrat vu que la tension de seuil dépend non seulement de la tension VBS mais aussi du coefficient GAMMA.

On s'intéresse aussi à l'identification des courants de fuite du modèle. Pour cela on définit alors les courants de fuite  $I_{on}$  et  $I_{OFF}$  par :

$$I_{OFF} = I_D \Big|_{V_{gs}=0, V_{ds}=V_{DD}, V_{bs}=0}$$

$$I_{OFF} = I_D \Big|_{V_{gs}=V_{DD}, V_{ds}=V_{DD}, V_{bs}=0}$$

Le courant de fuite  $I_{OFF}$  est du au courant sous seuil appelée **subthreshold current** et aux courants des jonctions  $I_{jDB}$  et  $I_{jSB}$ , alors que le courant de grille est négligeable en comparaison au courant  $I_{OFF}$ . A  $V_{gs}=0V$ , les courants  $I_{gb}$ ,  $I_{gs}$ ,  $I_{jbs}$  sont nuls

On peut alors écrire :

$$\begin{cases} I_D = I_C + I_{GIDL} - I_{gd} + I_{jbd} \\ I_G = I_{gd} \\ I_B = -I_{jbd} - I_{GIDL} \end{cases}$$

On se propose alors dans ce qui suit de mettre en évidence les courants  $I_{on}$ ,  $I_{off}$ . Pour cela nous faisons varier la tension de grille de  $-V_{DD}$  à  $+V_{DD}$  soit alors dans une première étude ou nous polarisons le transistor à  $V_{DD}=V_{DS}=3.5V$ , la tension de grille varie alors de  $-3.5V$  à  $+3.5V$  pour  $V_{BS}=0V$  et en considérons toujours le même transistor.

Les résultats de simulation que nous avons obtenus sont ceux de qui suit :

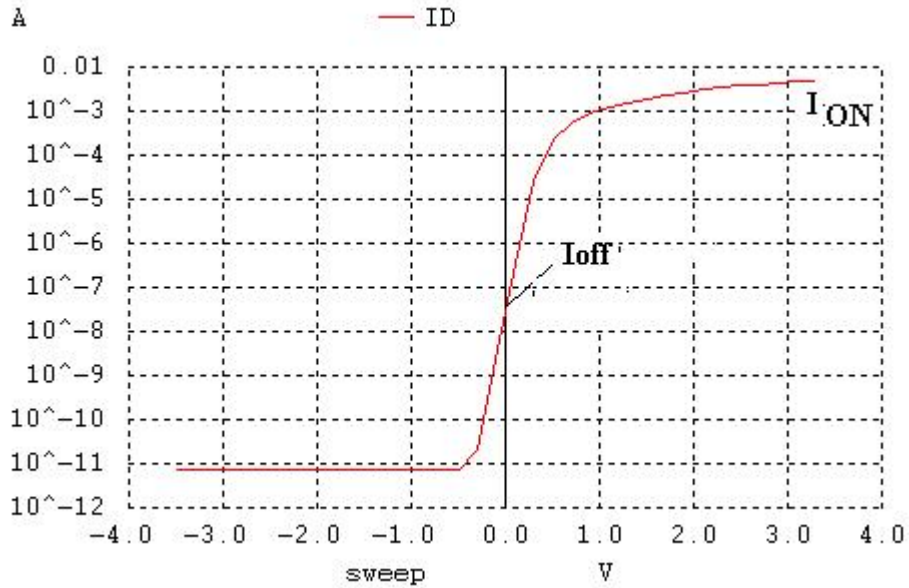


Figure IV.10. Mise en évidence des courants de fuite  $I_{on}$  et  $I_{off}$

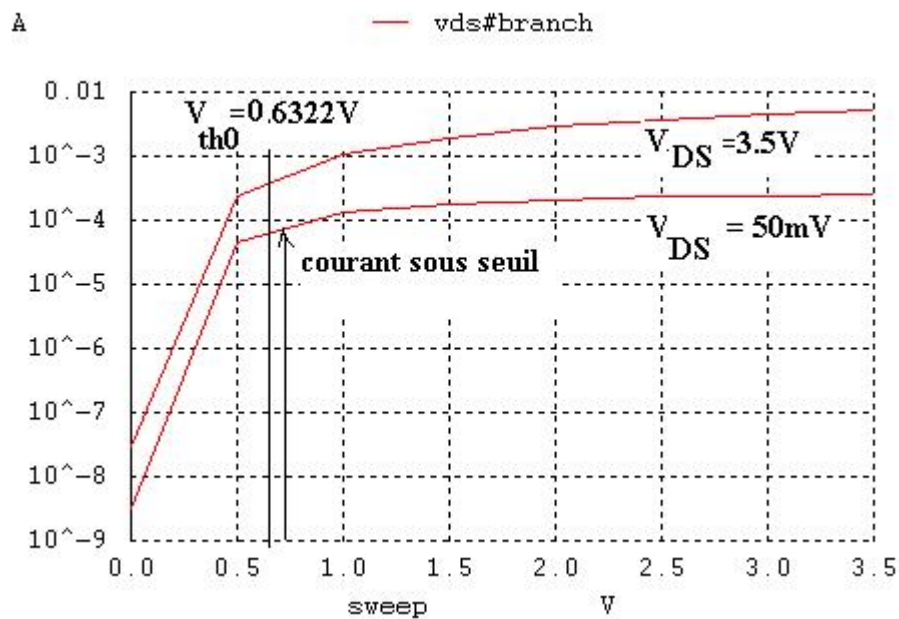


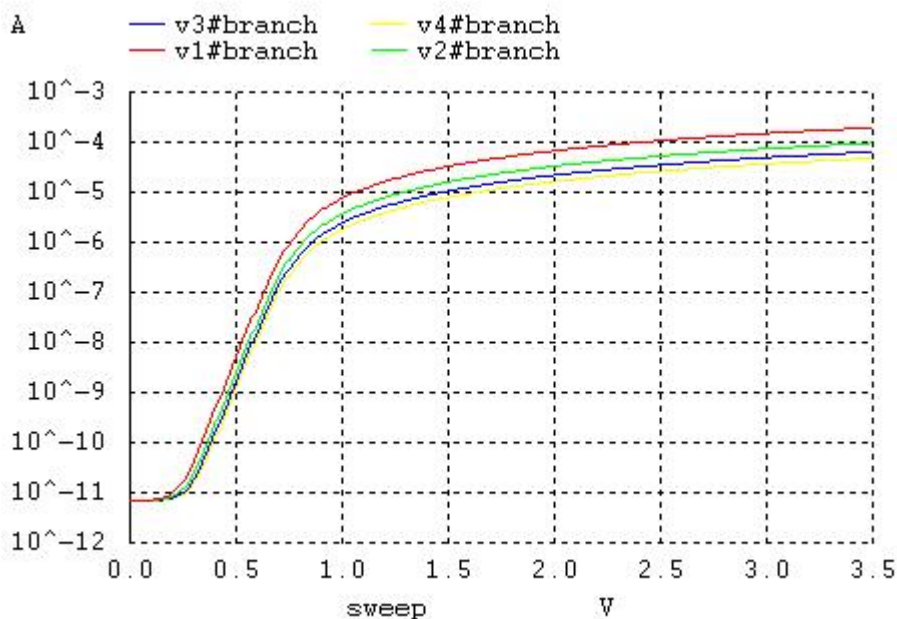
Figure IV.11: Caractéristique  $\log I_{DS}(V_{GS})$  d'un transistor NMOS montrant  
Les composantes principales du courant  $I_{OFF}$

On remarque que la tension de seuil a baissée ; ceci est du à l'effet DIBL qui abaisse la tension de seuil du transistor mais ne modifie cependant pas la pente sous le seuil. L'effet DIBL est donc habituellement mesuré par le décalage de la courbe de transfert en régime sous seuil  $V_{th}$  divisé par le  $V_D$ , entre deux courbes résultant de deux tensions de drain différentes :

$$DIBL = \frac{\Delta V_{th}}{\Delta V_D} \quad (\text{mV/V})$$

Le DIBL est donc considéré comme la variation du courant  $I_{DS}$  pour une variation de la tension  $V_{DS}$ , à tension  $V_{GS}$  constante. L'effet DIBL est illustré sur Figure: il déplace la courbe vers le haut et à gauche lorsque la tension  $V_{DS}$  augmente de 50mV à 3.5V. De ce résultat de simulation, nous avons mettre en évidence les composantes principales du courant  $I_{OFF}$  à savoir le courant sous le seuil, et le DIBL dans la technologie CMOS 0.35microns.

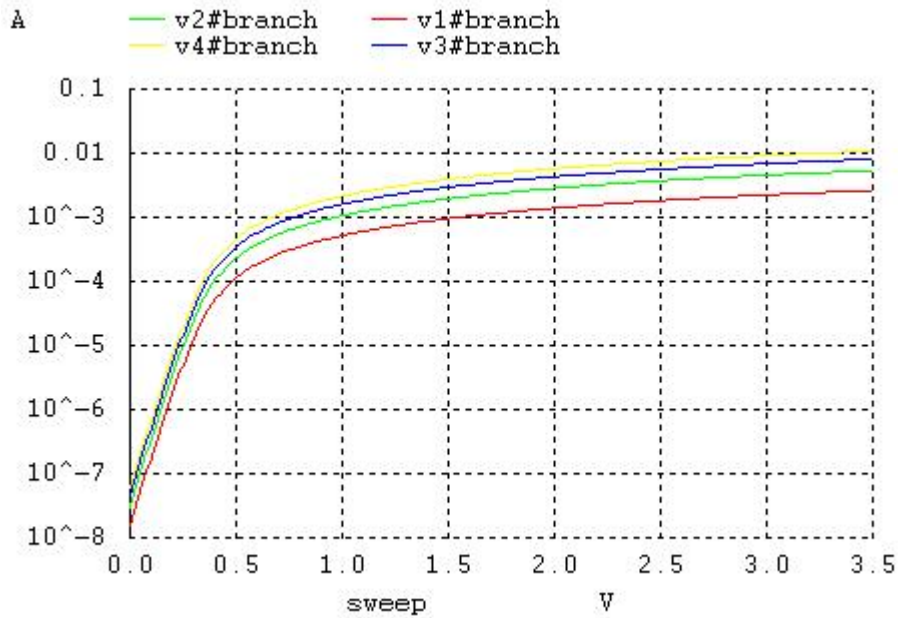
On se propose d'examiner l'effet de la variation de la longueur du dispositif sur son courant de drain, pour cela on fait varier la longure du canal de 5u à 20u avec un pas de 5u. et on maintient sa largeur constante et égale à 10u. Les résultats de simulations obtenus sont résumés sur la figure qui suit.



**Figure IV.12 : Effet de la variation de la longueur du transistor sur son courant de drain.**

On peut remarquer que  $I_{off}$  ne varie pas avec la longueur du dispositif alors que  $I_{on}$  dépend de sa longueur.

Une étude similaire concerne maintenant la variation de la largeur du dispositif sur son courant. Pour cela on varie sa largeur en choisissant  $w=5\mu, 10\mu, 15\mu, 20\mu$  tout en maintenant sa longueur constante et égale à 0.35 microns.

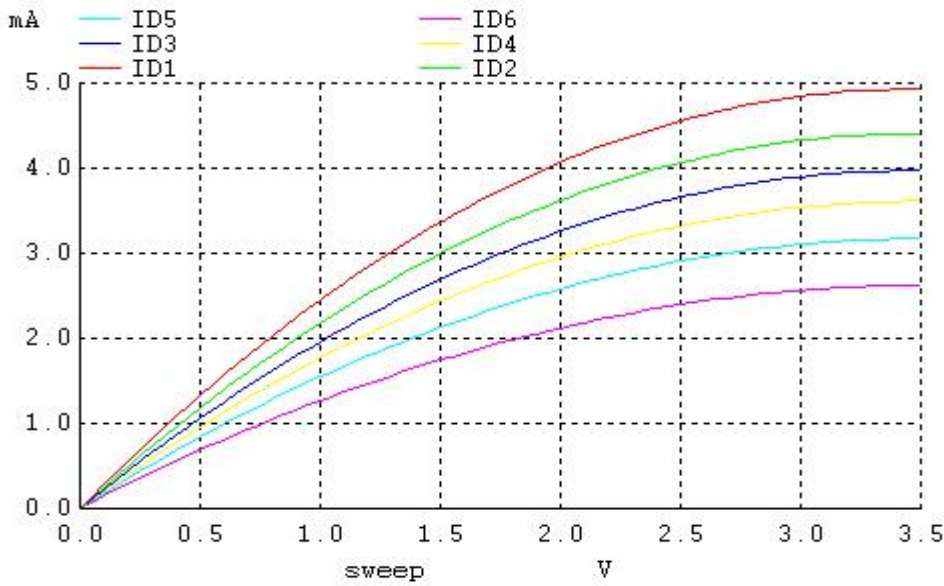


**Figure IV.13 : Effet de la variation de la largeur du transistor sur son courant de drain.**

On peut remarquer que le courant  $I_{off}$  varie légèrement avec la largeur du dispositif alors que la variation du courant  $I_{on}$  avec cette largeur est plus palpable.

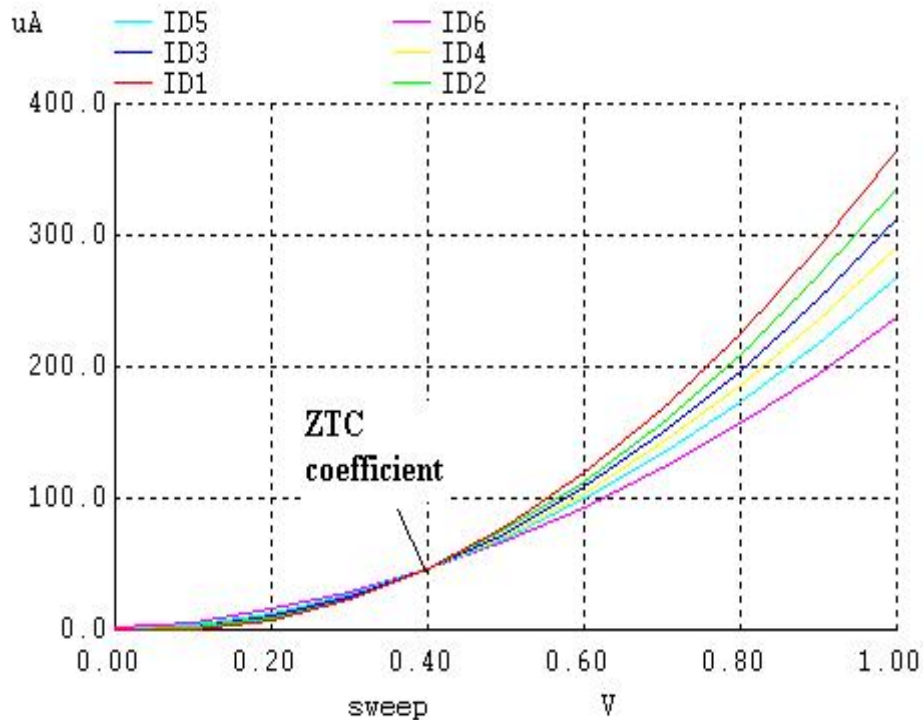
#### IV.3.2.Variation de la température BSIM3

Afin d'examiner l'effet de la variation de la température sur le courant du drain on a pu varier la température. Pour cela, nous avons choisi les températures suivantes -40,-20, 0, 20, 50, et 100degrés Celsius. Les résultats de simulations que nous avons obtenus sont regroupés dans le schéma de la figure IV.14.



**Figure IV.14. Effet de la variation de la température sur le courant du drain du transistor**

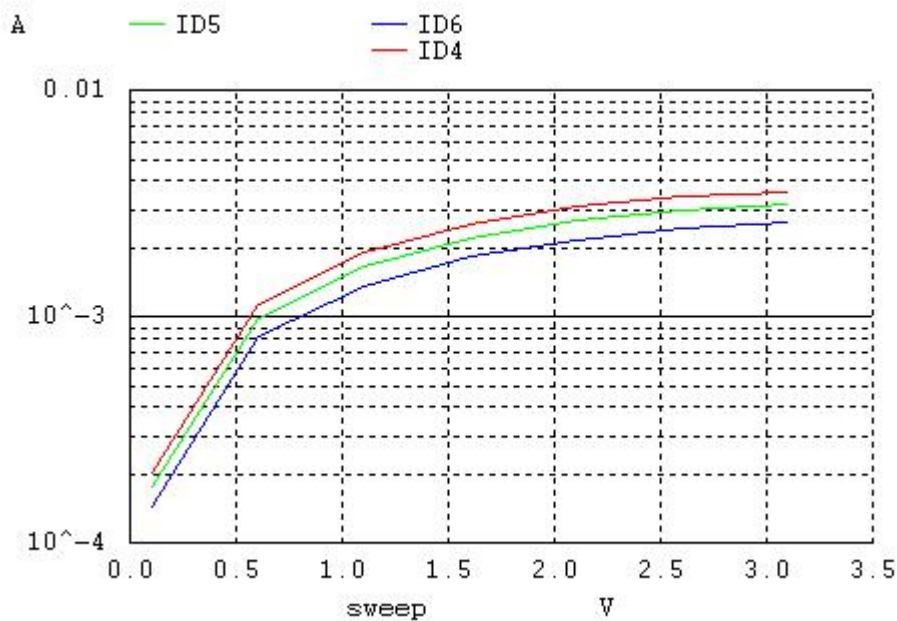
On peut voir que le courant du drain diminue quand la température augmente. En effet ce courant dépend de la mobilité et de la tension de seuil qui diminue avec l'augmentation de la température. La transconductance paramètre essentiel pour la détermination du gain et qui se calcule par la dérivée du courant du drain par rapport à la tension de polarisation de la grille  $V_{GS}$  diminue aussi quand la température augmente.



**Figure IV.15. Mise en évidence du point ZTC**

On remarque aussi sur la caractéristique  $I_{DS}-V_{GS}$  que toutes ces caractéristiques se rejoignent en un même point appelé ZTC zero température coefficient. En ce point de polarisation la température n'a aucune influence sur les caractéristiques électrique du dispositif le rendant assez intéressant pour des applications à hautes température et qui est par exemple bien le cas dans les applications de l'industrie automobile.

Enfin afin de mettre en évidence les effets de la température sur les courants  $I_{on}$  et  $I_{OFF}$ , on trace la caractéristique  $I_{DS}-V_{GS}$  en échelle logarithmique avec  $V_{BS}=0$ , pour trois températures .les résultats obtenus sont données par le schéma de la figure IV.13  $I_{D4}$  pour  $T=100^{\circ}c$  , $I_{D5}$  pour  $T=50^{\circ}C$ , et  $I_{D6}=20^{\circ}C$ . Nos résultats de simulation se présentent comme suit :



**Figure IV.16 : Influence de la température sur le courant de fuite  $I_{OFF}$  et  $I_{on}$**

On peut tout de suite remarquer que les courants  $I_{OFF}$  et  $I_{ON}$  dépendent de la température. Le courant  $I_{OFF}$  augmente quand la température augmente.  $I_{ON}$  augmente aussi. La variation du courant  $I_{on}$  est due à la variation de la mobilité et à celle de la vitesse de saturation des porteurs, ainsi que de la tension de seuil qui varie avec la température les lois mettant en évidence ces variations sont exprimées comme suit :

$$U_0(T) = U_0(T_{nom}) \left( \frac{T}{T_{nom}} \right)^{U_{TE}}$$

$$V_{SAT}(T) = V_{SAT}(T_{nom}) + A_T \left( \frac{T}{T_{nom}} - 1 \right)$$

$$V_T(T) = V_T(T_{nom}) + K_T \left( \frac{T}{T_{nom}} - 1 \right)$$

$U_0$  est la mobilité des porteurs,  $V_{sat}$  leur vitesse de saturation,  $U_{TE}$ ,  $A_T$  et  $K_T$  sont les coefficients de température respective de la mobilité, de la vitesse de saturation et de la tension de seuil  $T_{nom}$  est la température ambiante. Tous ces paramètres diminuent avec l'accroissement de la température.

# *Conclusion générale*



## CONCLUSION GENERALE

Nous nous sommes intéressées dans ce travail à l'étude d'un modèle de transistor à canal court de dernière génération appelée modèle BSIM 3, modèle très populaire et très présent actuellement dans l'industrie.

Le BSIM3 est proposé actuellement pour répondre aux besoins des concepteurs de circuits, et qui a été introduit en 2000. Le BSIM3V3 est l'un des derniers modèles industriellement compatibles des transistors MOSFET du groupe de BSIM à l'université de Californie de Berkeley pour les conceptions de circuits analogiques et numériques dans le submicronique profond.

Ce modèle est basé sur son prédécesseur, BSIM3V3.2. Le BSIM3 est très recommandé pour les simulations en Ultra Deep Submicron. Il contient plusieurs paramètres. Ce modèle décrit 3 zones de fonctionnement avec une bonne continuité entre chacune. Il permet d'aboutir à des simulations précises pour des technologies micrométriques.

BSIM3 est un modèle de MOSFET physique avec concentration intégrée dans les dépendances d'importants paramètres dimensionnels et de traitement tels que la longueur du canal, la largeur, l'épaisseur d'oxyde de grille, la profondeur de jonction, le substrat de dopage, et ainsi de suite, et permet aux utilisateurs de modéliser avec précision le comportement MOSFET sur une large plage de longueurs de canal pour les technologies actuelles et futures. Notre travail consiste à mettre en évidence certains effets indésirables des transistors à canaux courts et d'examiner l'effet de la variation des paramètres du transistor sur son comportement électrique afin de voir comment varient ces effets canaux courts avec ces variations. Ces effets qui se manifestent dans les transistors à petites géométries altèrent le fonctionnement de ces transistors conçus pour leurs performances et pour des soucis de miniaturisation. Ces transistors de petites dimensions, polarisés avec de très faibles tensions de polarisation, permettent un fonctionnement à grande vitesse tout en offrant une autonomie non négligeable, et c'est bien le cas des équipements portables conçus actuellement. L'effet non négligeable de ces structures submicroniques est l'apparition de courants de fuite qui se manifestent généralement sous le seuil de fonctionnement du transistor.

Dans ce travail ; après avoir présenté le modèle visé par notre étude nous nous sommes intéressés à certains effets indésirables inhérents aux transistors de faibles géométries en général et au BSIM3 en particulier, on citera entre autres :

- L'effet de la variation des dimensions du transistor sur son courant de sortie
- L'effet de la variation de la longueur du canal sur son courant de drain
- L'effet de la variation de la Longueur et de largeur du canal sur son courant de drain
- Mise en évidence de certains courants de fuite du BSIM3
- Effet de la variation de la température sur les courants de fuites mis en évidences.

Pour conclure nous pouvons affirmer que ce travail nous a été très bénéfique, car il nous a permis d'utiliser un des logiciels les plus puissants et les plus utilisés dans la recherche et la simulation à travers le monde. Les résultats de simulation que nous avons obtenus permettent de mettre en évidence les effets indésirables des transistors MOSFET à canaux courts en général et le BSIM3 en particulier.

Comme perspectives à ce travail il serait judicieux d'étudier de nouvelles architectures qui permettent de minimiser voire carrément éliminer les effets canaux courts tel que les SOI MOSFET ,ou les dispositifs à grilles multiples qui permettent non seulement un meilleur control du canal mais aussi une diminution considérable voir même totale des effets indésirables se manifestant au niveaux des transistors sur bulk qui deviennent inutilisable au dessous du nœud 50nm.

Input Parameters Names	Physical Meaning
$T_{ox}$	Gate oxide thickness
$N_{ch}$	Doping concentration in the channel
T	Temperature at which the data is taken
$L_{drawn}$	Mask level channel length
$W_{drawn}$	Mask level channel width
$X_j$	Junction depth

**Table 6-1. Prerequisite input parameters prior to extraction process.**

#### 6.4.1 Paramètres witz Spécial Notes

Symbols used in SPICE	Description	Default Value	Unit	Notes
Vth0	Threshold voltage for large W and L device @ $V_{bs}=0V$	0.7 (NMOS) -0.7 (PMOS)	V	nI-1
K1	First order body effect coefficient	0.5	$\sqrt{V}$	nI-2
K2	Second order body effect coefficient	0	none	nI-2
Vbm	Maximum applied body bias	-3	V	nI-2
Nch	Channel doping concentration	1.7E17	1/cm <sup>3</sup>	nI-3
gamma1	Body-effect coefficient near interface	calculated	$\sqrt{V}$	nI-4
gamma2	Body-effect coefficient in the bulk	calculated	$\sqrt{V}$	nI-5
Vbx	$V_{bs}$ at which the depletion width equals $x_t$	calculated	V	nI-6
Cgso	Non-LDD source-gate overlap capacitance per channel length	calculated	F/m	nC-1
Cgdo	Non-Ldd drain-gate overlap capacitance per channel length	calculated	F/m	nC-2
CF	Fringing field capacitance	calculated	F/m	nC-3

**Table 6-2. Parameters with notes for extraction.**

Symbols used in equation	Symbols used in SPICE	Description	Default	Unit
Noia	noia	Noise parameter A	(NMOS) 1e20 (PMOS) 9.9e18	none
Noib	noib	Noise parameter B	(NMOS) 5e4 (PMOS) 2.4e3	none
Noic	noic	Noise parameter C	(NMOS) -1.4e-12 (PMOS) 1.4e-12	none
Em	em	Saturation field	4.1e7	V/m
Af	af	Flick noise exponent	1	none
Ef	ef	Flicker noise frequency exponent	1	none
Kf	kf	Flicker noise coefficient	0	none

Symbols used in equation	Symbols used in SPICE	Description	Default	Unit
Js0	js	Saturation current density	1e-4	A/m <sup>2</sup>
Js0sw	jssw	Side wall saturation current density	0	A/m
NJ	nj	Emission coefficient	1	none
XTI	xti	Junction current temperature exponent coefficient	3.0	none
ijth	ijth	Limiting current	0.1	A

#### 4.1 General Description of Capacitance Modeling

<b>Name</b>	<b>Function</b>	<b>Default</b>	<b>Unit</b>
capMod	Flag for capacitance models	3	(True)
vfbcv	the flat-band voltage for capMod = 0	-1.0	(V)
acde	Exponential coefficient for $X_{DC}$ for accumulation and depletion regions	1	(m/V)
moin	Coefficient for the surface potential	15	(V <sup>0.5</sup> )
cgso	Non-LDD region G/S overlap C per channel length	Calculated	F/m
cgdo	Non-LDD region G/D overlap C per channel length	Calculated	F/m
CGS1	Lightly-doped source to gate overlap capacitance	0	(F/m)
CGD1	Lightly-doped drain to gate overlap capacitance	0	(F/m)
CKAPPA	Coefficient for lightly-doped overlap capacitance	0.6	
CF	Fringing field capacitance	equation (4.5.1)	(F/m)
CLC	Constant term for short channel model	0.1	μm
CLE	Exponential term for short channel model	0.6	
DWC	Long channel gate capacitance width offset	Wint	μm
DLC	Long channel gate capacitance length offset	Lint	μm

**Table 4-1. Model parameters in capacitance models**

<b>Name</b>	<b>Function</b>	<b>Default</b>	<b>Unit</b>
nqsMod	Instance flag for the NQS model	0	none
elm	Elmore constant	5	none

**Table 5-1. NQS model and instance parameters**

## **D.1 Model Control Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
None	level	The model selector	NO
None	version	Model version selector	NO
None	binUnit	Bining unit selector	NO
None	param-Chk	Parameter value check	NO
mobMod	mobMod	Mobility model selector	NO
capMod	capMod	Flag for the short channel capacitance model	NO
nqsMod	nqsMod	Flag for NQS model	NO
noiMod	noiMod	Flag for Noise model	NO

## D.2 DC Paramètres

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Vth0	vth0	Threshold voltage @ $V_{bs}=0$ for Large L.	YES
VFB	vfb	Flat band voltage	YES
K1	k1	First order body effect coefficient	YES
K2	k2	Second order body effect coefficient	YES

## DC Paramètres

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
K3	k3	Narrow width coefficient	YES
K3b	k3b	Body effect coefficient of k3	YES
W0	w0	Narrow width parameter	YES
Nlx	nlx	Lateral non-uniform doping parameter	YES
Dvt0	dvt0	first coefficient of short-channel effect on Vth	YES
Dvt1	dvt1	Second coefficient of short-channel effect on Vth	YES
Dvt2	dvt2	Body-bias coefficient of short-channel effect on Vth	YES
Dvt0w	dvt0w	First coefficient of narrow width effect on Vth for small channel length	YES
Dvt1w	dvtw1	Second coefficient of narrow width effect on Vth for small channel length	YES
Dvt2w	dvt2w	Body-bias coefficient of narrow width effect for small channel length	YES
$\mu_0$	u0	Mobility at Temp = Tnom NMOSFET PMOSFET	YES
Ua	ua	First-order mobility degradation coefficient	YES
Ub	ub	Second-order mobility degradation coefficient	YES

## DC Paramètres

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Uc	uc	Body-effect of mobility degradation coefficient	YES
vsat	vsat	Saturation velocity at $T_{emp} = T_{nom}$	YES
A0	a0	Bulk charge effect coefficient for channel length	YES
Ags	ags	gate bias coefficient of $A_{bulk}$	YES
B0	b0	Bulk charge effect coefficient for channel width	YES
B1	b1	Bulk charge effect width offset	YES
Keta	keta	Body-bias coefficient of bulk charge effect	YES
A1	a1	First non0saturation effect parameter	YES
A2	a2	Second non-saturation factor	YES
Rdsw	rdsw	Parasitic resistance per unit width	YES
Prwb	prwb	Body effect coefficient of Rdsw	YES
Prwg	prwg	Gate bias effect coefficient of Rdsw	YES
Wr	wr	Width Offset from $W_{eff}$ for Rds calculation	YES
Wint	wint	Width offset fitting parameter from I-V without bias	NO
Lint	lint	Length offset fitting parameter from I-V without bias	NO

## DC Paramètres



Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
dWg	dwg	Coefficient of Weff's gate dependence	YES
dWb	dwb	Coefficient of Weff's substrate body bias dependence	YES
Voff	voff	Offset voltage in the subthreshold region for large W and L	YES
Nfactor	nfactor	Subthreshold swing factor	YES
Eta0	eta0	DIBL coefficient in subthreshold region	YES
Etab	etab	Body-bias coefficient for the subthreshold DIBL effect	YES
Dsub	dsub	DIBL coefficient exponent in subthreshold region	YES
Cit	cit	Interface trap capacitance	YES
Cdsc	cdsc	Drain/Source to channel coupling capacitance	YES
Cdscb	cdscb	Body-bias sensitivity of Cdsc	YES
Cdscd	cdscd	Drain-bias sensitivity of Cdsc	YES
Pclm	pclm	Channel length modulation parameter	YES
Pdiblc1	pdiblc1	First output resistance DIBL effect correction parameter	YES
Pdiblc2	pdiblc2	Second output resistance DIBL effect correction parameter	YES
Pdiblc b	pdiblc b	Body effect coefficient of DIBL correction parameters	YES

**DC Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Drout	drout	L dependence coefficient of the DIBL correction parameter in Rout	YES
Pscbe1	pscbe1	First substrate current body-effect parameter	YES
Pscbe2	pscbe2	Second substrate current body-effect parameter	YES
Pvag	pvag	Gate dependence of Early voltage	YES
$\delta$	delta	Effective Vds parameter	YES
Ngate	ngate	poly gate doping concentration	YES
$\alpha_0$	alpha0	The first parameter of impact ionization current	YES
$\alpha_1$	alpha1	Isub parameter for length scaling	YES
$\beta_0$	beta0	The second parameter of impact ionization current	YES
Rsh	rsh	Source drain sheet resistance in ohm per square	NO
Js0	js	Source drain junction saturation current per unit area	NO
ijth	ijth	Diode limiting current	NO

**DC Paramètres**

## AC and Capacitance Paramètres

### D.3 AC and Capacitance Paramètres

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Xpart	xpart	Charge partitioning rate flag	NO
CGS0	cgso	Non LDD region source-gate overlap capacitance per channel length	NO
CGD0	cgdo	Non LDD region drain-gate overlap capacitance per channel length	NO
CGB0	cgbo	Gate bulk overlap capacitance per unit channel length	NO
Cj	cj	Bottom junction per unit area	NO
Mj	mj	Bottom junction capacitance grading coefficient	NO
Mjsw	mjsw	Source/Drain side junction capacitance grading coefficient	NO
Cjsw	cjsw	Source/Drain side junction capacitance per unit area	NO
Pb	pb	Bottom built-in potential	NO
Pbsw	pbsw	Source/Drain side junction built-in potential	NO
CGS1	cgs1	Light doped source-gate region overlap capacitance	YES
CGD1	cgd1	Light doped drain-gate region overlap capacitance	YES

## AC and Capacitance Paramètres

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
CKAPPA	ckappa	Coefficient for lightly doped region overlap capacitance Fringing field capacitance	YES
Cf	cf	fringing field capacitance	YES
CLC	clc	Constant term for the short channel model	YES
CLE	cle	Exponential term for the short channel model	YES
DLC	dlc	Length offset fitting parameter from C-V	YES
DWC	dwc	Width offset fitting parameter from C-V	YES
Vfbcv	vfbcv	Flat-band voltage parameter (for capMod = 0 only)	YES
noff	noff	CV parameter in Vgsteff,CV for weak to strong inversion	YES
voffcv	voffcv	CV parameter in Vgsteff,CV for weak to strong inversion	YES
acde	acde	Exponential coefficient for charge thickness in capMod=3 for accumulation and depletion regions	YES
moin	moin	Coefficient for the gate-bias dependent surface potential	YES

## D.4 NQS Paramètres

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Elm	elm	Elmore constant of the channel	YES

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Wl	wl	Coefficient of length dependence for width offset	NO
Wln	wln	Power of length dependence of width offset	NO
Ww	ww	Coefficient of width dependence for width offset	NO
Wwn	wwn	Power of width dependence of width offset	NO
Wwl	wwl	Coefficient of length and width cross term for width offset	NO
Ll	ll	Coefficient of length dependence for length offset	NO
Lln	lln	Power of length dependence for length offset	NO

**dW and dL Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Lw	lw	Coefficient of width dependence for length offset	NO
Lwn	lwn	Power of width dependence for length offset	NO
Lwl	lwl	Coefficient of length and width cross term for length offset	NO
Llc	Llc	Coefficient of length dependence for CV channel length offset	NO
Lwc	Lwc	Coefficient of width dependence for CV channel length offset	NO
Lwlc	Lwlc	Coefficient of length and width-dependence for CV channel length offset	NO
Wlc	Wlc	Coefficient of length dependence for CV channel width offset	NO
Wwc	Wwc	Coefficient of widthdependence for CV channel width offset	NO
Wwlc	Wwlc	Coefficient of length and width-dependence for CV channel width offset	NO

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Tnom	tnom	Temperature at which parameters are extracted	NO
$\mu_{te}$	ute	Mobility temperature exponent	YES
Kt1	kt1	Temperature coefficient for threshold voltage	YES
Kt11	kt11	Channel length dependence of the temperature coefficient for threshold voltage	YES
Kt2	kt2	Body-bias coefficient of $V_{th}$ temperature effect	YES
Ua1	ua1	Temperature coefficient for $U_a$	YES
Ub1	ub1	Temperature coefficient for $U_b$	YES
Uc1	uc1	Temperature coefficient for $U_c$	YES
At	at	Temperature coefficient for saturation velocity	YES
Prt	prt	Temperature coefficient for $R_{dsw}$	YES
nj	nj	Emission coefficient	YES
XTI	xti	Junction current temperature exponent coefficient	YES

**Flicker Noise Model Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
tpb	tpb	Temperature coefficient of Pb	NO
tpbsw	tpbsw	Temperature coefficient of Pbsw	NO
tpbswg	tpbswg	Temperature coefficient of Pbswg	NO
tcj	tcj	Temperature coefficient of Cj	NO
tcjsw	tcjsw	Temperature coefficient of Cjsw	NO
tcjswg	tcjswg	Temperature coefficient of Cjswg	NO

**D.7 Flicker Noise Model Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Noia	noia	Noise parameter A	NO
Noib	noib	Noise parameter B	NO
Noic	noic	Noise parameter C	NO
Em	em	Saturation field	NO
Af	af	Flicker noise exponent	NO



**Processus Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Ef	ef	Flicker noise frequency exponent	NO
Kf	kf	Flicker noise parameter	NO

**D.8 Processus Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Tox	tox	Gate oxide thickness	NO
Toxm	toxm	Tox at which parameters are extracted	NO
Xj	xj	Junction Depth	YES
$\gamma_1$	gamma1	Body-effect coefficient near the surface	YES
$\gamma_2$	gamma2	Body-effect coefficient in the bulk	YES
Nch	nch	Channel doping concentration	YES
Nsub	nsub	Substrate doping concentration	YES
Vbx	vbx	Vbs at which the depletion region width equals xt	YES
Vbm	vbm	Maximum applied body bias in Vth calculation	YES
Xt	xt	Doping depth	YES

**D.9 Géométrie Range Paramètres**

Symbols used in equation	Symbols used in SPICE	Description	Can Be Binned?
Lmin	lmin	Minimum channel length	NO
Lmax	lmax	Maximum channel length	NO
Wmin	wmin	Minimum channel width	NO
Wmax	wmax	Maximum channel width	NO
binUnit	binUnit	Binning unit selector	NO

### .Références.

- [1] Henry Mathieu, *Physique des semiconducteurs et des composants électroniques* 5<sup>ème</sup> édition .DUNO
- [2] Henry Mathieu, *Physique des semiconducteurs et des composants électroniques* 3<sup>ème</sup> édition .DUNOD .
- [3] S.Sze .*Physique of semiconducteur devices*, 3<sup>rd</sup> édition S.M.Sze and Kwok Kng
- [4] Thierry digillo. *etude de la fiabilité porteurs chauds et des performances des technologies cmoso. 13 $\mu$ -2NM .These de doctorat 2006-université de provence*
- [ 5] <http://www.eudil.fr/eudil/bbsc/unip/730.htm>
- [6] <http :www.eudil.fr/eudil/bbsc/unip/731htm>
- [7] <http :www.eudil.fr/eudil/bbsc/unip/732htm>
- [8] <http :www.eudil.fr/eudil/bbsc/unip/740htm>
- [9] C.T. Sah, “Mosfet modeling for Vlsi simulation theory and practice“, World Scientific, pp.69-287, 2006.
- [10] J. P.Colinge, C. A. Colinge, “Physics of semiconductor Devices“, Kluwer Academic Publishers, pp.166-200, 2002.
- [11] Sheng S. Li, “Semiconductor Physical electronics second edition“, Springer, pp.582- 583, 2006.
- [12] H. Mathhieu, “Physique des semiconducteurs et des composants électroniques“, Masson, pp.363, 1998.
- [13] K. F. Brennan, A. S. Brown, “Theory of modern electronic semiconductor devices“, Wiley-Interscience Publication, pp.289-298, 2002
- [14] C.T. Sah, T.H. Ning et L.L. Tschopp, “The scattering of electrons by surface oxide charge and by the lattice vibrations at the Si-SiO<sub>2</sub> interface”, *Surface Science*, 32, 3, p. 561-75, 1972.
- [15] Baudotmosfets contraints sur SOI Analyse des déformations par diffraction des rayons X et étude des propriétés électriques 15 décembre 2012
- [16] D.Chanemougame. ‘ Conception et fabrication de nouvelles architectures CMOS étude

Du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON'

thèse de doctorat, L'Institut national des sciences appliquées de Lyon, Décembre, 2005.

[17] A.Valentain. ' Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipée et application à des opérateurs de calcul', thèse de doctorat, Mai, 2005.

[18] R.H. Dennard, F.H. Gaensslen, H.-N. Yu, V.L. Rideout, E. Bassous et A.R. Leblanc , "Design of Ion-implanted MOSFET's with very small physical dimensions", *IEEE Solid State Circuits*, 9, 5, p. 256, 1974

[19] S.E. Thompson, R. S. Chau, T. Ghani, K. Mistry, S. Tyagi et M.T. Bohr, "In search of « forever », continued transistor scaling one new material at a time", *IEEE Transactions on Semiconductor Manufacturing*, 18, 1, p. 26-36, 2005.

[20] M. V. Fischetti, D. A. Neumayer et E. A. Cartier, "Effective electron mobility in Si inversion layers in metal oxide semiconductor systems with a high-k insulator: The role of remote phonon scattering", *Journal of Applied Physics*, 90, 9, p. 4587-608, 2001

[21] A. Khakifirooz et D. A. Antoniadis, "Transistor Performance Scaling : The Role of Virtual Source Velocity and Its Mobility dependence", *IEDM Technical Digest*, p. 403-6, 2006.

[22] B.Diagne.' Etude et modélisation compacte d'un transistor MOS SOI double grille dédié à La conception', thèse de doctorat, université Louis Pasteur – Strasbourg I, novembre 2007

[23] *Chenming Hu, BSIM-IMG: A Turnkey Compact Model for Back-gated FDSOIMOSFETs, avril 2011*

[24] G.S. Gildenblat, *VLSI Electronics: Microstructure Science*, p.11, vol. 18, 1989.

[25] Muller and Kamins, *Devices Electronics for Integrated Circuits* , Second Edition.

- [26] J. H. Huang, Z. H. Liu, M. C. Jeng, K. Hui, M. Chan, P. K. Ko and C. Hu., BSIM3 Version 2.0 User's Manual, March 1994.
- [27] Y.C. Cheng and E.A. Sullivan, "Effect of Coulombic Scattering on Silicon Surface Mobility," *J. Appl. Phys.* **45**, 187 (1974).
- [28] Y.C. Cheng and E.A. Sullivan, *Surf. Sci.* **34**, 717 (1973).
- [29] A.G. Sabnis and J.T. Clemens, "Characterization of Electron Velocity in the Inverted <100> Si Surface," *Tech. Dig.- Int. Electron Devices Meet.*, pp. 18-21 (1979).
- [30] G.S. Gildenblat, *VLSI Electronics: Microstructure Science*, p. 11, vol. 18, 1989.
- [31] M.S. Liang, J.Y. Choi, P.K. Ko, and C. Hu, "Inversion-Layer Capacitance and Mobility of Very Thin Gate-Oxide MOSFET's," *IEEE Trans. Electron Devices*, ED-33, 409, 1986.
- [32] F. Fang and X. Fowler, "Hot-electron Effects and Saturation velocity in Silicon Inversion Layer," *J. Appl. Phys.*, **41**, 1825, 1969.
- [33] E. A. Talkhan, I. R. Manour and A. I. Barboor, "Investigation of the Effect of Drift-Field-Dependent Mobility on MOSFET Characteristics," Parts I and II. *IEEE Trans. on Electron Devices*, ED-19(8), 899-916, 1972.
- [34] J.A. Greenfield and R.W. Dutton, "Nonplanar VLSI Device Analysis Using the Solution of Poisson's Equation," *IEEE Trans. Electron Devices*, vol. ED-27, p.1520,1980
- [35] G.W. Taylor, "Subthreshold Conduction in MOSFET's," *IEEE Trans. Electron Devices*, vol. ED-25, p.337, 1978.
- [36] M.C. Jeng, "Design and Modeling of Deep-Submicrometer MOSFETs," Ph. D. Dissertation, University of California.
- [37] K.Y. Toh, P.K. Ko and R.G. Meyer, "An Engineering Model for Short-channel MOS Devices," *IEEE Jour. of Solid-State Circuits*, vol. 23, No. 4, Aug. 1988.
- [38] C. Hu, S. Tam, F.C. Hsu, P.K. Ko, T.Y. Chan and K.W. Kyle, "Hot-Electron Induced MOSFET Degradation - Model, Monitor, Improvement," *IEEE Tran. on Electron Devices*, Vol. 32, pp. 375-385, Feb. 1985.
- [39] <http://www.ei.org/CMC>.

**[40] Y.P.Tsividis"Operating and Modeling of the MOS transistor ",MCGRAW-HILL,1987,ISBN 0-07-065381 X**

**[41] Ferre and J,Figueras .Leakage in CMOS nanometric technologies in LOW POWER electronics design ;C Piguet ;Ed CRC Press 2004;Ch,3,2004**

## Résumé

Le transistor à effet de champ MOSFET (Métal Oxyde Semiconducteur Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semiconducteur. La réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication. Afin de poursuivre l'augmentation des performances des dispositifs tout en maintenant l'architecture classique des MOSFETs, plusieurs solutions ont été envisagées au cours de cette évolution. L'objectif de cette étude est de mettre en évidence par simulation les effets des canaux courts dans les transistors MOSFET dans les modèles récents de petites dimensions, et d'étudier les paramètres pouvant influencer la variation de ces effets. Le modèle visé par notre étude est le transistor BSIM3, modèle très répandu dans l'industrie et conçu par l'université de Californie de Berkeley. C'est pour ce modèle que nous mettrons en évidence certains effets canaux courts dus à la diminution de la géométrie de ce dispositif. Nous nous sommes intéressées dans ce travail à l'étude d'un modèle de transistor à canal court de dernière génération appelée modèle BSIM 3, modèle très populaire et très présent actuellement dans l'industrie. Il permet d'aboutir à des simulations précises pour des technologies micrométriques. Pour conclure nous pouvons affirmer que ce travail nous a été très bénéfique, car il nous a permis d'utiliser un des logiciels les plus puissants et les plus utilisés dans la recherche et la simulation à travers le monde. Les résultats de simulation que nous avons obtenus permettent de mettre en évidence les effets indésirables des transistors MOSFET à canaux courts en général et le BSIM3 en particulier. Nous présenterons les rappels théoriques de la structure MIS et des dispositifs MOSFETs, nous présenterons le modèle du bsim3, modèle à canal court, objet de cette étude. Sera consacré à la présentation de certains effets indésirables des dispositifs MOSFET à canaux courts dus à la réduction de la taille des dispositifs. A été bien évidemment consacré à la présentation des résultats de simulation obtenus dans notre étude.

## Abstract

Le transistor à effet de champ MOSFET (Métal Oxyde Semiconducteur Field Effect Transistor), en tant que brique de base des circuits intégrés, est le moteur principal de l'industrie du semiconducteur. La réduction de la taille des composants ne suffit plus à garantir de meilleures performances tout en réduisant le coût de fabrication. Afin de poursuivre l'augmentation des performances des dispositifs tout en maintenant l'architecture classique des MOSFETs, plusieurs solutions ont été envisagées au cours de cette évolution. L'objectif de cette étude est de mettre en évidence par simulation les effets des canaux courts dans les transistors MOSFET dans les modèles récents de petites dimensions, et d'étudier les paramètres pouvant influencer la variation de ces effets. Le modèle visé par notre étude est le transistor BSIM3, modèle très répandu dans l'industrie et conçu par l'université de Californie de Berkeley. C'est pour ce modèle que nous mettrons en évidence certains effets canaux courts dus à la diminution de la géométrie de ce dispositif. Nous nous sommes intéressées dans ce travail à l'étude d'un modèle de transistor à canal court de dernière génération appelée modèle BSIM 3, modèle très populaire et très présent actuellement dans l'industrie. Il permet d'aboutir à des simulations précises pour des technologies micrométriques. Pour conclure nous pouvons affirmer que ce travail nous a été très bénéfique, car il nous a permis d'utiliser un des logiciels les plus puissants et les plus utilisés dans la recherche et la simulation à travers le monde. Les résultats de simulation que nous avons obtenus permettent de mettre en évidence les effets indésirables des transistors MOSFET à canaux courts en général et le BSIM3 en particulier. Nous présenterons les rappels théoriques de la structure MIS et des dispositifs MOSFETs, nous présenterons le modèle du bsim3, modèle à canal court, objet de cette étude. Sera consacré à la présentation de certains effets indésirables des dispositifs MOSFET à canaux courts dus à la réduction de la taille des dispositifs. A été bien évidemment consacré à la présentation des résultats de simulation obtenus dans notre étude.

## استنتاج عام

MOSFET تأثير الحقل (حقل اشباه الموصلات المعدنية أكسيد ترانزستور تأثير)، بوصفها لبنة للدوائر المتكاملة، هو المحرك الرئيسي لصناعة أشباه الموصلات. تقليل حجم المكونات لم يعد كافياً لضمان أداء أفضل مع تخفيض تكلفة التصنيع. لزيادة أداء الجهاز مع الحفاظ على العمارة التقليدية من الدوائر المتكاملة منخفضة المقاومة، والنظر في بدائل عدة خلال هذا التطور. الهدف من هذه الدراسة هو للتدليل على محاكاة الآثار قناة قصيرة في الدوائر المتكاملة منخفضة المقاومة في النماذج الحديثة من الحجم الصغير، ودراسة المعايير التي يم في اختلاف هذه الآثار التي وصفها نموذج دراستنا هو 3BSIM  
جامعة كاليفورنيا في . وهذا هو النموذج الذي سنقوم بعض الأدلة على آثار قناة قصيرة في الحد من الهندسة من هذا الجهاز. ونحن مهتمون في هذا العمل هو دراسة نموذج من الترانزستور قناة قصيرة ودعا المقبل نموذج BSIM جيل 3، نموذج بشعبية كبيرة، والآن في هذه الصناعة، ويمكن أن تؤدي إلى محاكاة دقيقة التكنولوجيا. اختتام يمكننا ان نقول ان هذا العمل كان مفيدا للغاية لأنه سمح لنا لاستخدام واحد من البرامج الأكثر قوة واستخدامها على نطاق واسع في مجال البحث والمحاكاة في جميع أنحاء العالم. نتائج المحاكاة التي حصلنا عليها تسمح لتسليط الضوء على الآثار السلبية للقناة قصيرة الدوائر المتكاملة منخفضة المقاومة بشكل عام وعلى وجه ال 3BSIM سنقدم التذكير النظري للبنية نظم المعلومات الإدارية والأجهزة MOSFET 3bsim نموذج قصيرة قناة، في هذه الدراسة. وسيخصص لعرض بعض الآثار الجانبية للأجهزة MOSFET قصيرة قناة نظرا لانخفاض حجم الأجهزة.  
عليها في دراستنا.