



REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR

ET DE LA RECHERCHE SCIENTIFIQUE



UNIVERSITE ABOU BAKR BELKAID - TLEMCEM

FACULTE DE TECHNOLOGIE

DEPARTEMENT DE GENIE ELECTRIQUE ET ELECTRONIQUE

INSTRUMENTATION ELECTRONIQUE

MEMOIRE

Pour l'obtention du

DIPLOME DE MASTER

EN

INSTRUMENTATION ELECTRONIQUE

Présenté par :

Mr. BAGAIGA BASOMA Richard

Mr. EL BESRI Abderrahmen

THEME

**ETUDE ET REALISATION D'UN SIMULATEUR LOGIQUE POUR
LABORATOIRE**

Soutenu en JUNE 2015 devant le jury :

Président : *GHAFFOUR Khair-Eddine* *Mc à l'université de Tlemcen*

Examineur : *MOULAY KHATIR Nassim* *Mc à l'université de Tlemcen*

Encadreur : *GUEN-BOUAZZA. Ahlam.,* *Mc à l'université de Tlemcen*

Année universitaire : 2014 - 2015

Résumé:

Le simulateur logique est un outil qui permet de vérifier des fonctions logiques de base par des interrupteurs et LED, aussi vérifier des tables de vérité. Alimenter la platine avec une tension de 5V, ce qui permet d'alimenter automatiquement les circuits intégrés, relier les entrées de la porte (0V ou 5V au choix) en mettant des fils, relier les sorties des portes à un multiplexeur et relier la sortie du multiplexeur à une visualisation.

Mots clés : Circuits logiques combinatoires, l'algèbre de Boole, circuits intégrés

Abstract:

The logic simulator is a tool that helps to verify basic logic functions by the use of switches and LED, also verifies the truth tables. Supply the plate with a voltage of 5V, this allows to automatically supply the integrated circuits, connect the inputs of the gate (0V or 5V optional) by using wires, connect outputs of the gate to the multiplexer and connect the output of the multiplexer to a visualization.

Keywords: Combinational logic circuits, Boolean algebra, integrated circuits.

Remerciement

Nous remercions Dieu le tout puissant de nous avoir donné le courage et la volonté de parvenir à la fin de notre parcours universitaire.

Nous tenons à remercier tous ceux qui nous aidé, conseillé et encouragé à fin de réaliser ce modeste travail.

Et aussi on n'oublie pas de remercier Mme G U E N - B O U A Z Z A . A h l a m , notre encadreur pour tout son Soutien et ces conseils qui nous ont apporté de l'aide dans la réalisation de notre projet.

Nos remerciements vont aussi à tous le corps pédagogique : enseignants, administrateurs, employés du département de Génie électrique et électronique ainsi que toutes les personnes de notre faculté.

Nous tenons à remercier MR G H A F F O U R K h e i r e d d i n e d' avoir accepté de présider le jury. Ainsi que MR M O U L A Y K H A T I R N a s s i m d' en être l'examinateur

Dédicaces

*Je dédie ce modeste travail aux personnes les plus chère au monde : mes parents qui mon toujours aidé et encouragé dans mon parcours universitaire, sans oublié leurs sacrifice et
Amour.*

A ma chérie et unique sœur : Mbeiza Aidah.

A mes frères : David, Robert, Derrick, Ronald et Raymond.

A mon collègue et mon binôme El Besri

*A tous le personnel des laboratoires pédagogiques d'électronique
Sans oublié tous les étudiants de la promotion Master2
Instrumentation Electronique.*

Richard

Je dédie ce modeste travail aux :

À ma chère mère Mme EL BESRI Aicha.

À mon agréable père Mr KHALIFA

*À tous mes proches de la famille EL BESRI, et plus
particulièrement mes sœurs et mes frères tout à son prénomment
sans oublier la famille BENAISSI*

*A tous le personnel des laboratoires pédagogiques d'électronique
Sans oublié tous les étudiants de la promotion Master2
Instrumentation Electronique.*

El Besri

Liste des figures

Figure I.1 : symbole de circuit servant à représenter une porte OU à deux entrées.....	16
Figure I.2: symbole d'une porte ET à deux entrées.....	17
Figure I.3. Le symbole du circuit NON.....	18
Figure I.4: le symbole du circuit NON-OU (NOR).....	19
Figure I.5 : symbole de la porte NON OU.....	19
Figure I.6: le symbole du circuit NON-ET (NAND).....	20
Figure I.7: Symbole.....	20
Figure I. 8: symbole d'une porte OU-exclusif.....	21
Figure I.9 : porte XOR.....	22
Figure I.10: symbole d'une porte NON-OU-exclusif.....	23
Figure I- 11 : Symbolique des fonctions NOT.....	25
Figure I- 12 : Symbolique des fonctions logiques de base.....	30
Figure II.1 : schéma logique.....	32
Figure II.2 : le symbole d'un schéma du multiplexeur.....	33
Figure II.3 : deux entrées Multiplexeur Conception.....	33
Figure II.4 : schéma symbolique.....	34
Figure II.5 : Exemple de réalisation d'un multiplexeur à 4 voies.....	35
Figure II.6 : Mise en œuvre de 8x1 MUX utilisant 4x1 et 2x1 MUXs.....	37
Figure II.7 : le tableau de vérité et MUX 16 :1.....	37
Figure III.1 : schéma synoptique du simulateur.....	40
Figure III.3 : CMOS 4011.....	41
Figure III.9: Le CI 74HC4051.....	46
Figure III.9 : Schéma électrique.....	46
Figure III.10 : Réalisation pratique sur plaque d'essai de notre simulateur logique.....	51
Figure III.11 : Schéma du circuit imprimé.....	51
Figure III.12.b : partie visualisation.....	52
Figure III.13 : Simulation du simulateur avec Isis.....	54
Figure III.14 : Chronogramme de la porte AND.....	55
Figure III.15 : Chronogramme de la porte NAND.....	55
Figure III.16 : Chronogramme de la porte OR.....	55
Figure III.17 : Chronogramme de la porte NOR.....	56
Figure III.18 : Chronogramme de la porte EXOR.....	56
Figure III.19 : Chronogramme de la porte EXNOR.....	56

Liste des tables

Table I-1 : Diverses appellations pour les niveaux logiques.....	12
Table I-2 : Fonctions d'une variable.	13
Table I-3 : Fonctions de deux variables.....	14
Table I-4 : Tables de vérité a, b, c.....	15
Table I- 5 : Table de vérité définissant l'opération OU.....	16
Table I- 6 : Table de vérité définissant l'opération ET.....	17
Table I- 7 : La table de vérité du circuit NON.....	18
Table I- 8 : a) La table de vérité et b)	19
Table I- 9 : La table de vérité.....	20
Table I- 10 : Table de vérité définissant l'opération OU-exclusif.....	21
Table I- 11 : Table de vérité définissant l'opération OU-exclusif pour 3 entrées.	22
Table I- 12 : Table de vérité définissant l'opération NON-OU-exclusif.....	23
Tableau II-1 : tableau de vérité.....	32
Tableau II-2 : Tableau indiquant l'entrée sélectionnée en fonction De l'état des entrées de sélection.....	35
Tableau III-1 : Table de vérité et fonctionnement du MUX.....	46
Tableau III-2 : table de vérité de l'IC4.	50

SOMMAIRE

Introduction générale.....	10
----------------------------	----

Chapitre I: Rappel sur les fonctions logique

I.1. Introduction.....	12
I.2. Les portes, fonctions logique, combinatoires simples.....	12
I.2.1. Définitions.....	12
I.2.1.1. Les états logique.....	13
I.2.1.2. Les variables logique.....	13
I.2.1.3. Les fonctions logique.....	13
I.2.2. Fonctions logiques à une et deux variables.....	13
I.2.2.1. Fonction d'une variable.....	13
I.2.2.2. Fonctions à deux variables.....	14
I.3. Tables de vérité.....	15
I.4. L'opération OU (OR).....	16
I.4.1. La porte OU (OR).....	16
I.5. L'opération ET (AND).....	16
I.5.1. La porte ET (AND).....	17
I.6. L'opération NON (NOT).....	17
I.6.1. Le circuit inverseur (NOT).....	18
I.7. Les portes NON-OU (NOR) et NON-ET (NAND).....	18
I.7.1. Les portes NON-OU (NOR).....	18
I.7.2. Les portes NON-ET (NAND).....	18
I.8. Circuits OU-exclusif (XOR) et NON-OU-exclusif (XNOR).....	21
I.8.1. La porte OU-exclusif (XOR).....	21
I.8.2. La porte NON-OU-exclusif (XNOR).....	22
I.9. Les familles logique.....	23
I.9.1. La technologie TTL.....	24
I.9.2. La technologie CMOS.....	25
I.9.3. Caractéristique des portes électronique.....	26
I.10. Symbolique des opérations de bases.....	28

Chapitre II : Multiplexeur MUX

II.1. Introduction.....	32
II.2. Définition.....	32
II.3. Types de multiplexeurs.....	32
II.3.1. Le 2 vers 1 multiplexeur.....	32
II.3.2. Le 4 vers 1 multiplexeur.....	34
II.3.3. Les 8 vers 1 et 16 vers 1 multiplexeur.....	36
II.4. Conclusion.....	38

Chapitre III : Réalisation pratique

III.1. Schéma synoptique du simulateur.....	40
III.1.2. Explication.....	40
III.2. Etude théorique des différents étages.....	41
III.2.1. Niveau de tension.....	41
III.3. Circuit intégré.....	42

III.3.1.	
Introduction.....	42
III.3.2. Circuit intégré 4011.....	42
III.3.2.1. Les portes universelles.....	43
III.3.2.1.1. Les portes AND et NAND.....	43
III.3.2.1.2. Les portes OR et NOR.....	44
III.3.2.1.3. Les portes EXOR et EXNOR.....	44
III.4. Multiplexeur 4051.....	45
III.4.1. Introduction.....	45
III.4.2. Fonctionnement.....	45
III.4.2.1. Table de vérité.....	46
III.5. Visualisation.....	46
III.5.1. LED et résistance séries.....	46
III.5.1.1. Calcul de la résistance série pour la LED.....	47
III.6. Réalisation pratique.....	49
III.6.1. Schéma électrique.....	49
III.6.2. Analyse du circuit.....	49
III.6.3. Réalisation sur la plaque d'essais sans soudre.....	50
III.6.4. Tracé du circuit imprimé.....	51
III.6.5. Circuit imprime.....	52
III.6.6. Implantation des composants.....	52
III.6.7. Visualisation par l'oscilloscope.....	53
III.6.8. Simulation.....	55
Conclusion générale.....	60
Bibliographie.....	61
Annexes.....	62

Introduction générale

Introduction générale

Différentes maquettes électroniques font appel aux circuits intégrés numériques, aussi appelés « circuits logique combinatoires ». Il s'agit là d'une application directe de l'algèbre de Boole. Nous les retrouvons dans nos schémas électroniques sous la forme de portes logiques encore nommées « opérateurs binaires », sous la forme de circuits intégrés en boîtiers.

Le grand principe de cette branche primordiale de mathématiques modernes, consiste à reconnaître qu'une proposition peut être vraie ou fausse. Ainsi, nous parlerons d'un état « haut » (proche de la tension d'alimentation) ou d'un état « bas » (proche du zéro volt ou masse). En fait, ces niveaux H ou L seront notés 1 ou 0, comme il est de règle en écriture logique. Un état sera donc le complément ou le contraire de l'autre. Ces deux niveaux logique ne doivent évidemment pas se chevaucher et ne pourront être présents simultanément à un endroit donné. Une porte ouverte ne peut être fermée, toute comme une LED allumée ne peut être éteinte. C'est pourquoi, nous avons construit une petite maquette qui permettant de tester toutes les fonctions logiques existantes aujourd'hui mettant en œuvre le fonctionnement de 8 portes : c'est ce qu'on appelle « **un simulateur logique.** »

Quand nous choisissons la fonction souhaitée, si on affecte aux deux entrées une valeur logique, cette dernière est immédiatement visualisée et on analyse le résultat obtenu en sortie. La petite taille de la maquette et son utilisation épisodique autorisent une alimentation à partir d'une simple pile de 5V. Les niveaux logiques 1 et 0 seront clairement définis par l'utilisation de LEDs vertes/rouges.

Ce mémoire constitue trois chapitres. Le premier chapitre intitulé « Rappel sur les fonctions logique » présente les différentes portes logiques et algèbre de Boole. Le deuxième chapitre intitulé « Multiplexeur » présente le principe fonctionnement d'un multiplexeur. Le troisième et dernier chapitre intitulé « Analyse du schéma électronique » permet l'analyse de notre simulateur de portes logiques et présente les différents résultats de simulation et résultats pratiques obtenus.

Chapitre I

Rappel sur les fonctions logiques

I.1 : Introduction

Aux deux classes de fonctions logiques, les fonctions logiques combinatoires et les fonctions logiques séquentielles, correspondent essentiellement deux types de circuit logique : les portes et les bascules. Chaque circuit élémentaire, assure une fonction logique. Il lui est associé une équation logique et une table de vérité ainsi qu'une représentation symbolique. On a rassemblé dans ce chapitre les principales portes considérées comme éléments de base de tout système logique.

Tous les circuits numériques fonctionnent en mode binaire, c'est-à-dire un mode dans lequel les signaux ne peuvent prendre que deux valeurs, soit '0' ou soit '1'. Les valeurs '0' et '1' correspondent à des plages de tensions définies à l'avance. Cette caractéristique des circuits logiques nous permet de recourir à l'algèbre de Boole pour l'analyse et la conception de systèmes numériques. Dans ce chapitre, nous étudierons les portes logiques, qui constituent les blocs élémentaires des circuits logiques et nous verrons comment il est possible de décrire leur fonctionnement grâce à l'algèbre booléenne. Aussi, nous vous montrons comment on réussit à construire des circuits logiques en combinant les portes et comment l'algèbre de Boole parvient à décrire et à analyser ces derniers.

I.2 : Les portes, fonctions logique combinatoires simples.

I.2.1 : Définitions

I.2.1.1 : Les états logiques

L'algèbre booléenne se distingue principalement de l'algèbre ordinaire par des constantes et des variables qui ne peuvent prendre que les deux valeurs possibles 0 et 1. Une variable booléenne est une grandeur qui peut, à des moments différents, avoir la valeur 1 ou 0. Les variables booléennes servent souvent à représenter un état d'un système. Nous pouvons dire qu'une lampe est soit allumée, soit éteinte. Nous traduirons cela en indiquant que la lampe est soit à '1' (pour l'état allumée) soit à '0' (pour l'état éteinte). Nous pouvons faire de même avec un interrupteur qui est soit ouvert ('0'), soit fermé ('1').

Ainsi, les valeurs booléennes 0 et 1 ne représentent pas des nombres réels mais plutôt l'état logique d'une variable. Dans le domaine de la logique numérique, on utilise d'autres expressions qui sont synonymes de 0 et 1. Certaines de ces expressions sont représentées dans le Tableau 4-1 ci-dessous.

Niveau logique 0	Niveau logique 1
Faux	Vrai
Arrêt	Marche
Bas	Haut
Non	Oui
Ouvert	Fermé

Table I-1 : Diverses appellations pour les niveaux logiques.

I.2.1.2 : Les variables logiques

Une variable logique est une grandeur qui ne peut prendre que les deux états logiques. Ils s'excluent mutuellement. Nous les symboliserons par 0 ou 1.

I.2.1.3: Les fonctions logiques

Une fonction logique est une variable logique dont la valeur dépend d'autres variables.

L'algèbre de Boole est un outil qui permet d'exprimer les effets qu'ont les divers circuits numériques sur les variables logiques et de les manipuler en vue de déterminer la meilleure façon de matérialiser une certaine fonction logique. Parce qu'il n'y a que deux valeurs possibles, l'algèbre booléenne se manipule plus aisément que l'algèbre ordinaire. En algèbre booléenne, il n'y a pas de fraction, de partie décimale, de nombre négatif, de racine carrée, de racine cubique, de logarithmes, de nombre imaginaire... En fait, dans cette algèbre, on ne retrouve que trois opérations élémentaires, voir ci-après.

- a. La fonction logique OU (or)
Cette fonction est très souvent représentée par le symbole (+)
- b. La fonction logique ET (and)
Nous utiliserons le symbole (.)
- c. La fonction logique d'inversion NON (not)
Nous utiliserons le symbole ($\bar{\quad}$)

I.2.2 : Fonctions logiques à une et deux variables

Le fait que les variables d'entrées aient un nombre de valeurs possibles fini implique l'existence d'un nombre fini de fonctions pour un nombre donné de variables.

Nous allons commencer par étudier les fonctions logiques possibles avec une variable puis avec deux variables. L'étude de ces deux cas nous permettra de découvrir tous les opérateurs de base de l'algèbre de Boole donc des systèmes logiques.

I.2.2.1 : Fonctions d'une variable

Une variable peut présenter deux états logiques (0 et 1), nous pouvons ainsi obtenir 4 fonctions possibles avec cette unique variable. La figure I .1 nous donne le tableau des 4 fonctions d'une variable avec leur équation logique.

Variable	Fonctions			
	F1.0	F1.1	F1.2	F1.3
A				
0	0	0	1	1
1	0	1	0	1

F1.0 = constante = 0
F1.1 = A
F1.2 = non A = $A = \bar{A}$
F1.3 = constante = 1

Table I.2 : Fonctions d'une variable.

L'étude des fonctions d'une variable nous fait découvrir la fonction NON (not). Cette fonction est présentée dans le paragraphe "L'opération NON (NOT)".

I.2.2.2 : Fonctions à deux variables

Dans le cas de deux variables, nous avons 4 combinaisons possibles. Nous obtenons ainsi 16 fonctions possibles avec ces deux variables (24). La figure 2 -2 nous donne le tableau des 16 fonctions de deux variables avec leur équation logique.

Variables		Fonctions F2.x															
A	B	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

Table I. 3 : Fonctions de deux variables

Nous obtenons les fonctions suivantes :

$$F2.0 = \text{constante} = 0$$

$$F2.1 = A \text{ ET } B = A.B$$

$$F2.2 = A \text{ ET NON } B = A.\bar{B}$$

$$F2.3 = A$$

$$F2.4 = \text{NON } A \text{ ET } B = \bar{A}.B$$

$$F2.5 = B$$

$$F2.6 = (\text{NON } A \text{ ET } B) \text{ OU } (A \text{ ET NON } B) = \bar{A}.B + A.\bar{B} = \text{cette fonction se nomme OU-exclusif,}$$

$$F2.7 = A \text{ OU } B = A + B$$

Les fonctions F2.8 à F2.F sont respectivement les inverses des fonctions F2.7 à F2.0. Parmi ses fonctions, nous noterons au passage que :

$$F2.8 = \text{NON } F2.7 = \text{NON } (A \text{ OU } B) = \overline{A + B} = \bar{A}.\bar{B}$$

$$F2.9 = \text{NON } F2.6 = \text{NON } (A \text{ OU-exclusif } B) = \overline{A \oplus B}$$

$$F2.A = \text{NON } F2.5 = \text{NON } B = \bar{B}$$

$$F2.B = \text{NON } F2.4$$

$$F2.C = \text{NON } F2.3 = \text{NON } A = \bar{A}$$

$$F2.D = \text{NON } F2.2$$

$$F2.E = \text{NON } F2.1 = \text{NON } (A \text{ ET } B) = \overline{A.B} = \bar{A} + \bar{B}$$

$$F2.F = \text{NON } F2.0 = \text{constante} = 1$$

L'étude des fonctions à deux variables nous fait découvrir les fonctions de bases ET "AND" et OU "OR". Nous voyons aussi les fonctions composées NON-ET, NON-OU et la fonction particulière OU-exclusive.

I.3 : Tables de vérité

De nombreux circuits logiques possèdent plusieurs entrées et seulement une sortie. Une table de vérité nous fait connaître la réaction d'un circuit logique (sa valeur de sortie) aux diverses combinaisons de niveaux logiques appliqués à ses entrées. Différentes tables de vérités pour deux, trois et quatre entrées sont données ci-dessous.

B	A	X
0	0	?
0	1	?
1	0	?
1	1	?

a)

C	B	A	X
0	0	0	?
0	0	1	?
0	1	0	?
0	1	1	?
1	0	0	?
1	0	1	?
1	1	0	?
1	1	1	?

b)

D	C	B	A	X
0	0	0	0	?
0	0	0	1	?
0	0	1	0	?
0	0	1	1	?
0	1	0	0	?
0	1	0	1	?
0	1	1	0	?
0	1	1	1	?
1	0	0	0	?
1	0	0	1	?
1	0	1	0	?
1	0	1	1	?
1	1	0	0	?
1	1	0	1	?
1	1	1	0	?
1	1	1	1	?

c)

Table I- 4 : Tables de vérité: a) table à deux entrées; b) table à trois entrées; c) table à quatre entrées.

Dans chacune de ces tables, toutes les combinaisons possibles de 0 et de 1 pour les entrées (D, C, B, A) apparaissent à gauche, tandis que le niveau logique résultant de la sortie, X, est donné à droite. Pour le moment, il n'y a que des points d'interrogations "?" dans ces colonnes, car les valeurs de sortie sont différentes pour chaque type de circuit.

Notez que dans la table de vérité à deux entrées il y a quatre lignes, que dans celle à trois entrées il y a huit lignes et que dans la table à quatre entrées, il y en a seize. Pour une table de N entrées, il y a 2^N lignes. De plus, vous remarquerez sans doute que la succession des combinaisons correspond à la suite du comptage binaire, de sorte que la détermination de toutes les combinaisons est directe et qu'on ne peut pas en oublier.

I.4 : L'opération OU (OR)

Soit deux variables logiques indépendantes, A et B. Quand on combine A et B au moyen de la fonction logique OU, le résultat X satisfait l'expression suivante :

$$X = A + B \quad (1)$$

Dans cette équation, le signe + indique un OU logique. La fonction de sortie est active si A OU B est actif. Le fonctionnement de cet opérateur est défini par la table de vérité de la table I- 5.

A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

Table I- 5 : Table de vérité définissant l'opération OU

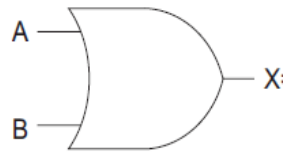


Figure I.1 : symbole de circuit servant à représenter une porte OU à deux entrées.

Dans de nombreuses littératures, l'opérateur OU est représenté par le symbole de l'addition, soit $X = A + B$. Qu'il ne faut pas confondre l'opérateur logique OU avec l'opérateur arithmétique d'addition (+).

I.4.1 : La porte OU (OR)

Une porte logique "OU" à deux entrées est un circuit dont la sortie est active si l'une ou l'autre des entrées est active. En figure I- 4 nous présentons le symbole utilisé pour représenter une porte OU à deux entrées. De manière générale, la fonction de sortie d'une porte OU à " n" entrées est active (niveau 1) si **une seule** entrée est active (niveau 1). La fonction de sortie est inactive (niveau 0) si **toutes** les entrées sont inactives (niveau 0).

I.5 : L'OPÉRATION ET (AND)

Soit deux variables logiques indépendantes, A et B. Quand on combine A et B au moyen de la fonction logique "ET", le résultat X s'exprime symboliquement par l'expression suivante :

$$X = A \cdot B \quad (2)$$

Dans cette expression, le signe (\cdot) signifie l'opération booléenne ET, dont les règles d'opération sont données dans la table de vérité I- 6.

A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

Table I- 6 : Table de vérité définissant l'opération ET

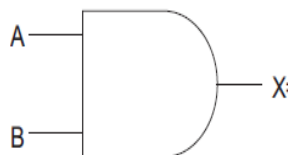


Figure I.2: symbole d'une porte ET à deux entrées.

D'après cette table, vous pouvez facilement déduire que la fonction logique ET correspond à la multiplication en binaire. Quand A ou B est 0, le produit est nul; quand A et B sont égaux à 1, leur produit est égal à 1. Il nous est donc possible d'affirmer que dans l'opération ET la réponse est 1 si et seulement si toutes les entrées sont à 1, et qu'elle est 0 dans tous les autres cas.

I.5.1 : La porte ET (AND)

En figure I- 5.b nous présentons le symbole d'une porte ET à deux entrées. La sortie de cette porte est égale au ET logique des deux entrées, c'est-à-dire $X = A \cdot B$. Exprimée autrement, la porte ET est un circuit logique qui active sa sortie (niveau 1) seulement lorsque toutes ses entrées sont actives (niveau 1). Dans tous les autres cas, la sortie de la porte ET est inactive (niveau 0)

De manière générale, la fonction de sortie d'une porte ET à n entrées est active (niveau 1) uniquement lorsque **toutes** les entrées sont actives (niveau 1). La sortie d'une porte ET est inactive (niveau 0) si **une seule** des entrées est inactive (niveau 0).

I.6 : L'opération NON (NOT)

L'opération NON, contrairement aux opérations ET et OU, ne concerne qu'une variable d'entrée. Par exemple, si la variable A est soumise à une opération NON, le résultat X est donné par l'expression:

$$X = \bar{A} \quad (3)$$

Où le trait de surlignement représente l'opération NON. L'opération NON porte également le nom d'inversion ou de complémentation. On trouve un autre signe pour indiquer une inversion: il s'agit de point d'exclamation (!). Donc :

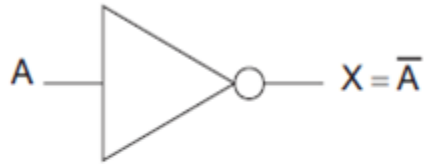
$$!A = \bar{A} \quad (4)$$

I.6.1 : Le circuit INVERSEUR (NOT)

le symbole de l'inverseur est représenté en figure I- 6. Un tel circuit n'a toujours qu'une entrée, et sa sortie prend le niveau logique opposé du niveau logique de l'entrée.

A	X = \bar{A}
0	1
1	0

Table I- 7 : La table de vérité du circuit NON



b) porte NON (NOT)

Figure I.3. Le symbole du circuit NON.

I.7 : Les portes NON-OU (NOR) et NON-ET (NAND)

En technique numérique, on retrouve très souvent deux autres types de portes logiques: la porte NON-OU (NOR) et la porte NON-ET (NAND). En réalité, ces portes correspondent à des combinaisons d'opérations élémentaires ET, OU et NON, et il est relativement facile de les décrire au moyen des fonctions de l'algèbre booléenne que nous connaissons préalablement.

I.7.1 : La porte NON-OU (NOR)

On peut voir à la figure i- 7 le symbole d'une porte NON-OU à deux entrées. Nous constatons que c'est le symbole d'une porte OU sauf qu'il y a un petit rond à la pointe. Ce petit rond correspond à une opération d'inversion. Ainsi, la porte NON-OU a un fonctionnement analogue à une porte OU suivie d'un INVERSEUR. L'expression de sortie d'une porte NON-OU est:

$$X = \overline{A + B} \quad (5)$$

La table de vérité est donnée à la figure I- 7 nous apprenons que la sortie d'une porte NON-OU est exactement l'inverse de celle d'une porte OU pour toutes les combinaisons des entrées.

A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

Table I- 8 : a) La table de vérité et b)

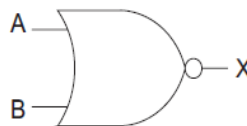


Figure I.4: le symbole du circuit NON-OU (NOR).

De manière générale, la fonction de sortie d'une porte NON-OU à n entrées est active (niveau 1) uniquement lorsque **toutes** les entrées sont inactives (niveau 0). La sortie d'une porte NON-OU est inactive (niveau 0) si **une seule** des entrées est active (niveau 1).

Par De Morgan, nous pouvons montrer que la porte NOR est équivalent à :

$$X = \overline{A + B} = \overline{A} \cdot \overline{B} \quad (6)$$

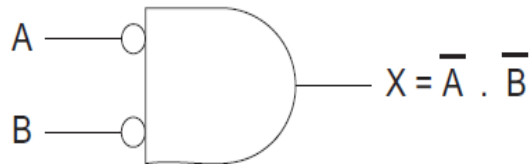


Figure I.5 : symbole de la porte NON OU.

I.7.2 : La porte NON-ET (NAND)

On peut voir à la figure 4- 8 le symbole d'une porte NON-ET à deux entrées. Vous voyez que c'est le symbole d'une porte ET sauf qu'il y a un petit rond à la pointe. Encore une fois, ce petit rond correspond à une opération d'inversion. Ainsi, la porte NON-ET a un fonctionnement analogue à une porte ET suivie d'un INVERSEUR. L'expression de sortie d'une porte NON-ET est $X = \overline{A \cdot B}$

La table de vérité montrée à la figure I- 8 nous apprend que la sortie d'une porte NON-ET est exactement l'inverse de celle d'une porte ET pour toutes les combinaisons des entrées.

A	B	X
0	0	1
0	1	1
1	0	1
1	1	0

Table I- 9 : La table de vérité

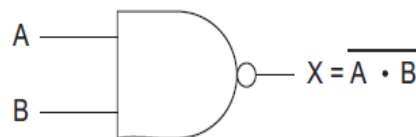


Figure I.6: le symbole du circuit NON-ET (NAND).

De manière générale, la fonction de sortie d'une porte NON-ET à n entrées est active (niveau 1) si **une seule** des entrées est inactive (niveau 0). La sortie d'une porte NON-ET est inactive (niveau 0) uniquement lorsque **toutes** les entrées sont actives (niveau 1). Par De Morgan, nous pouvons montrer que la porte NAND est équivalent à :

$$X = \overline{A \cdot B} = \bar{A} + \bar{B} \quad (7)$$

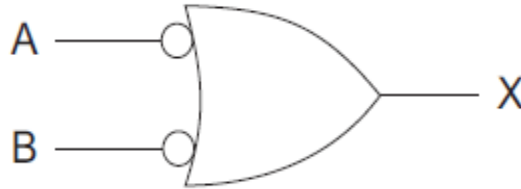


Figure I.7: Symbole

Applications typiques d'une porte ET-NON :

- Décodage de 1 parmi 2^x

Exemple : pour une porte ET-NON à 4 entrées, décodage de 1 parmi 16.

En effet, $X = 0$ seulement si $A = B = C = D = 1$.

Pour décode le nombre binaire 0000 la porte ET-NON recevra les signaux $\bar{A}\bar{B}\bar{C}\bar{D}$, pour décoder le chiffre 0001 la porte recevra les signaux $\bar{A}\bar{B}\bar{C}D$ etc...

- Transmission sous condition d'un signal logique avec inversion pour une porte ET-NON à 2 entrées A et B la sortie $S = \overline{A \cdot B}$ donc $S = \bar{A}$ si $B = 1$ et $S = 1$ quel que soit A si $B = 0$.

I.8 : Circuits OU-exclusif (XOR) et NON-OU-exclusif (XNOR)

Deux circuits logiques spéciaux qui interviennent souvent dans les systèmes numériques: le circuit OU-exclusif et le circuit NON-OU-exclusif.

I.8.1 : La porte OU-exclusif (XOR)

La sortie d'une porte OU-exclusif est au niveau haut seulement lorsque les deux entrées sont à des niveaux logiques différents. Une porte OU-exclusif n'a toujours que deux entrées. On veut dire par là qu'il n'existe pas de portes OU-exclusif à trois ou quatre entrées. Ces deux entrées sont combinées pour que: $X = \bar{A} \cdot B + A \cdot \bar{B}$. On abrège cette expression ainsi:

$$X = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B \quad (8)$$

On peut voir sur la figure I- 9 la table de vérité ainsi que le symbole d'une porte OU-exclusif.

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

Table I- 10 : Table de vérité définissant l'opération OU-exclusif;

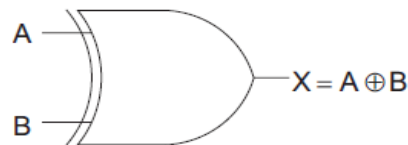


Figure I. 8: symbole d'une porte OU-exclusif.

La fonction de sortie d'une porte OU-exclusif indique la différence entre les deux signaux d'entrées. La sortie est active (niveau 1) si l'état logique des entrées est **différent**.

X = 1 si A = 0, B = 0 ou si A = 1, B = 0

$$\text{Donc } X = \bar{A}.B + A\bar{B}$$

Mais on peut également écrire que :

X = 0 si A = B = 0 ou si A = B = 1

$$\text{Donc } X = (A + B) (\bar{A}.B)$$

En définitive :

$$A \oplus B = \bar{A}.B + A\bar{B} = (A + B) (\bar{A}.B) \quad (10)$$

Notons que l'on peut réaliser cette fonction avec 4 portes NAND 2 entrées comme l'indique la figure I.10 :

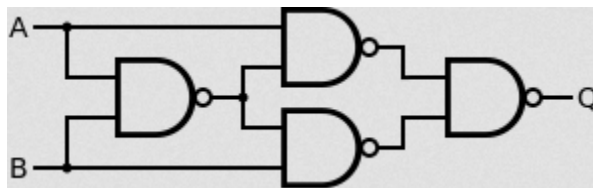


Figure I.9 : porte XOR

On notera enfin sur la table de vérité que suivant la valeur de A, la fonction X prend la valeur B (si A = 0) ou la valeur complétée \bar{B} (si A = 1). Cette propriété rend cette porte très utile pour les circuits de complémentation sous condition.

Enfin, dans le cas où il y a plusieurs variables ABC... on déduit de l'examen de la table de vérité que la fonction X vaut 1 si le nombre de variable qui sont à 1 est impair et 0 si ce nombre est pair.

Application : génération ou contrôle de parité.

A	B	C	X
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	0	1	1

Table I- 11 : Table de vérité définissant l'opération OU-exclusif pour 3 entrées.

Application de circuit ou exclusif.

- Addition binaire
- Comparaison de deux nombre binaire
- Générateur de parité
- Calcul de complément restreint d'un nombre
-

I.8.2 : NON-OU-exclusif (XNOR)

Le circuit NON-OU-exclusif a un fonctionnement exactement opposé à celui de l'OU-exclusif. La sortie d'une porte NON-OU-exclusif est au niveau haut seulement lorsque les deux entrées sont à des niveaux logiques identiques. On peut voir à la figure 4- 10 sa table de vérité ainsi que son symbole logique. L'expression de ce dernier est : $X = (\overline{A \cdot B}) + A \cdot B$ On abrège cette expression ainsi:

$$X = \overline{A \oplus B} \quad (11)$$

A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

Table I- 12 : Table de vérité définissant l'opération NON-OU-exclusif;

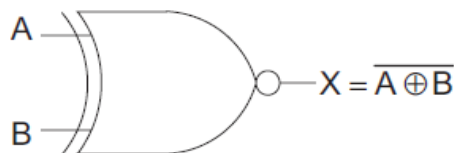


Figure I.10: symbole d'une porte NON-OU-exclusif.

De manière générale, la fonction de sortie d'une porte NON-OU-exclusif indique l'égalité entre les deux signaux d'entrées. La sortie est active (niveau 1) si l'état logique des entrées est **identique**. Le fonctionnement de cette porte correspond à un comparateur un bit. L'opérateur NON-OU-exclusif a une propriété particulière. L'inversion de la sortie peut être reportée sur l'une ou l'autre des entrées, soit :

$$\overline{A \oplus B} = \bar{A} \oplus B = A \oplus \bar{B} \quad (12)$$

Nous pourrions démontrer cette propriété avec l'algèbre de Boole.

I.9: Les familles logiques

Les circuits intégrés logiques sont classés suivant leur technologie de fabrication, Il existe 4 technologies principales :

- Logique à éléments discrets (diodes et transistors)
- Technologie TTL
- Technologie CMOS
- Technologie ECL

Pour un fonctionnement logique identique, chaque technologie offre des performances différentes sur le plan électrique (tensions, courants, puissances) et temporel (rapidité). Les technologies les plus utilisées aujourd'hui sont la technologie TTL et la technologie CMOS.

Rappel : Lorsque l'on travaille avec des circuits logiques deux états sont considérés : l'état haut et l'état bas. Ces deux états sont définis par des plages de tensions en fonction de la technologie utilisée. En logique positive l'état haut correspond à une présence de tension et à un « 1 » logique.

La logique à éléments discrets (OU à diodes, inverseur à transistor, etc.) est utilisée lorsque l'implantation d'un circuit intégré n'est pas justifié, mais présente les inconvénients suivants :

- dégradation du signal de sortie
- forte consommation
- nombre d'entrée limité

La technologie ECL est la plus récente de toutes ; son avantage principal est la **rapidité** (100 fois plus rapide que la série 4000 en CMOS). Mais en échange d'un temps de propagation relativement faible (moins de 1 ns) la technologie ECL présente les inconvénients suivants :

- consommation élevée
- difficulté de mise en œuvre
- prix des circuits logiques élevé
- nombre de fonctions logiques existantes limité dans cette technologie

I.9.1 : La technologie TTL

La technologie TTL (Transistor Transistor Logic), a vu le jour en 1964. Ses circuits logiques sont réalisés avec des transistors bipolaires NPN. Cette technologie propose aujourd'hui le plus grand choix de circuits. La **technologie TTL** se décompose en 7 **familles logiques** :

TTL standard 74xx

TTL Low power 74Lxx (faible consommation)

TTL Schottky 74Sxx (réalisé avec des transistors schottky)

TTL Low power Schottky 74LSxx (schottky faible consommation)

TTL Advanced Schottky 74ASxx (technologie schottky avancée)

TTL Advanced Low power Schottky 74ALSxx

TTL Fast 74Fxx (rapide)

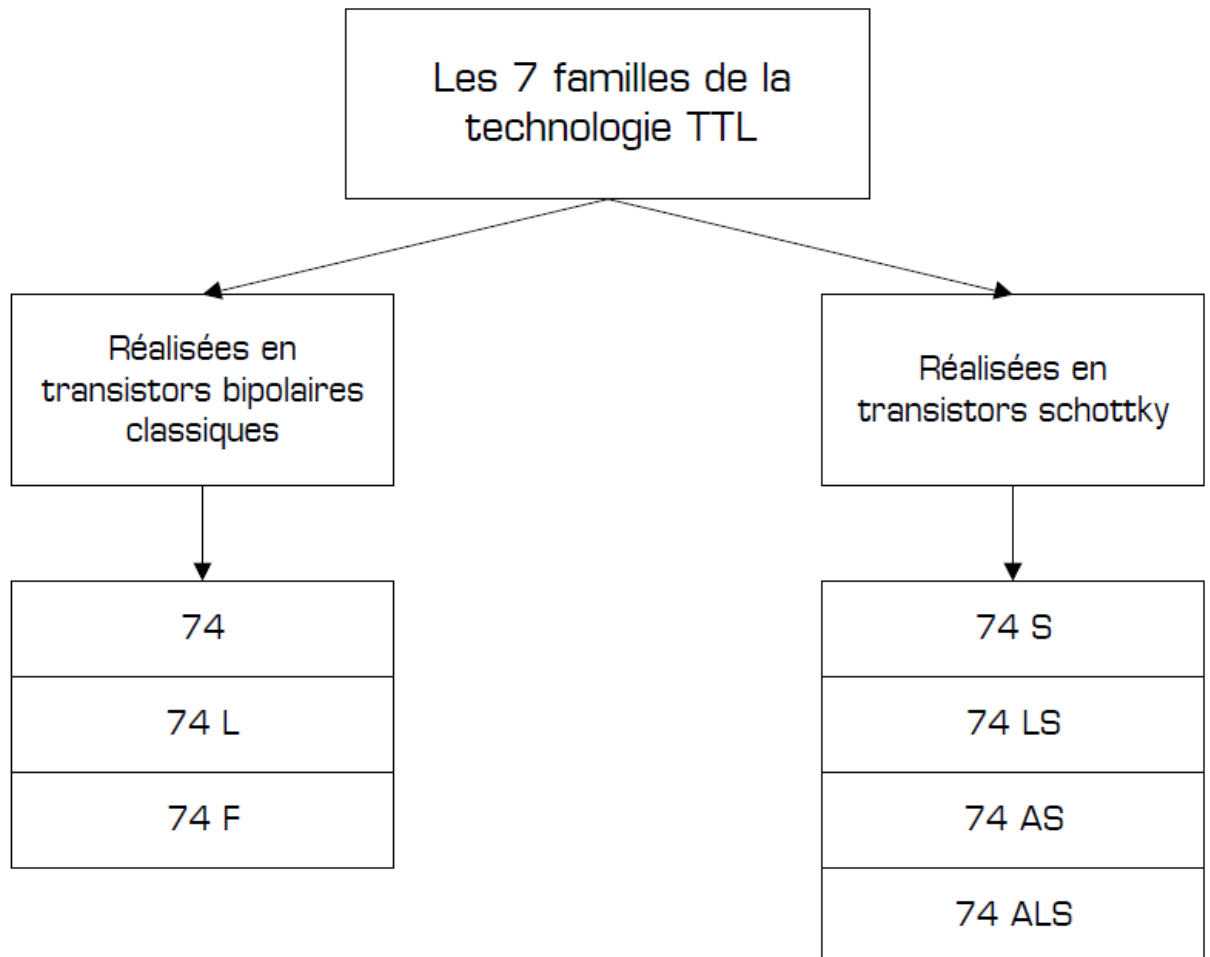
Dans la désignation d'une famille TTL, la signification des lettres **L**, **S**, **F**, et **A** est donc la suivante :

- **L** = Low power = faible consommation
- **S** = réalisée avec des transistors Schottky = rapidité
- **F** = Fast = rapide
- **A** = technologie Avancée

Remarque :

- Les 7 familles de la technologie TTL fonctionnent avec une tension d'alimentation de $+5V \pm 5\%$.

- Les familles logiques les plus utilisées aujourd'hui en technologie TTL sont les familles **LS** et **ALS**.
- Les jonctions d'un transistor Schottky sont réalisées à partir d'un semi-conducteur de type N ou P et d'un métal ; la conséquence est qu'un transistor Schottky est bien plus rapide qu'un transistor bipolaire classique, du fait de la jonction Métal / Semi-conducteur.
- Parmi les 7 familles de la technologie TTL, 3 sont réalisées avec des transistors bipolaire classiques, et 4 avec des transistors Schottky :



I.9.2 : La technologie CMOS

La technologie CMOS (Complémentaire Metal Oxyde Semiconductor), a vu le jour en 1970. Ses circuits logiques sont réalisés avec des transistors MOS. L'avantage principal de cette technologie est la faible consommation (au détriment de la rapidité).

La **technologie CMOS** se décompose en 6 **familles logiques** ; on y distingue les CMOS classiques (2 familles) et les CMOS rapides (4 familles) :

Les 2 familles en CMOS classiques sont :

- la série **4000** (alimentation de 3 à 18 V)
- **74 C** (même technologie que la série 4000, mais brochage et fonctions de la série 74)

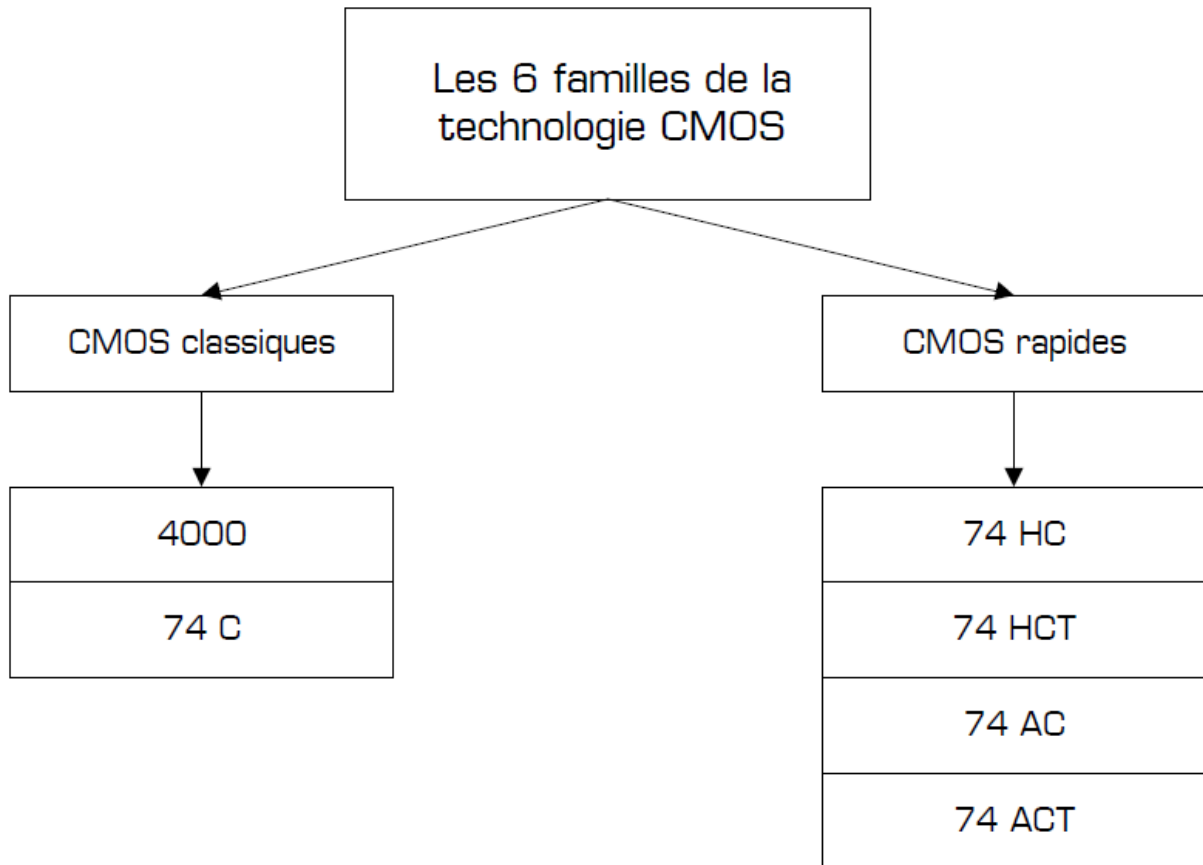
Les 4 familles en CMOS rapides :

- **74 HC** (CMOS rapide comme la famille TTL LS, alimentation de 2 à 6 V)
- **74 HCT** (compatibilité totale avec la famille TTL LS, alimentation 5V, rapidité et consommation de la famille CMOS HC)

- **74 AC** (CMOS encore plus rapide que la famille HC)
- **74 ACT** (CMOS AC compatible TTL)

Dans la désignation d'une famille CMOS, la signification des lettres **C**, **H**, **T**, et **A** est la suivante :

- **C** = Technologie CMOS
- **H** = **H**igh speed = rapidité
- **T** = compatibilité avec la technologie TTL
- **A** = Technologie **A**vancée



La série 4000 existe en version standard (circuits 4000) et en version bufférisée (circuits 4000B).

I.9.3 : Caractéristique des portes électroniques

Technologiquement, il existe actuellement deux familles prépondérantes de circuits logiques qui correspondent à deux techniques différentes de réalisation sous forme intégrée. Ces deux technologies sont la famille des circuits logiques TTL et la famille des circuits logiques CMOS. Parmi les avantages de ces deux familles, nous retiendrons la faible consommation statique et la grande impédance d'entrée ($\sim 10^9 \Omega$) des CMOS, ainsi que la rapidité de la famille TTL. Ces deux familles sont elles-mêmes divisées en plusieurs sous-classes le graphe et tableau ci-dessous répertorient leurs caractéristiques :

Types	Désignation	Temps de propagation	Consommation par porte	Fréquence maximum	Tension d'alimentation	Immunité aux bruits
TTL standard	7400	10 ns	10 mW	35 MHz	5 V 5%	0.4 V
TTL Low Power	74L00	33 ns	1 mW	3 MHz	5 V 5%	0.4 V
TTL High Speed	74H00	6 ns	22 mW	50MHz	5 V 5%	0.4 V
TTL schottky	74S00	3 ns	19 mW	125 Mhz	5 V 5%	0.4 V
TTL Low Power Schottky	74LS00	10 ns	2 mW	45 Mhz	5 V 5%	0.4 V
TTL Advanced L.P.S.	74ALS00	4 ns	1 mW	100 MHz	5 V 5%	0.4 V
CMOS	74C00	~100 ns	100 nW	3 MHz	3 à 18 V	20% de VCC
HCMOS	74HC00	15 ns	100 nW	15 MHz	3 à 6 V	20% de VCC

Tableau I.13 : les caractéristiques des CMOS et TTL

Les niveaux logiques de ces deux familles sont les suivants (V_{DD} est la tension d'alimentation des opérateurs logiques CMOS) :

		En entrée	En Sortie
TTL	Niveau haut	$> 2V$	$> 2.4V$
	Niveau bas	$< 0.8V$	$> 0.4V$
CMOS	Niveau haut	$> V_{DD}/2$	V_{DD}
	Niveau bas	$< V_{DD}/2$	V_{DD}

Tableau I.14 : Les niveaux logique

D'une manière plus précise, un circuit logique électronique est défini selon l'ensemble de ces paramètres électriques répertoriés dans ce qui suit :

- la plage des tensions d'alimentation et la tolérance admise sur cette valeur,
- la plage des tensions associée à un niveau logique, en entrée ou en sortie,
- les courants pour chaque niveau logique, en entrée ou en sortie,
- le courant maximum que l'on peut extraire d'une porte logique et le courant absorbé en entrée,
- la puissance maximale consommée qui dépend souvent de la fréquence de fonctionnement.

Les performances dynamiques principales sont :

- les temps de montée (transition bas-haut) et de descente (transition haut-bas) des signaux en sortie d'une porte,
- les temps de propagation d'un signal entre l'entrée et la sortie d'une porte logique.

I.10 : Symbolique des opérations de bases

Pour représenter les opérations de bases, nous recourons à un schéma dans lequel les opérateurs logiques seront remplacés par des symboles. Nous allons utiliser, dans le cadre de ce cours, des symboles CEI (norme européenne) sauf pour les opérateurs de bases où nous utiliserons les symboles MIL (norme américaine) qui sont plus lisibles. Par contre nous utiliserons la symbolique CEI pour indiquer l'inversion.

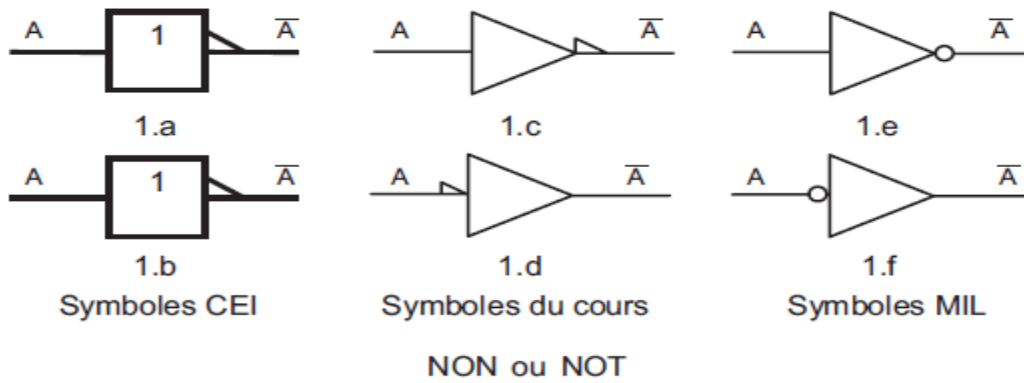
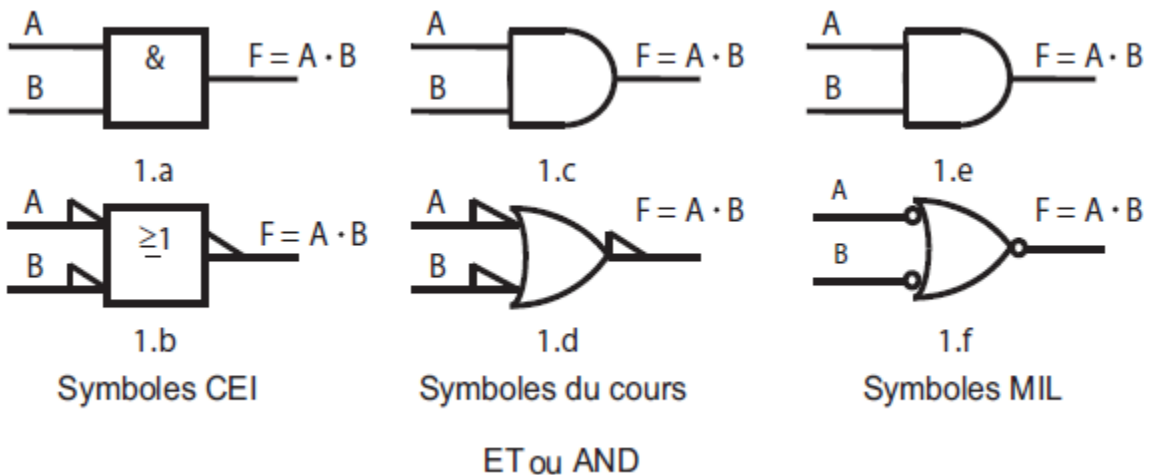
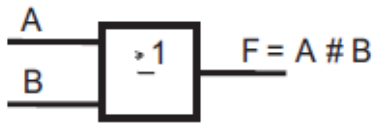


Figure I- 11 : Symbolique des fonctions NOT

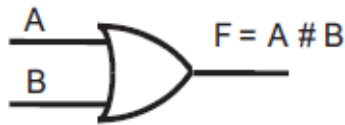
Le grand triangle marque l'amplification, le petit triangle l'inversion. On peut remarquer que l'inversion peut précéder ou suivre l'amplification. Pour les symboles 1.e et 1.f, le rond marque l'inversion. Nous utiliserons de préférence les symboles 1.c ou 1.d. Pour les symboles CEI, l'amplification se marque par un triangle.





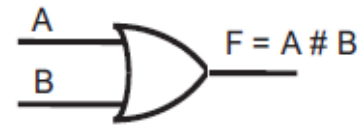
1.a

Symboles CEI



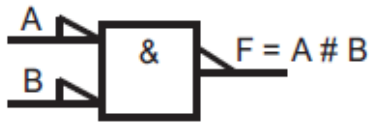
1.c

Symboles du cours



1.e

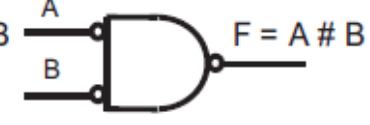
Symboles MIL



1.b

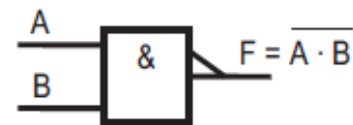


1.d



1.f

OU ou OR



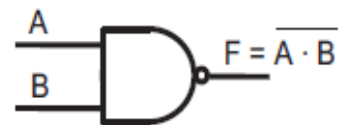
1.a

Symboles CEI



1.c

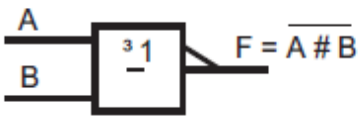
Symboles du cours



1.e

Symboles MIL

NON-ET ou NAND



1.a

Symboles CEI



1.c

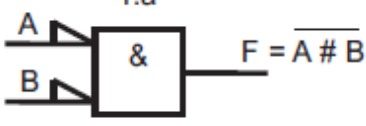
Symboles du cours



1.e

Symboles MIL

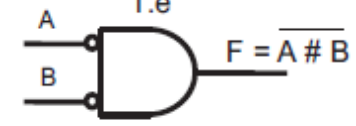
NON-OU ou NOR



1.b



1.d



1.f

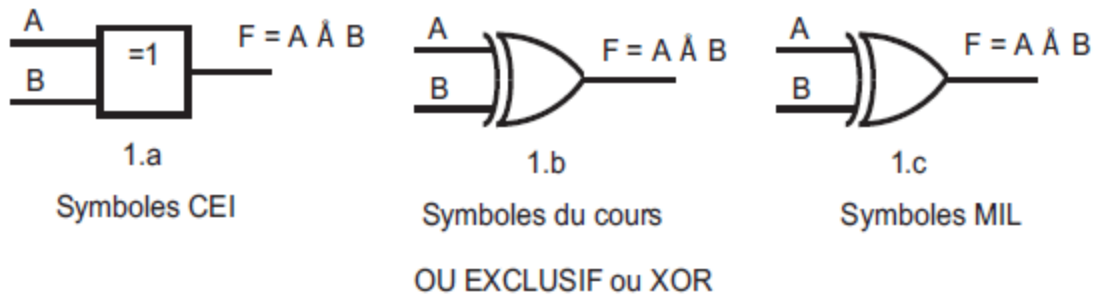


Figure I- 12 : Symbolique des fonctions logiques de base

REMARQUE

La fonction logique OU (or)
 Nous utiliserons le symbole (#)
 Cette fonction est très souvent représentée par le symbole (+)

Chapitre II

Le Multiplexeur

II-Multiplexeur (MUX)

II.1 : Introduction

Le multiplexeur, abrégé généralement en « MUX », est un circuit logique combinatoire conçu pour commuter une de plusieurs lignes d'entrée par l'intermédiaire d'une seule ligne de sortie commune par l'application d'un signal de commande. Multiplexeurs fonctionnent comme agissant très rapide positions multiples commutateurs rotatifs de liaison ou de contrôle de multiples lignes d'entrée appelés " canaux " un à la fois à la sortie.

Multiplexeurs, ou MUX, peuvent être soit des circuits numériques à base de portes logiques à grande vitesse utilisés pour passer des données numériques ou binaires ou ils peuvent être des types analogiques utilisant des transistors MOSFET de ou relais pour passer une de la tension ou les entrées de courant grâce à une seule sortie.

Dans notre mémoire de projet de fin d'études, nous utilisons multiplexeur fabriqué à partir de portes logiques à grande vitesse.

II.2 : Définition

Un multiplexeur est un système combinatoire qui reçoit N entrées et transmet par sortie S une de ces entrées au choix. Pour sélectionner cette entrée le multiplexeur reçoit une adresse codée (n fils si $N=2^n$) et en général on traite un nombre $N = 2^n$ d'entrées pour pouvoir utiliser toutes les combinaisons données par n bits.

II.3 : Types de multiplexeurs

II.3.1 : Le 2 vers 1 multiplexeur

Un multiplexeur deux -à-un est un circuit combinatoire qui utilise un commutateur de commande (A) pour relier une des deux lignes de données d'entrée ($D0D1$) ou à une même sortie (S). Une seule des lignes de données d'entrée peuvent être alignés à la sortie du multiplexeur à un moment donné.

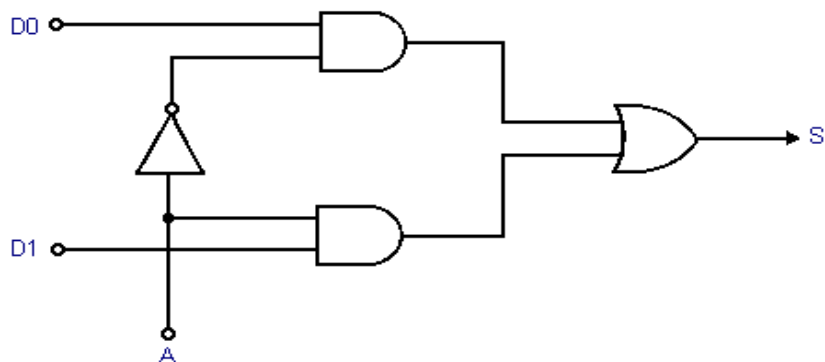


Figure II.1 : schéma logique

Figure II.2 ci-dessous montre le symbole d'un schéma du multiplexeur et le tableau de vérité. Lorsque $A = 0$, $S = D0$; lorsque $A = 1$, $S = D1$

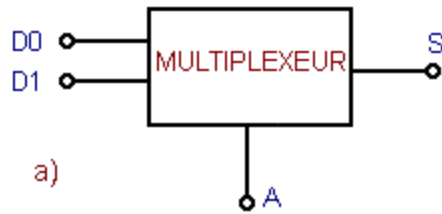


Figure II.2 : le symbole d'un schéma du multiplexeur

A	S
0	D0
1	D1

Tableau II.1 : tableau de vérité

Notez que multiplexeurs sont différents en fonctionnement pour les encodeurs. Les codeurs sont en mesure de changer un motif d'entrée à n bits à des lignes de sortie multiples qui représentent le codage binaire (BCD) équivalent d'entrée active.

Nous pouvons construire un simple multiplexeur à base de portes logiques NAND comme le montre la figure II.3, avec 2 lignes d'entrée et 1 ligne comme entrée adresse (2 à 1).

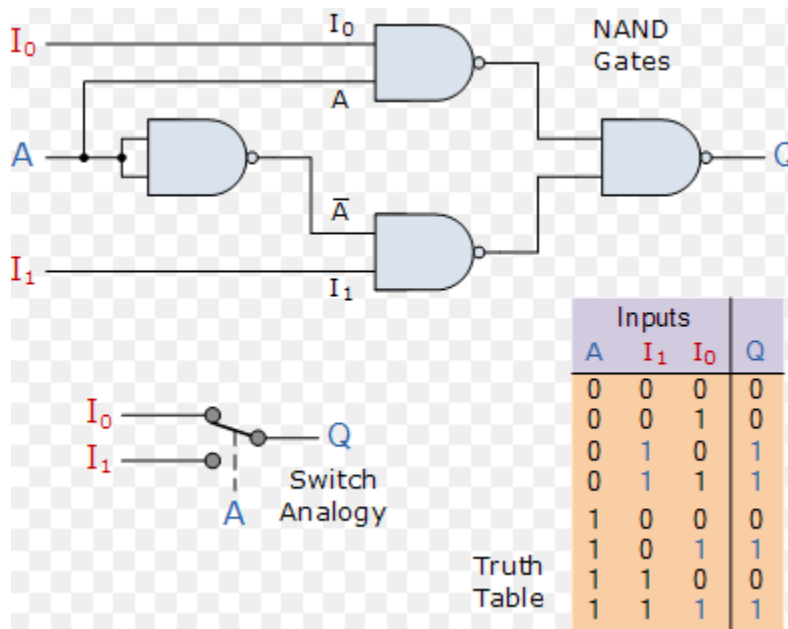


Figure II.3 : deux entrées Multiplexeur Conception

L'entrée A de ce circuit de multiplexeur 2-1 construit à partir de portes NAND standards contrôle les entrée (I0 ou I1) et les transmet à la sortie Q selon l'adresse qui lui est appliquée.

Du tableau de vérité nous pouvons voir que lorsque les données de sélection d'entrée, A est au niveau bas (0 logique), l'entrée I1 passe ses données à la sortie alors que l'entrée I0 est bloqué. Lorsque les données sélectionner A est au niveau haut (logique1), l'entrée I0 est passé à Q tandis que l'entrée I0 est bloqué.

Donc, par l'application soit d'un "0" ou "1" logique en A, nous pouvons sélectionner l'entrée appropriée avec le circuit agissant un peu comme un interrupteur unipolaire (SPDT). Ensuite, dans cet exemple simple, le multiplexeur à 2 entrées relie l'une des deux sources de 1 bit vers une sortie commune, en produisant un multiplexeur 2 à 1 ligne et on peut confirmer par l'expression booléenne suivante.

$$Q = \bar{A}.I_1 + A.I_0 \quad (\text{II.1})$$

II.3.2 : Le 4 vers 1 multiplexeur

La figure II.4 représente le schéma symbolique d'un multiplexeur à 4 voies.

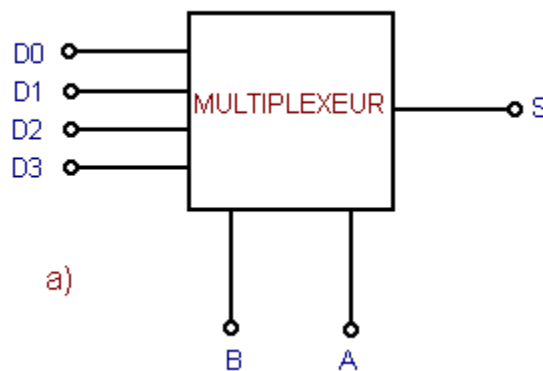


Figure II.4 : schéma symbolique

Le multiplexeur dispose de deux entrées de commande A et B permettant de sélectionner une des quatre entrées D0, D1, D2 ou D3.

En général, l'entrée sélectionnée porte en indice l'état correspondant à la combinaison des entrées de commande. Cela est traduit dans le tableau de la figure II.5.

Entrée de sélection		Entrée sélectionnée
B	A	
0	0	D0
0	1	D1
1	0	D2
1	1	D3

Tableau II.2 : Tableau indiquant l'entrée sélectionnée en fonction de l'état des entrées de sélection.

De ce tableau, on peut extraire l'équation de la sortie S suivante :

$$S = \bar{B}.\bar{A}.D0 + \bar{B}.A.D1 + B.\bar{A}.D2 + B.A.D3 \quad (\text{II.3})$$

On aboutit au schéma logique de la figure II.5.

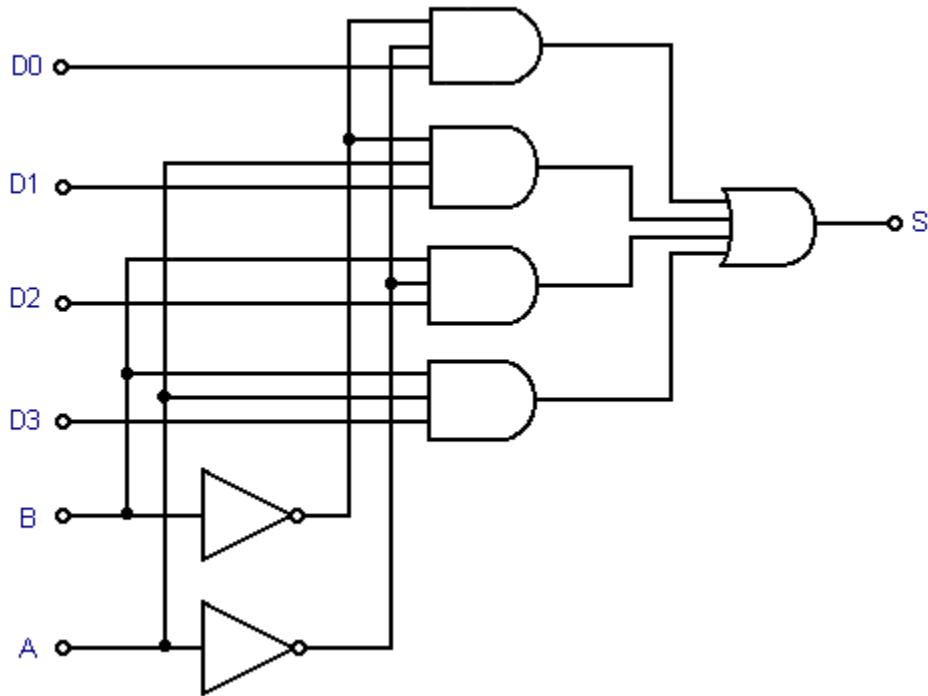


Figure II.5 : Exemple de réalisation d'un multiplexeur à 4 voies

II.3.3 : Les 8 vers 1 et 16 vers 1 multiplexeurs

Un grand multiplexeur peut être implémenté en utilisant les petits multiplexeurs de taille. Par exemple, envisager un MUX 8x1 ce multiplexeur peut être mis en œuvre et ceci en utilisant deux MUX 4x1, une 2x1 MUX comme dans la figure II.7

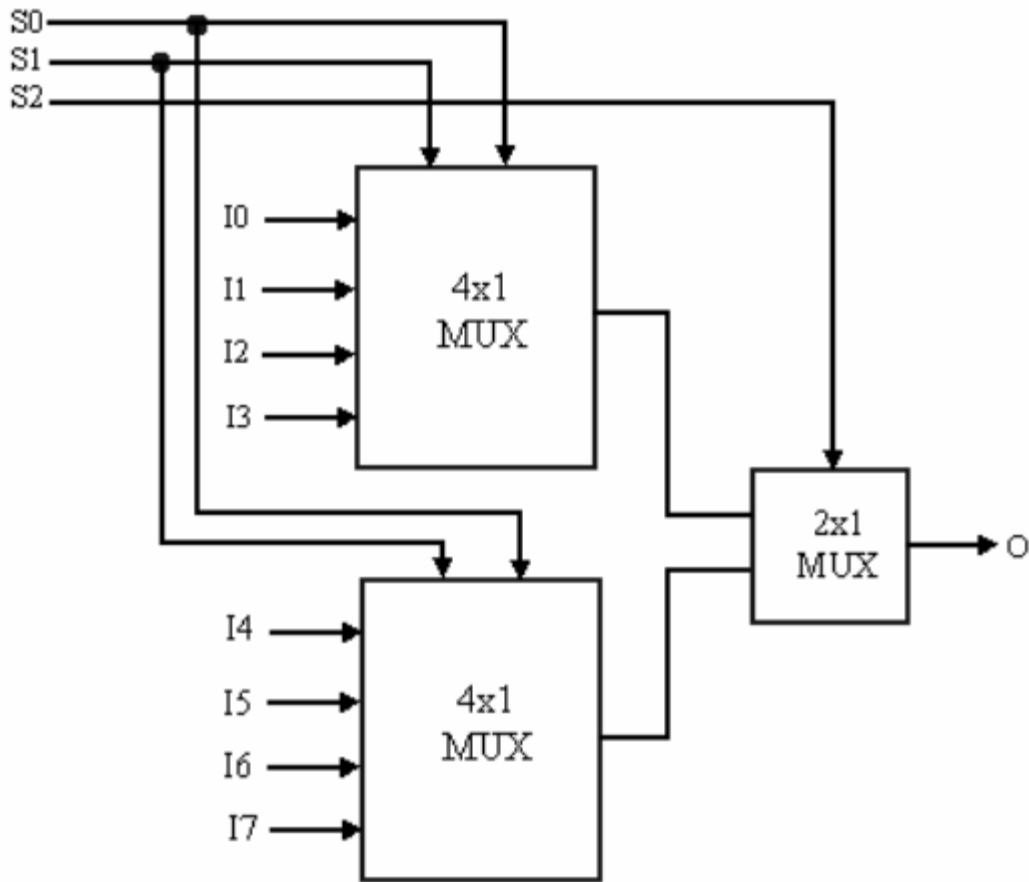


Figure II.6 : Mise en œuvre de 8x1 MUX utilisant 4x1 et 2x1 MUXs

Alors que multiplexeurs sont principalement considérés comme " des sélecteurs de données " parce qu'ils choisissent une de plusieurs entrées à raccorder logiquement à la sortie ,ils peuvent également être utilisés pour réaliser des fonctions booléennes.

Nous pouvons mettre en œuvre toute fonction booléenne x variables en utilisant un multiplexeur d'entrée 2^x . Multiplexeurs peuvent être utilisé plus efficacement en utilisant certaines formes de décomposition fonctionnelle ; signifie que nous pouvons mettre en œuvre une fonction 4 - variable à l'aide de 8 à 1 MUX en utilisant trois des variables comme entrées de sélection et de nourrir une fonction appropriée de la quatrième variable aux entrées de données du multiplexeur .

Considérons le tableau de vérité suivante qui décrit une fonction de quatre variables booléennes.

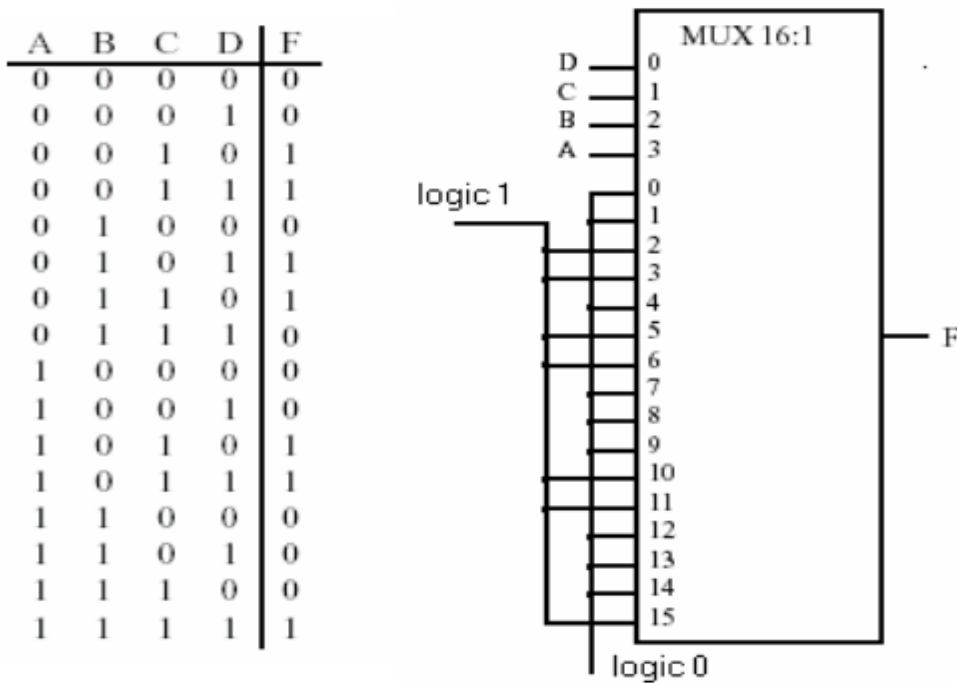


Figure II.7 : le tableau de vérité et MUX 16 :1

Un MUX 16x1 avec A, B, C, D est appliquée à ses entrées adresses S3, S2, S1, S0 permet de sélectionner respectivement l'une de ses entrées 16 pour chacune des 16 combinaisons possibles de A, B, C et D. On peut mettre en œuvre la fonction décrite par la table de vérité en connectant un 1 logique ou un 0 logique à chacune des entrées MUX correspondant à la valeur requise de la fonction associée à la combinaison de A, B, C, et D qui a sélectionné l'entrée. Par conséquent, les entrées du multiplexeur sont les mêmes que les entrées F dans le tableau de vérité condition A, B, C et D sont connectées aux entrées de sélection de multiplexeur dans le bon ordre.

Ainsi pour un multiplexeur à 8 besoin de 3 entrées adresse. une nouvelle configuration permettant de réaliser ce type de MUX est donné dans ce qui suit:

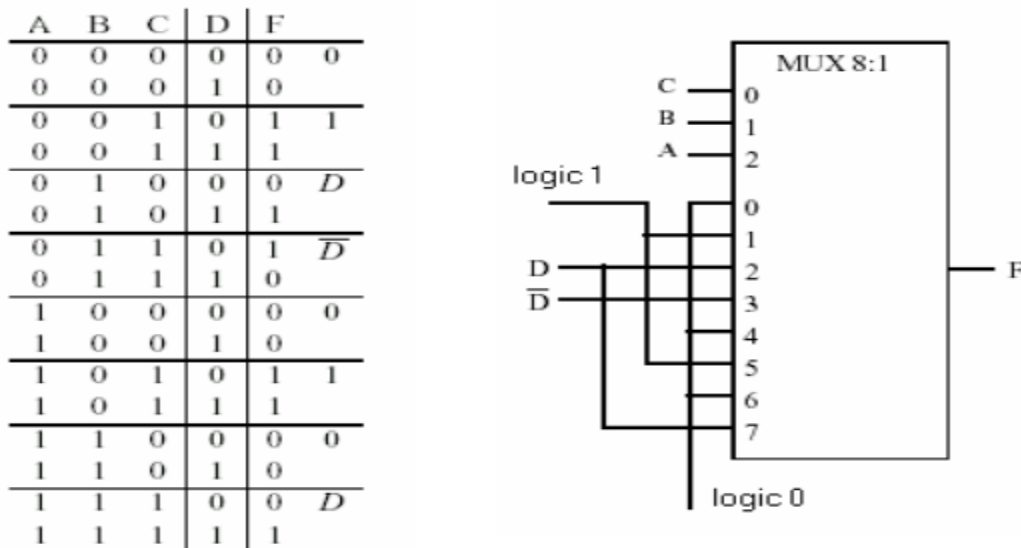


Figure II.8 : Tableau vérité et MUX 8 :1

II.4 : Conclusion

Nous pouvons remarquer que les multiplexeurs sont des circuits combinatoire sans mémoire, car il n'y pas de chemin de retour de signal. Le multiplexeur est un circuit électronique très utile pouvant être utilisé dans de nombreuses applications telles que le routage des signaux, les communications de données et les applications de commande de bus de données.

Lorsqu'il est utilisé avec un démultiplexeur, les données parallèles peuvent être transmises sous forme série par l'intermédiaire d'une seule liaison de données tel qu'un câble ou ligne téléphonique à fibres optiques et converties en données parallèle une fois de plus. L'avantage est qu'une seule ligne de données série est nécessaire au lieu de plusieurs lignes de données parallèles. Par conséquent, les multiplexeurs sont parfois appelés « sélecteurs de données ».

Multiplexeurs peuvent également être utilisés pour commuter des signaux analogiques, soit, numérique ou vidéo, avec le courant de commutation dans les circuits de puissance analogiques limités en dessous de 10 mA à 20 mA par canal afin de réduire la dissipation thermique.

Chapitre III

Réalisation pratique

En pratique, plusieurs maquettes électroniques font appel aux circuits intégrés numériques, appelés "circuits logiques combinatoires". Notre travail consiste à appliquer directement l'algèbre de Boole ces circuits sont utilisés dans les schémas électroniques sous la forme de portes logiques appelées aussi opérateurs binaires sous la forme de circuits intégrés en boîtier et réaliser ainsi un simulateur logique pouvant être utilisé en démonstration aux différents laboratoires.

III.1: Schéma synoptique du simulateur

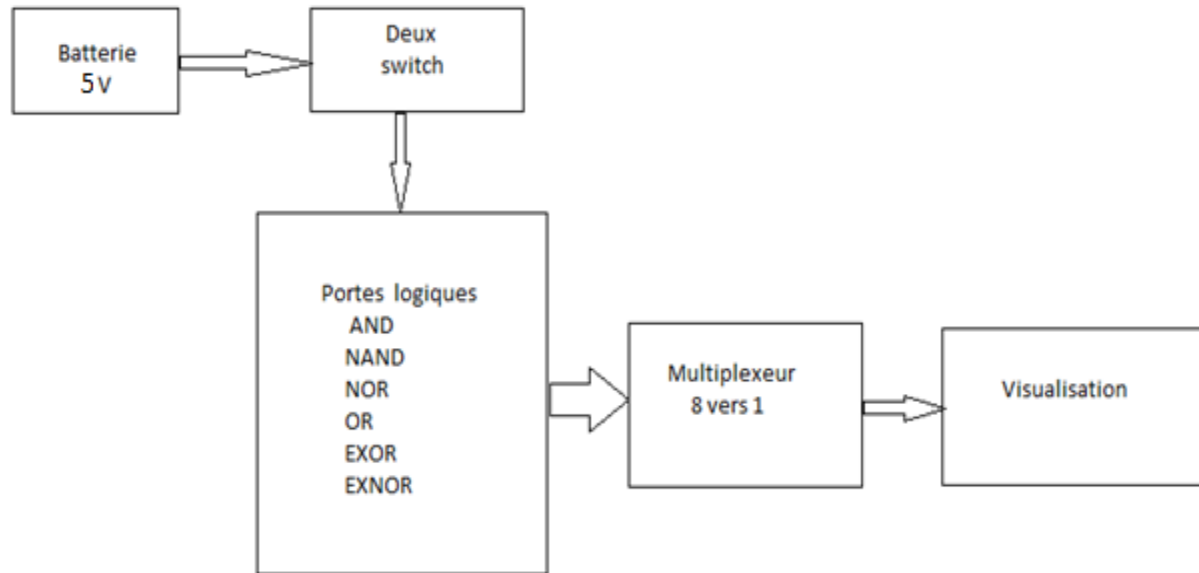


Figure III.1 : schéma synoptique du simulateur.

On remarque tout d'abord que notre simulateur autonome se compose d'une batterie d'alimentation de 5V, de deux Switch, des portes logiques et d'un multiplexeur.

III.1.2 : Explication :

L'organisation structurelle du simulateur logique justifie le principe de fonctionnement global suivant :

- Alimenter la platine avec une tension de 5V, ce que permet d'alimenter automatiquement les circuits intègres.
- Relier les entrées de la porte (0V ou 5V au choix) en mettant des fils.
- Relier les sorties de les portes à un multiplexeur.
- Relier la sortie du multiplexeur à une visualisation.

Avant d'expliquer le fonctionnement global du circuit on explique tout d'abord les différents étages qui le constituent.

III.2 : Etude théorique des différents étages

III.2.1 : Niveau de tension.

Suivant la famille logique utilisée, les tensions d'alimentation d'entrée et de sorties varient. Une variable logique (dite booléenne) est une grandeur binaire : elle peut donc prendre valeurs « 0 » ou « 1 ».

Sur le plan électrique, pour représenter chacune d'entre elles, il faut utiliser deux tensions.

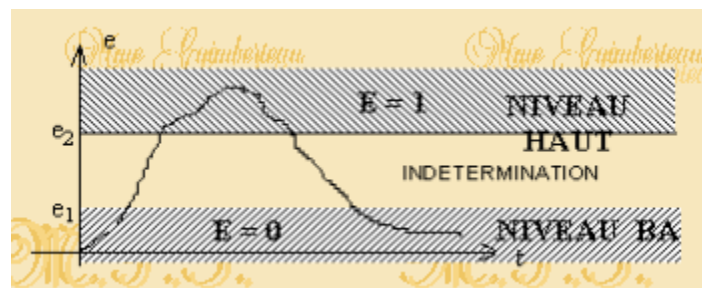
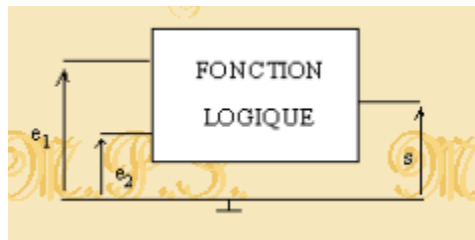


Figure III.2 La tension :

Par exemple avec un porte CMOS alimentée par $V_{cc} = 5V$: les domaines de niveau logique BAS et HAUT sont obtenus à partir des tensions $e_1=0,6V$ et $e_2=2,3V$.

III.3 : Circuit intègre :

III.3.1 : Introduction

Un circuit intègre contient (intègre) de très nombreux composants (Transistors, Résistance...) sur un même puce de silicium. Dans notre projet on va découvrir des circuits intégrés qui réalisent des opérations logiques. C'est dans le domaine de l'électronique numérique, mais il existe aussi des circuits intégrés pour d'autres domaines comme celui de l'électronique analogique.

Un boîtier possède beaucoup de pattes qu'on appelle Broches (en anglais : pin), quel que soit le nombre de broches d'un boîtier elles sont numérotées de la même manière : Numérotation des broches d'un circuit intègre.

Un circuit intègre ne peut fonctionner qu'il est alimenté, c'est-à-dire qu'il a besoin d'une tension continue sur certaines broches

III.3.2 : Circuit intègre 4011

Les 4011 fait partie de la famille des circuits intégrés CMOS (Complémentaire Métal Oxyde Semi-conducteur). Il possède 14 broches : pour l'utiliser, il faut tout d'abord connaître l'affectation de chaque broche, c'est-à-dire savoir si telle broche est une entrée, une sortie ou une broche d'alimentation.

Le CMOS 4011 est un circuit intègre 14 broches DIL. DIL se réfère à la disposition des broches et il signifie « Dual-In-Line ». Cela signifie simplement que les 14 broches sont disposées en deux rangées parallèles.

Bien que l'électricité statique peut détruire des circuits intégrés CMOS, ils sont extrêmement fiables en fonctionnement. Éviter de toucher les broches et ne pas surchauffer avec le fer à souder.

Une base 4000 séries circuits intégrés CMOS va travailler à partir d'un minimum de 3 volts jusqu'à un maximum de 15 volts. Certaines versions de la série 4000 fonctionnent jusqu'à un maximum de 18 volts.

Les CMOS utilisent très peu de courant, les rend idéales pour les circuits alimentés par batterie.

Le CMOS 4011 contient quatre circuits distincts appelés portes, quatre portes part les deux mêmes connexions à l'alimentation. Cependant en dehors de cela, ils fonctionnent de manière totalement indépendante les uns des autres.

Chaque porte a deux entrées broches et une broche de sortie. En modifiant les tensions sur les deux broches d'entrée, vous pouvez activer la sortie sur (ON) et dehors (OFF) ainsi vous pouvez l'utiliser pour tourner d'autres périphériques sur (ON) et en dehors (OFF).

Lorsque la sortie est sur (ON), il va fournir un courant allant jusqu'à environ 10mA. Lorsque la sortie est éteinte (OFF), il coulera un courant de jusqu'à environ 10mA. « Couler » signifie simplement qu'il permettra un courant allant jusqu'à environ 10mA de se écoulé dans la broche de sortie.

Lorsque la sortie est activée, il est dit d'être élevé et lorsque la sortie est éteinte, il est dit d'être faible.

Chaque entrée possède une impédance de résistance interne très élevée, donc presque aucun courant ne circule dans les broches d'entrée. Au lieu de la simple présence de la tension sur les entrées est tout ce qui est nécessaire pour faire fonctionner la porte. Sortie CMOS ont une certaine résistance interne.

L'état de la sortie de la porte sera le contraire (ou l'inverse) des entrées. En conclusion, les portes en 4011 dans le CMOS sont connus les portes NAND.

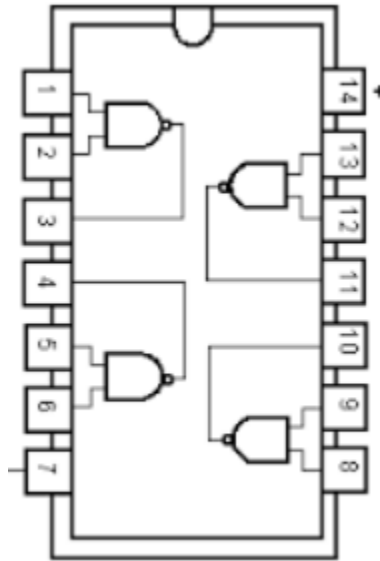


Figure III.3 : CMOS 4011.

III.3.2.1 : Les portes universelles.

Une porte universelle est une porte qui peut mettre en œuvre toute fonction booléenne sans avoir besoin d'utiliser un autre type de porte. Les portes NAND et NOR sont des portes universelles.

Dans la pratique, ce qui est avantageux puisque NAND et NOR sont plus faciles à fabriquer et sont les portes de base utilisées dans toutes les familles de circuits intégrés logique numérique.

Dans notre projet, nous utilisons la porte NAND à mettre en œuvre toutes les fonctions logiques.

III.3.2.1.1 : Les portes AND et NAND.

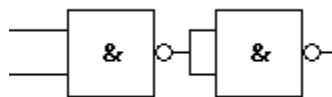


Figure III.3 : la porte AND.

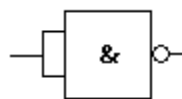


Figure III.4 : la porte NAND

III.3.2.1.2 : Les portes OR et NOR.

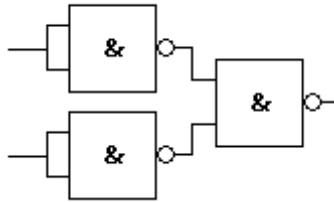


Figure III.5 : la porte OR.

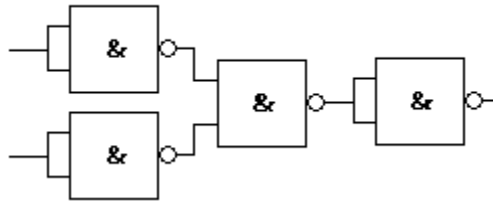


Figure III.6 : la porte NOR

III.3.2.1.3 : Les portes EXOR et EXNOR.

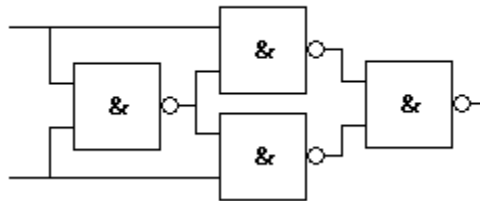


Figure III.7 : la porte EXOR.

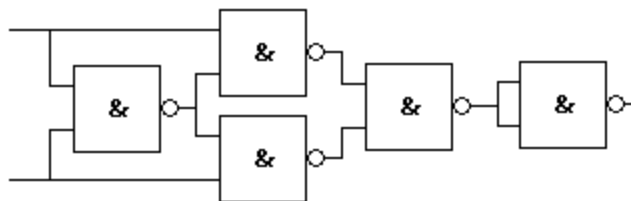


Figure III.8 : la porte EXNOR

III.4 : Multiplexeur 4051.

III.4.1 : Introduction.

Un multiplexeur est un circuit permettant de concentrer sur une même voie de transmission, différents types de liaison (informatique, télécopie, téléphonie, télétext...) en sélectionnant une entrée parmi N. Il possédera donc N entrées, une seconde entrée de $\log_2 N$ bits permettant de choisir quelle entrée sera sélectionnée, et une sortie. Il sert d'accès aux réseaux de transmission de données. Le but du multiplexeur est d'avoir la valeur d'une et d'une seule variable binaire d'entrée en sortie (et donc d'éliminer la valeur des autres). Comment sélectionner une des entrées (dont on ne connaît pas la valeur) et avoir sa valeur en sortie d'une boîte, une solution est de placer des interrupteurs après chacune des entrées (commencer par en mettre un seul puis décomposer).

III.4.2 : Fonctionnement.

La valeur d'une des deux entrées A ou B, sera propagée sur la sortie S suivant la valeur de C. Par exemple, si C=0, c'est la valeur de A qui sera choisie, et B si C=1. On trouvera donc des multiplexeurs « 2 vers 1 » (1 bit de sélection), « 4 vers 1 » (2 bits de sélection), « 8 vers 1 » (3 bits de sélection), etc. Il est à noter que certains multiplexeurs transmettent aussi bien les signaux numériques que les signaux analogiques.

Dans notre cas on travaillera avec multiplexeur 8 vers 1 (3 bits de sélection), le CMOS 4051B : les multiplexeurs analogique CMOS 4051B sont contrôlés numériquement commutateur analogique. Le CMOS 4051B est un seul multiplexeur 8 canaux ayant 3 entrées binaires de contrôle, A, B, et C, et une entrée d'inhibition. Les 3 signaux binaires sélectionner une des 8 canaux pour être activées, et connectez l'une des 8 entrées à la sortie.

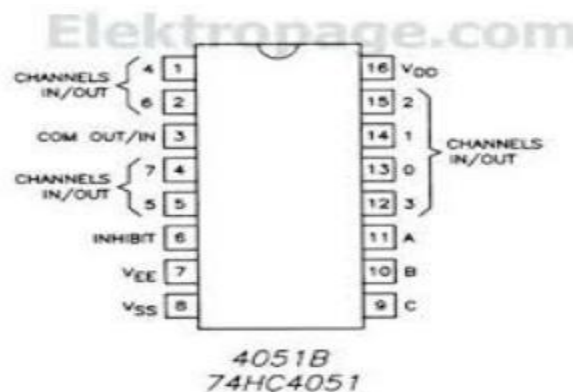


Figure III.9: Le CI 74HC4051

III.4.2.1 : Table de vérité.

Entrées				« ON » Sortie
INHIBIT	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	RIEN

Tableau III.1 : Table de vérité et fonctionnement du MUX

III.5 : Visualisation.

III.5.1 : LED et résistance séries.

La plupart du temps, on ne peut pas brancher directement une LED sur une source de tension (pile, adaptateur, etc.). Il faut mettre en série une résistance de limitation de courant.

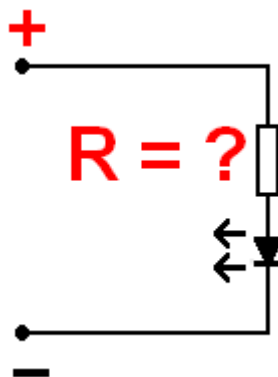


Figure III.9 : LED avec une résistance en séries

Une LED fonctionne en courant et tension continus. Comme une diode classique, la LED ne conduit que dans un sens. Dans l'autre sens, elle est bloquée mais ne supporte pas des tensions inverses élevées (souvent 5V max). Lorsqu'une LED est passante, il s'établit à ses bornes une tension assez indépendante du courant : on peut appeler cette tension la tension de seuil. Elle dépend du matériau utilisé dans la LED, et donc de sa couleur.

- LED rouge, orange, jaune (ambre) : 1.8V à 2V
- LED verte standard (vert clair) : 1.8V à 2.2V

La résistance série est justement là pour éviter ce phénomène fâcheux. L'électronicien n'a pas toujours sous la main une alimentation parfaitement stable en tension. Pour pouvoir utiliser facilement une LED avec une alimentation standard (pas forcément des plus stables), il faut insérer en série une résistance de protection.

III.5.1.1 : Calcul de la résistance série pour la LED.

Prenons un exemple : à partir d'une **alimentation 12V**, on souhaite allumer une **LED rouge qui supporte 20mA**. Sa tension de seuil est de **1.8V**.

L'additivité des tensions s'écrit : $U_{LED} + U_R = 12V$

U_{LED} est égale à la tension de seuil (supposée indépendante du courant).

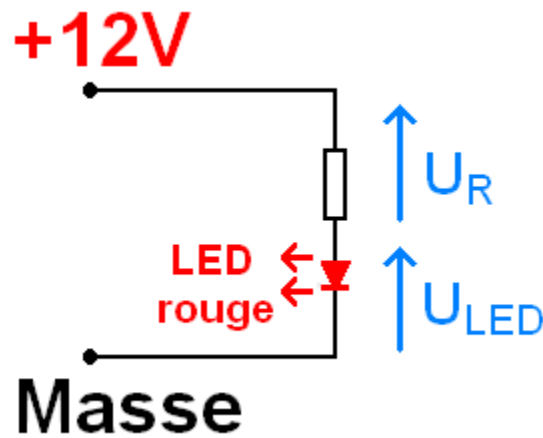


Figure III.10: Protection de la LED via une résistance.

La tension U_R vaut donc : $U_R = 12V - U_{LED} = 12V - 1.8V = 10.2V$

Or, le courant dans la résistance est égal à celui de la LED, c'est-à-dire 20mA.

La valeur de la résistance se déduit à partir de ces *deux* données est telle que :

$$R = 10.2V / 20mA = 10.2V / 0.02A = 510 \text{ Ohms}$$

Cette valeur correspond à une valeur standard. On retiendra donc $R = 510 \text{ Ohms}$.

Si la valeur trouvée n'est pas standard, choisir la valeur standard supérieure la plus proche (exemple : pour 637 Ohms, on choisit 680 Ohms).

La formule générale pour calculer la résistance s'écrit donc :

$$R = \frac{U_{\text{alim}} - U_{\text{LED}}}{I} \quad (\text{III.1})$$

telle que:

The diagram shows the formula $R = \frac{U_{\text{alim}} - U_{\text{LED}}}{I}$ with green annotations:

- A line from 'Valeur en Ohms' points to the variable 'R'.
- A line from 'Tension d'alim (en Volts)' points to the variable 'U_{alim}'.
- A line from 'Tension de seuil de la LED (en Volts)' points to the variable 'U_{LED}'.
- A line from 'Courant souhaité dans la LED (en Ampères)' points to the variable 'I'.

La dissipation de chaleur est à considérer pour des tensions d'alimentations élevées comme 24V. La puissance dissipée vaut :

$$P = \frac{(U_{\text{alim}} - U_{\text{LED}})^2}{R} \quad (\text{III.2})$$

Il faut choisir un modèle de résistance au moins capable de supporter la puissance, ou mettre en série ou parallèle plusieurs résistances pour répartir la dissipation. Si on souhaite utiliser plusieurs LED en même temps, on peut réduire le courant consommé et la dissipation en mettant plusieurs LED en série. Il faut alors recalculer la résistance.

III.6 : Réalisation pratique.

III.6.1 : Schéma électrique

Le circuit électrique de notre simulateur est donné en figure III.9.

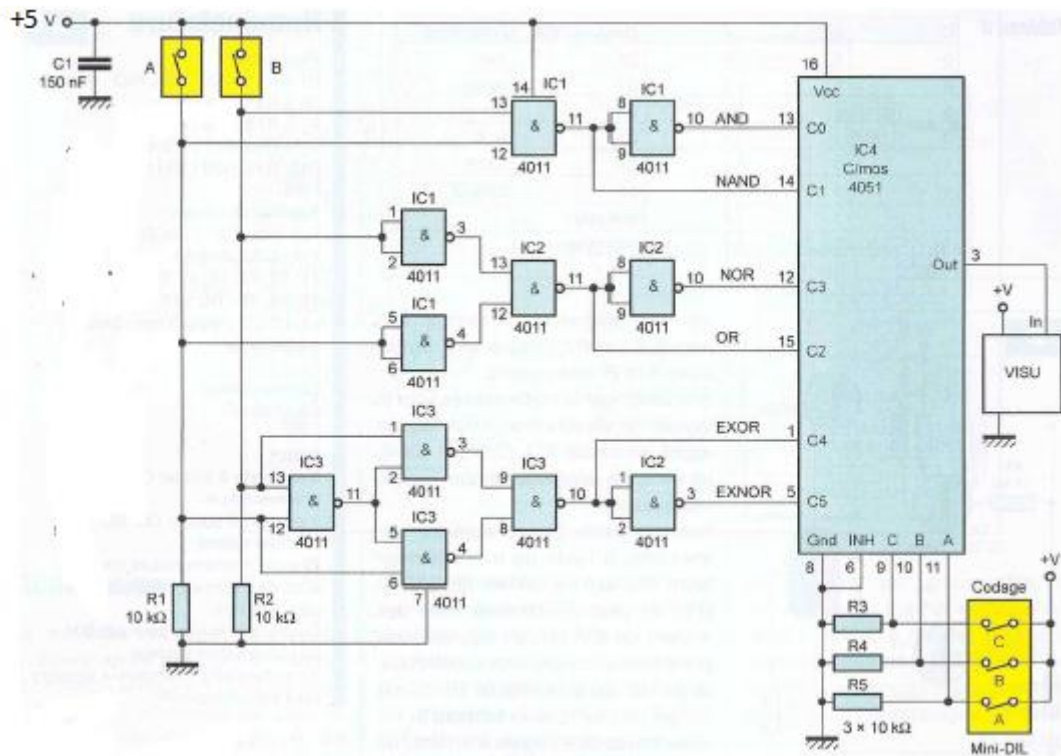


Figure III.9 : Schéma électrique.

III.6.2 : Analyse du circuit.

Le fonctionnement de ce circuit relativement simple est aussi très simple:

L'alimentation de 5V nécessaire à l'alimentation du simulateur logique peut être obtenue par le biais d'une pile ou par une alimentation stabilisée (transformateur + pont de diode + filtre à condensateur en tête + stabilisation).

Toutes les règles liées à l'algèbre de Boole sont appliquées dans ce circuit majoritairement constitué de portes « NAND ».

Les deux interrupteurs « A » et « B » ont le rôle de mettre un état haut « 1 logique » ou état bas « 0 logique » sur les deux entrées de la fonction choisie.

Notre circuit permet de réaliser les 6 fonctions suivantes : NAND, AND, NOR, OR, EXOR, EXNOR. La fonction NON sera par exemple vérifiée en donnant la même valeur aux deux entrées d'une porte NAND ou NOR. Le niveau "0" est obtenu à travers les résistances R₁ et R₂ qui sont des résistances de forçage à la masse lorsque les interrupteurs A et B sont ouverts. Le multiplexeur réalisé par le circuit intégré IC₄ "CMOS 4051" permet de visualiser à la sortie la fonction sélectionnée selon le code adresse qui lui est appliqué c'est-à-dire

selon le code binaire appliqué sur trois bits à l'aide d'une interrupteur sur les sortie "9","10" et "11" du multiplexeur , on peut alors sélectionner l'une des entrées du circuit intégré IC₄.

Le codage de la sélection selon les caractéristiques du circuit intégré IC₄ est indiqué sur le tableau qui suit

A	B	C	Entrée sur IC4	Fonction
0	0	0	C0	AND
0	0	1	C1	NAND
0	1	0	C2	OR
0	1	1	C3	NOR
1	0	0	C4	EXOR
1	0	1	C5	EXNOR
1	1	0	Non utilisé	
1	1	1	Non utilisé	

Tableau III.2 : table de vérité de l'IC4.

III.6.3 : Réalisation sur la plaque d'essais sans soudure.

La méthode permettant de tester un montage électronique sans réaliser de circuit imprimé consiste à utiliser une plaque d'essai. Grâce de ce petit outil, il n'y a pas besoin de souder, il suffit juste de placer les composants sur la plaque de test (autre nom pour la plaque à essai). Nous présentons ci-dessous une photo de notre réalisation pratique ou nous pouvons identifier aisément ses constituants

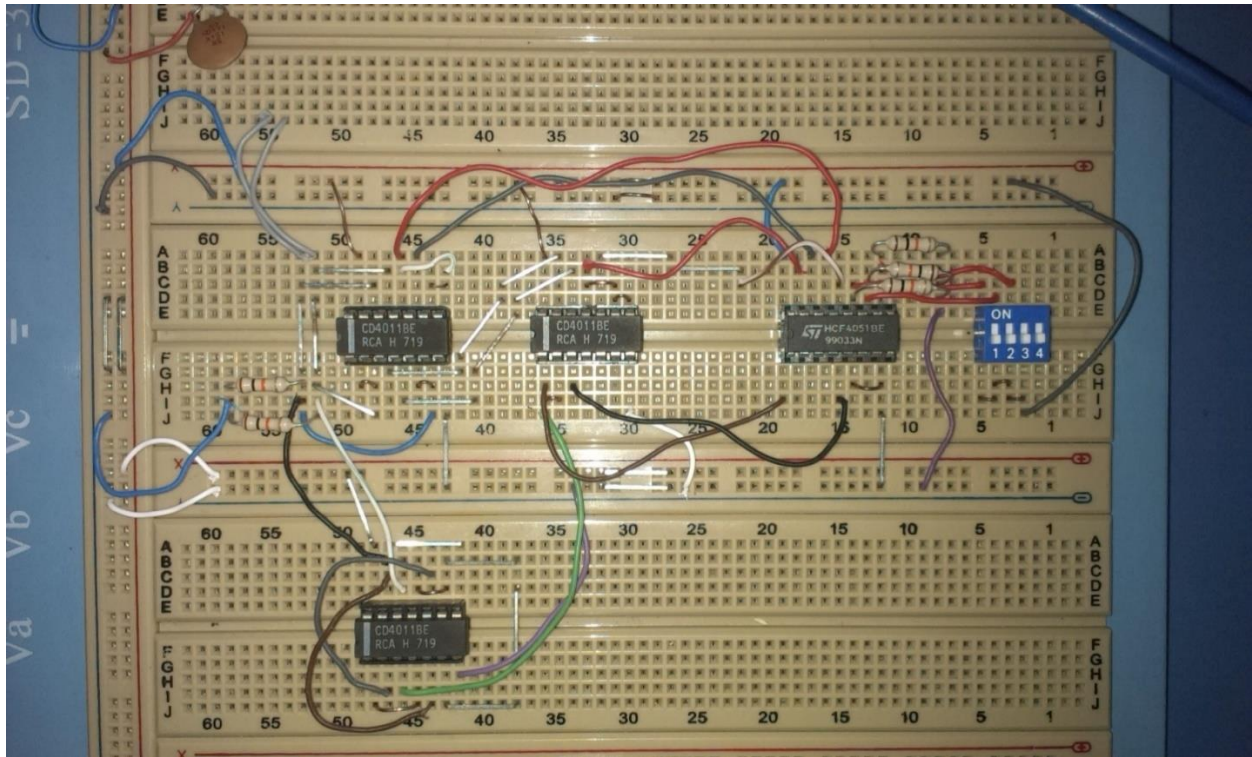


Figure III.10 : Réalisation pratique sur plaque d'essai de notre simulateur logique.

III.6.4 : Tracé du circuit imprimé.

La configuration du tracé du circuit imprimé est simple et autorise une reproduction aisée par usage d'un logiciel de routage manuel.

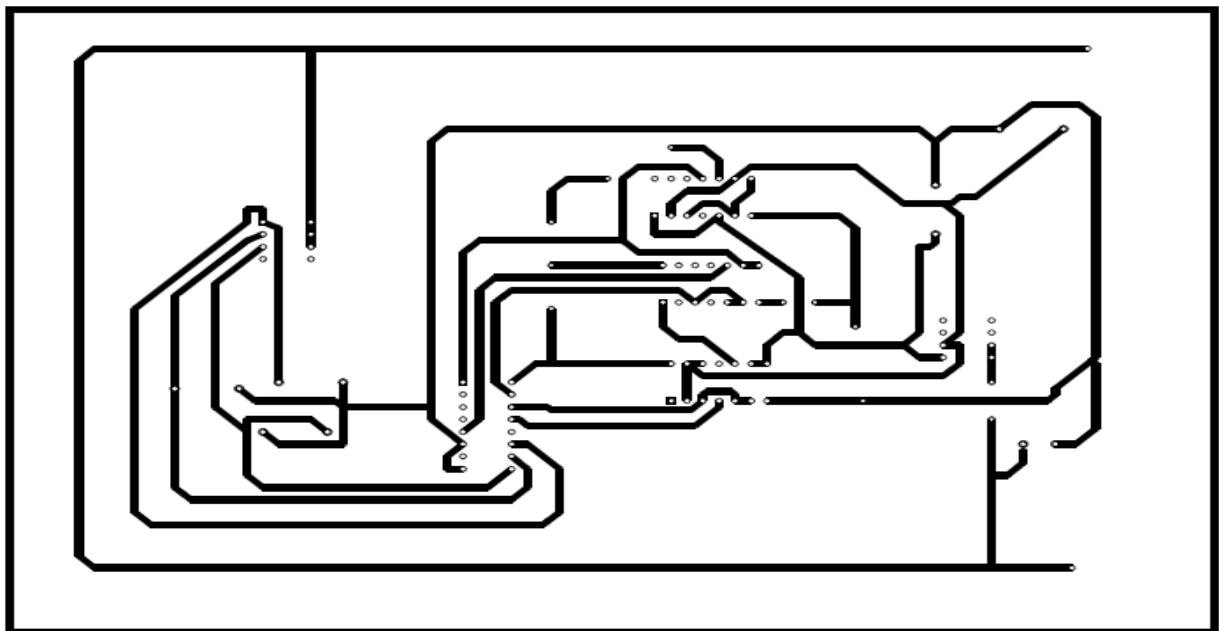


Figure III.11 : Schéma du circuit imprimé.

Seules les pistes véhiculant le courant absorbé par les enroulements de 9V de la batterie, en ce qui concerne l'implantation des résistances en réseau, la borne commune de chaque barrette de résistances doivent être placée conformément à l'implantation décrite, aussi il faut être attentif au positionnement des quatre ICs (IC1 à IC4).

III.6.5 : Circuit imprimé.

Après gravure dans l'habituel bain de perchlore tiède, la carte est soigneusement rincée et séchée. Les percages sont effectués en 1mm pour les petits composants, 1,2 mm pour les éléments les plus importants, et enfin 3mm pour les trous de fixation.

III.6.6 : Implantation des composants.

La mise en place des différents éléments s'effectue conformément à la (figure III.12), nous procédons méthodiquement en insérant les éléments bas (switch, résistances). On soude alors les supports des circuits intégrés. L'utilisation de ceux-ci est vivement conseillée : ils protègent les CI durant les soudures et facilitent leur remplacement les cas échéant. On insère et on soude le condensateur. On termine par placement des circuits intégrés sur leur support dans l'optique pour leur éviter une issue fatale lors du câblage avec un fer à souder dont l'isolement est douteux.

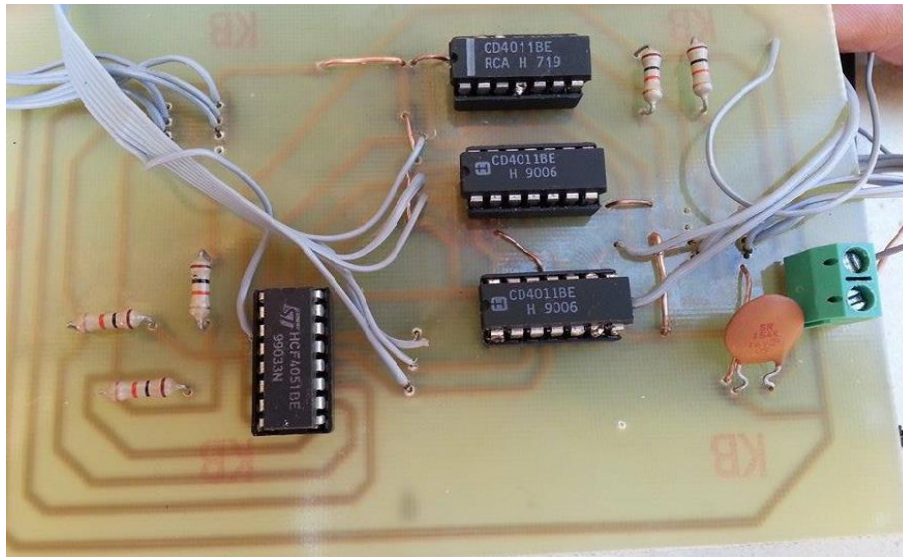


Figure III.12.a :

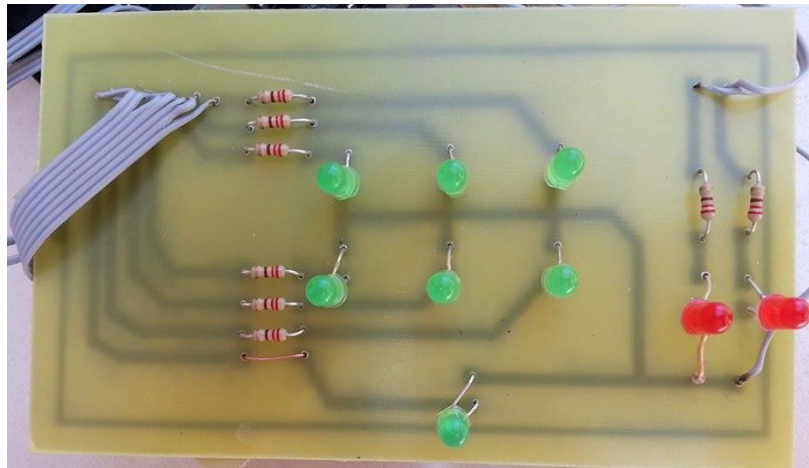
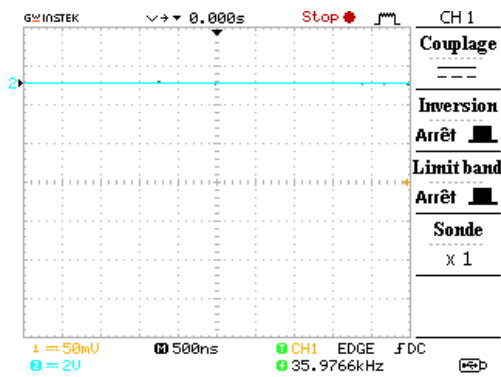


Figure III.12.b : partie visualisation.

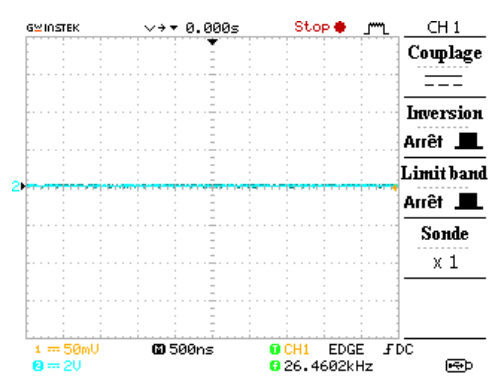
III.6.5 : Visualisation par l'oscilloscope

Avec un calibre de 2V et un couplage continu on a obtenu les résultats graphiques suivant :

a) à l'entrée d'une porte :

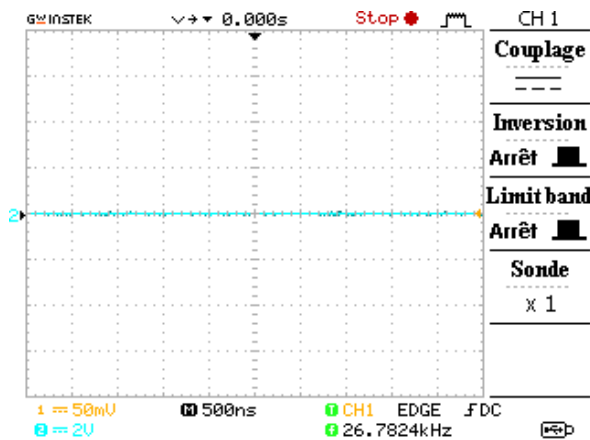


(i) 5V représente 1 logique

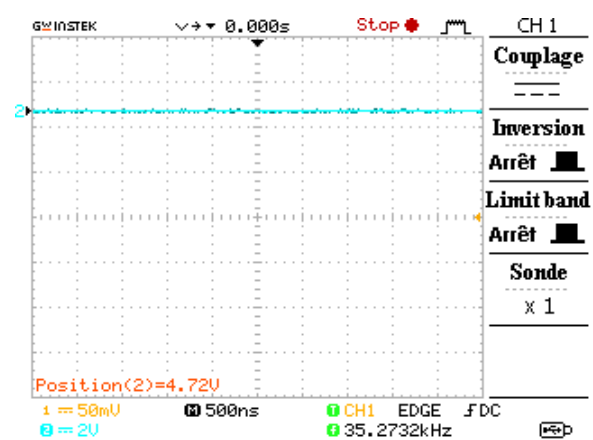


(ii) 0V représente 0 logique

b) à la sortie d'une porte AND

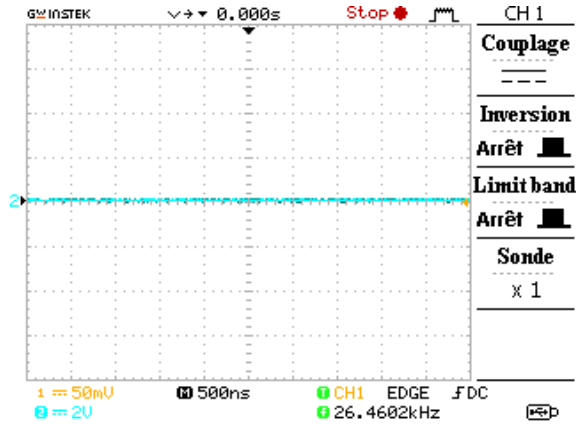


(i) une sélection 0,1

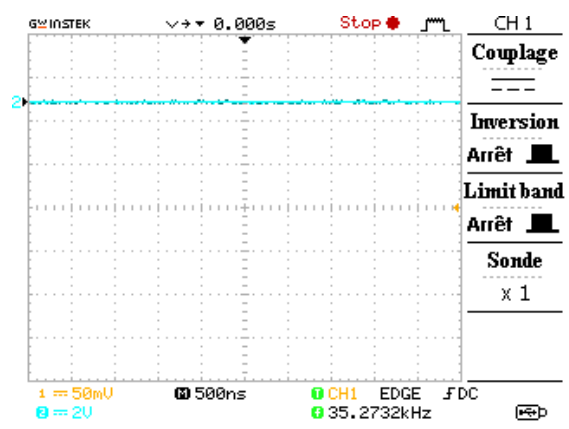


(ii) une sélection 1,1

c) à la sortie d'une porte NAND

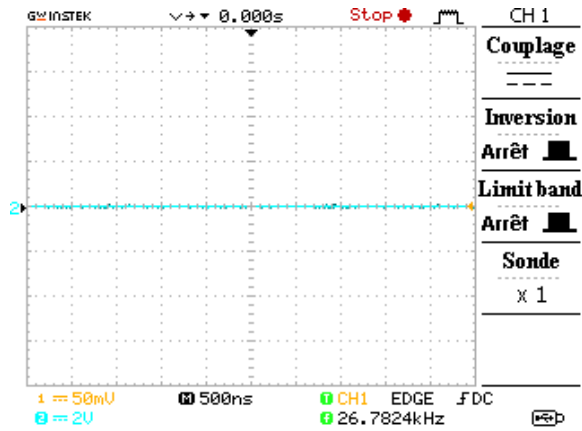


(i) une sélection 1,1

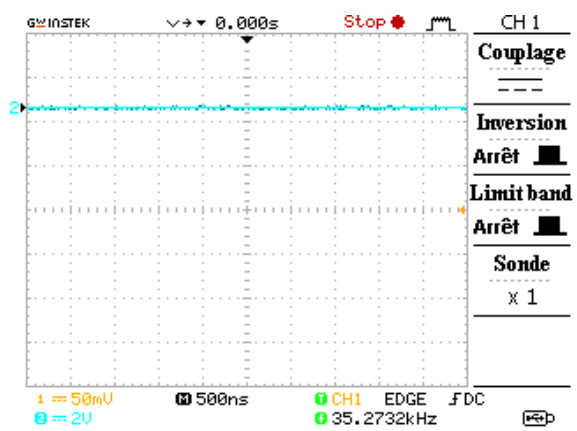


(ii) une sélection 0,0

d) à la sortie d'une porte OR

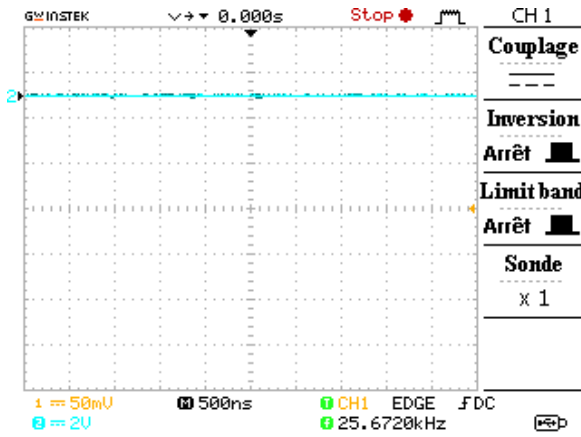


(i) une sélection 0,0

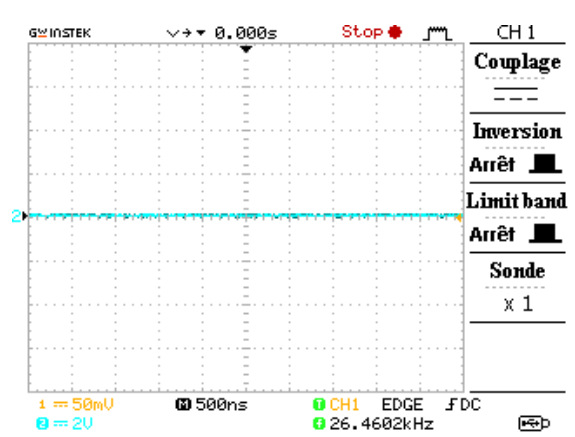


(ii) une sélection 1,1

e) à la sortie d'une porte NOR

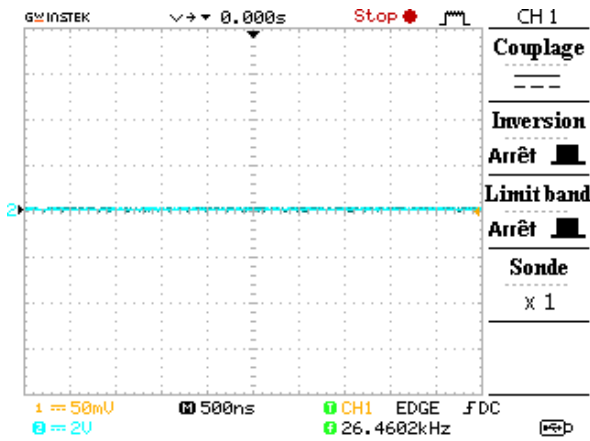


(i) une sélection 0,0

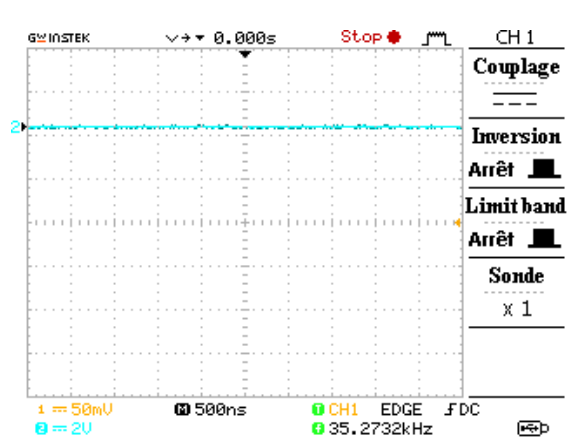


(ii) une sélection 1,1

f) à la sortie d'une porte XOR

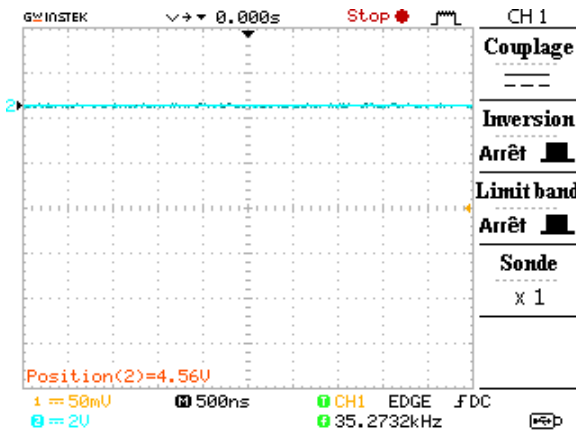


(i) une sélection 0,0

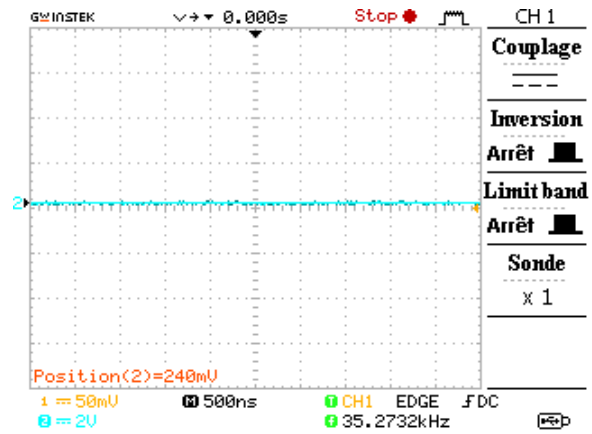


(ii) une sélection 0,1

g) à la sortie d'une porte XNOR



(i) une sélection 1,1



(ii) une sélection 1,0

III.7 : Simulation du circuit

Une étude a été effectuée en parallèle avec l'étude pratique par le biais du simulateur Isis Proteus afin de valider nos résultats pratiques.

III.7.1- Présentation du simulateur Isis

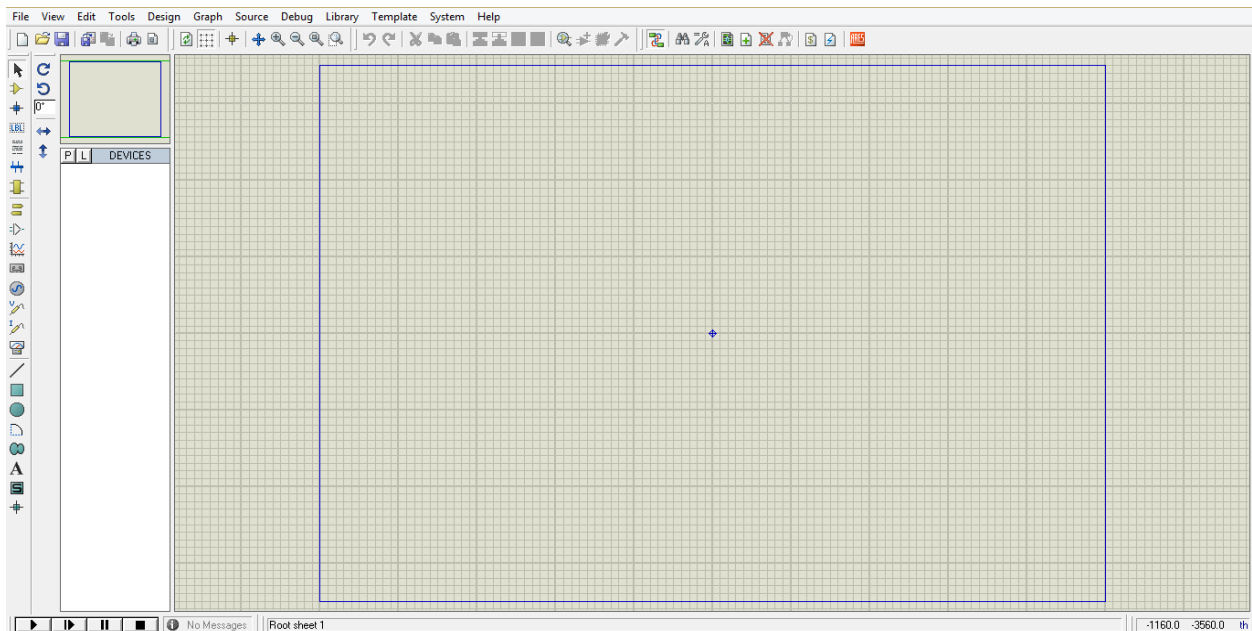


Figure III.13 : Fenêtre d'accès au logiciel Isis Proteus

Ainsi le schéma électrique simulé sous Proteus est celui de la figure III.13

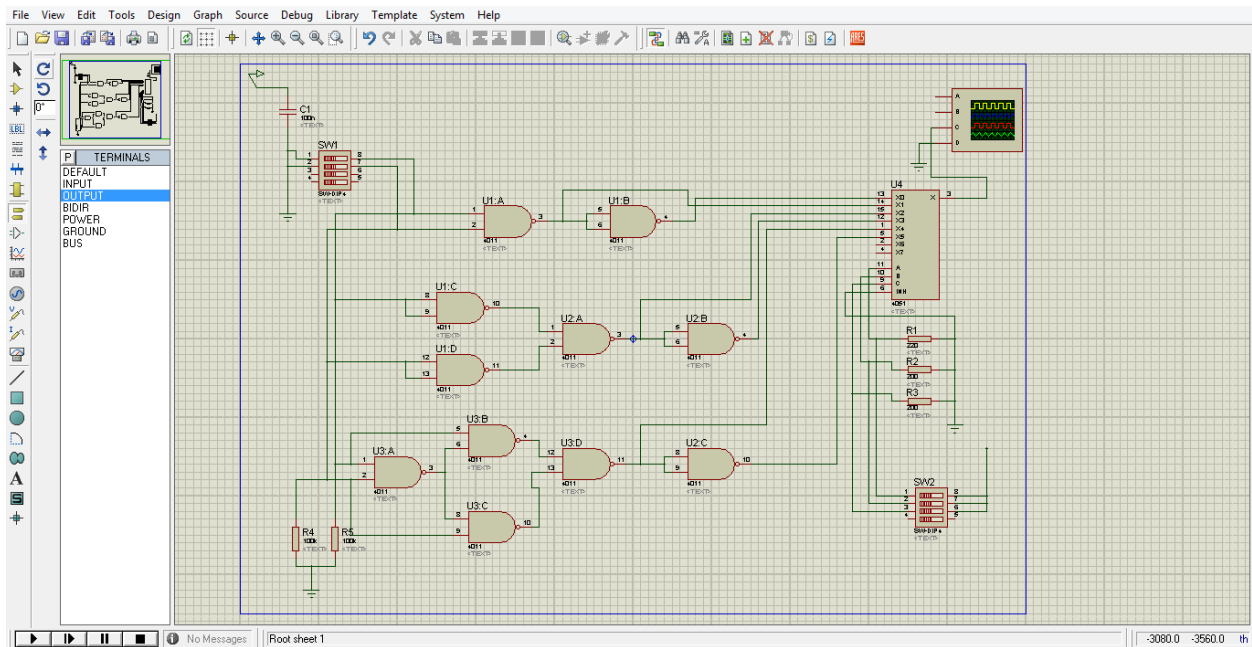


Figure III.13 : Simulation du simulateur avec Isis.

Comme exposition ci-dessus, un signala été obtenue à partir de la borne 3 du circuit intégré 4051 :

D'après la (figure III. 9 : Tableau d'IC4) :

1. Une sélection (0 0 0) à l'entrée C0 :

Cette sélection permet de visualiser la sortie de la porte "AND"

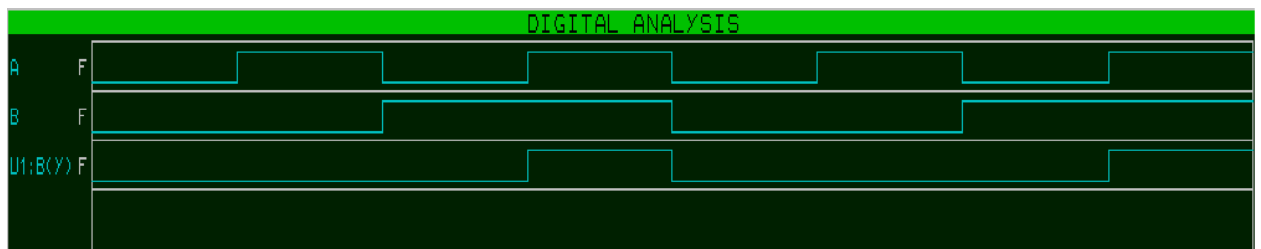


Figure III.14 : Chronogramme de la porte AND.

2. Une sélection (0 0 1) à l'entrée C1 :

Cette sélection permet de visualiser la sortie de la porte "NAND"

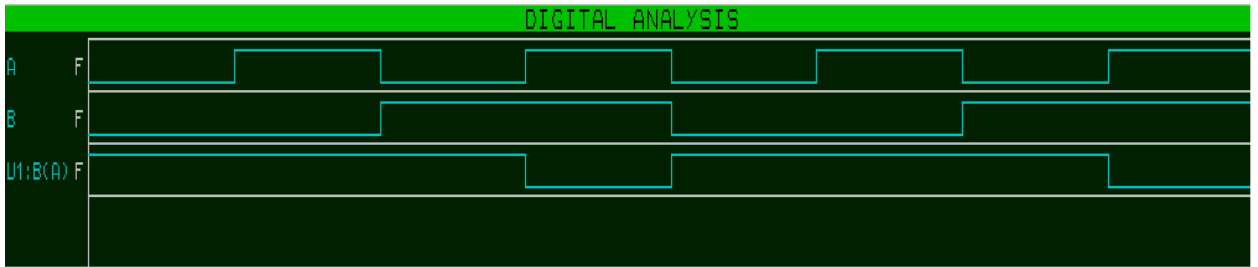


Figure III.15 : Chronogramme de la porte NAND.

3. Une sélection (0 1 0) à l'entrée C2 :
Cette sélection permet de visualiser la sortie de la porte "OR"

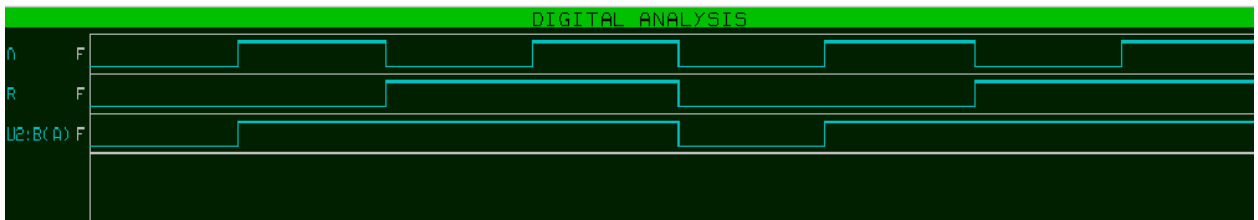


Figure III.16 : Chronogramme de la porte OR.

4. Une sélection (0 1 1) à l'entrée C3 :
Cette sélection permet de visualiser la sortie de la porte "NOR"

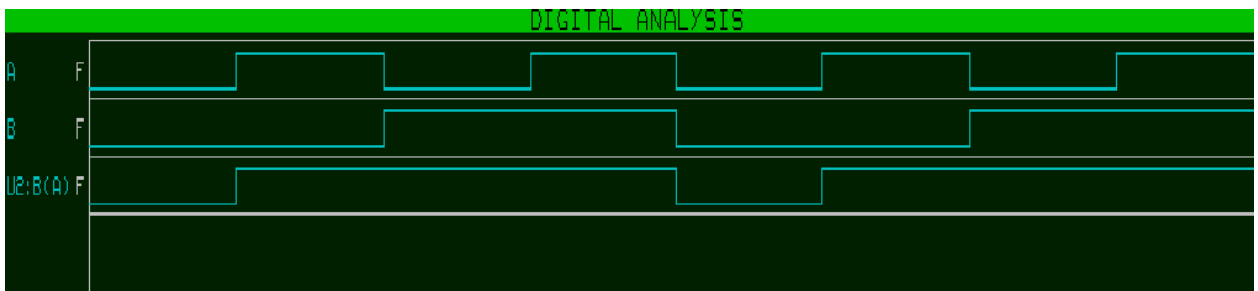


Figure III.17 : Chronogramme de la porte NOR.

5. Une sélection (1 0 0) à l'entrée C4 :
Cette sélection permet de visualiser la sortie de la porte "EXOR"

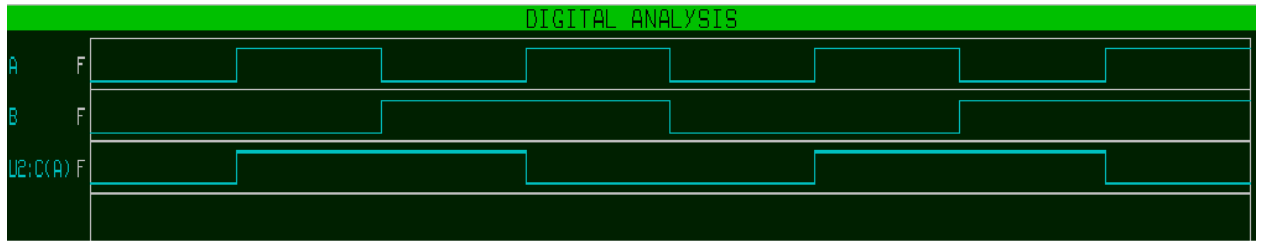


Figure III.18 : Chronogramme de la porte EXOR.

6. Une sélection (1 0 1) à l'entrée C5 :

Cette sélection permet de visualiser la sortie de la porte "EXNOR"

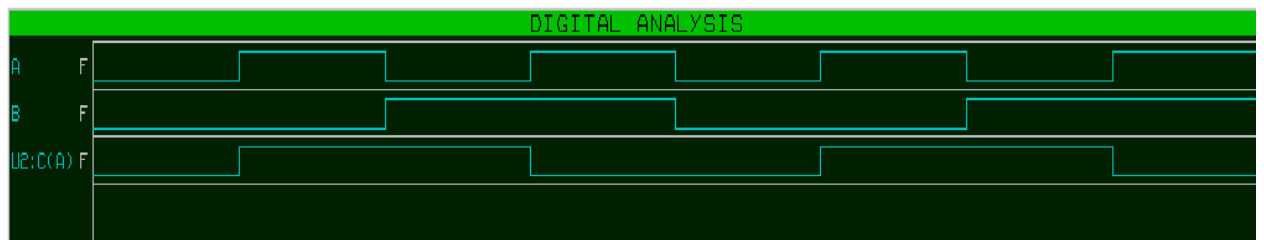


Figure III.19 : Chronogramme de la porte EXNOR.

Conclusion

Nous pouvons tout simplement remarquer que notre réalisation pratique est bien validée par les résultats de la simulation numérique.

Conclusion générale

Conclusion générale

Notre travail nous a permis de réaliser un simulateur logique, circuit pouvant être très utile en laboratoire de logique ou comme maquette de démonstration permettant d'expliquer le fonctionnement de différentes portes et circuits logiques.

Ce travail nous a permis d'approfondir nos connaissances sur les différentes fonctions ou portes logiques. Selon les niveaux logique appliqués sur les entrées, un niveau logique apparaît immédiatement sur la sortie, selon des règles immuables que précisément notre simulateur vous aidera à visualiser.

Ce travail nous a permis d'expliquer la totalité des fonctions décrites précédemment seront simulée uniquement à partir de portes logique NAND qui peuvent recevoir le qualificatif de porte universelle, au même titre que la porte NOR par exemple.

Par ailleurs, l'usage de ce simulateur logique sera plus particulièrement réservé à des applications :

- d'électronique numérique (portes)
- de circuits électriques
- de logique des prédicats
- Ensembles
- Les aléas technologiques
- Les circuits pneumatiques.

En résumé ; le moyen le plus simple pour réaliser un simulateur logique est d'associer les trois constituants suivants : batterie, les portes logiques sous la forme de circuits intégrées en boîtiers DIL et un multiplexeur.

Cette réalisation bien que simple nous a donc permis d'approfondir nos connaissance en électronique, et en circuiterie.

Bibliographie

Floyd Thomas-L, Villeneuve Martin - Systèmes Numériques; 9e édition. Reynald Goulet

Ronald J.Tocci -Circuits numériques (théorie et applications) 2ème édition. Dunod

Noël Richard -Electronique numérique et séquentielle (pratique des langages de description de haut niveau).
Dunod

Electronique Numérique, Circuits Intégré Logique et Leurs Applications, R.DELSOL

Electronique Pratique N°325 Mars 2008, Jean-Pierre Ventilard

Médiagraphie

WWW.gecif.net , les familles logique.

http://www.electronics-tutorials.ws/combinacion/comb_2.html

https://uqu.edu.sa/files2/tiny_mce/plugins/filemanager/files/4280247/digital/271-7.pdf

<http://www.astuces-pratiques.fr/electronique/led-et-calcul-de-la-resistance-serie>

ANNEXES

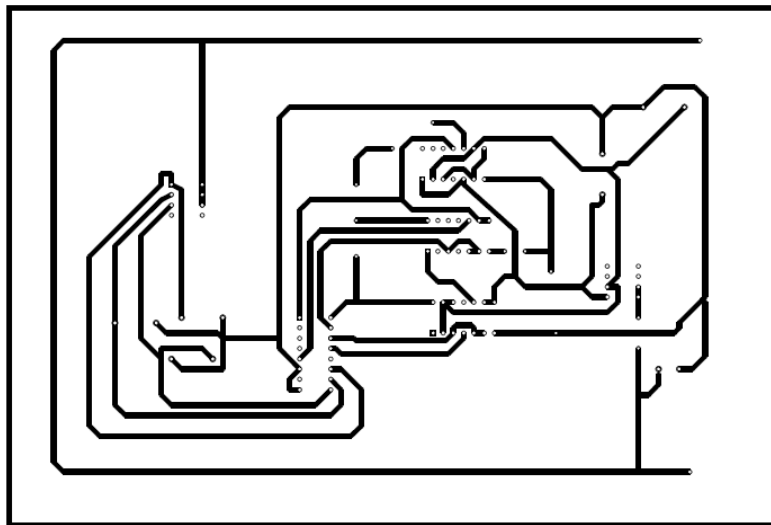
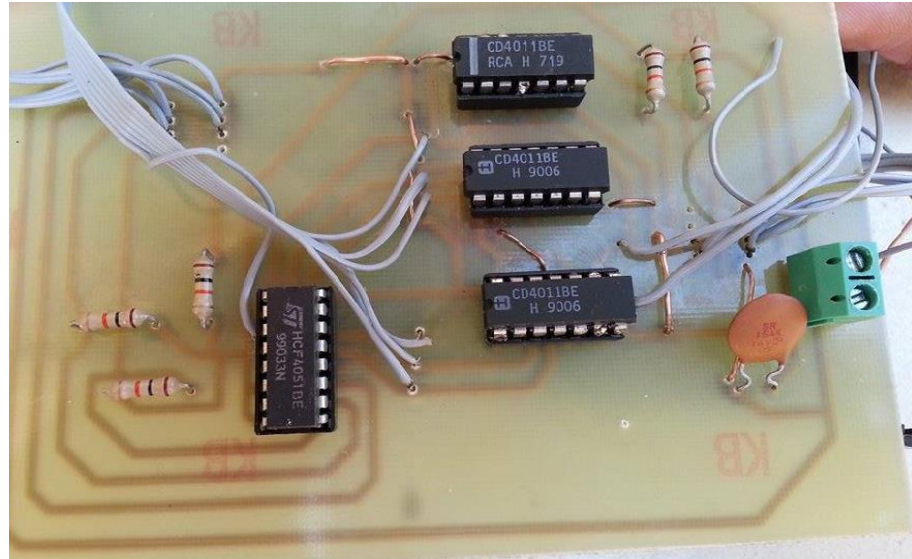
Annexe 1 :

List de composants :

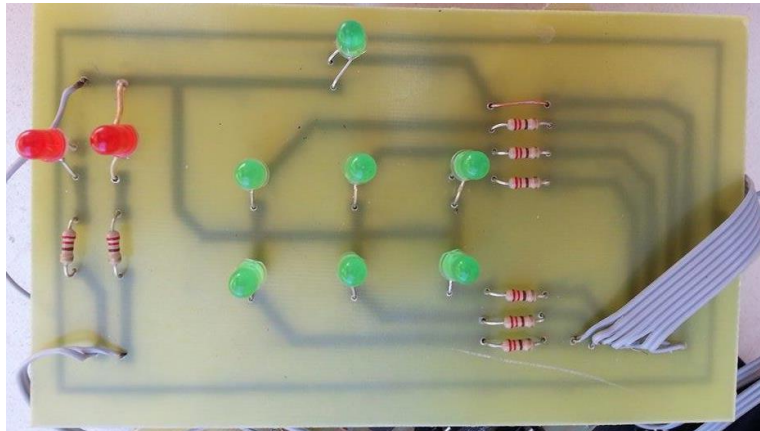
- Résistances
R1 à R10 – 220 Ohms
- Semi-conducteurs
IC1, IC2, IC3: CMOS 4011
IC4: CMOS 4051
L1, L2, L3, L4, L5, L6: LED rouge/verte
- Condensateurs
C1 : 150 nF
- Divers
3 supports à souder DIL 14, broches tulipe
1 support à souder DIL 16, broches tulipe
Bloc de 4 interrupteur mini-DIL
Bloc de 2 bornes vissé-soudé pas de 5mm
Coupleur pression pour pile 9V
2 interrupteurs inverseurs à glissière pour circuit imprimé

Annexe 2 :

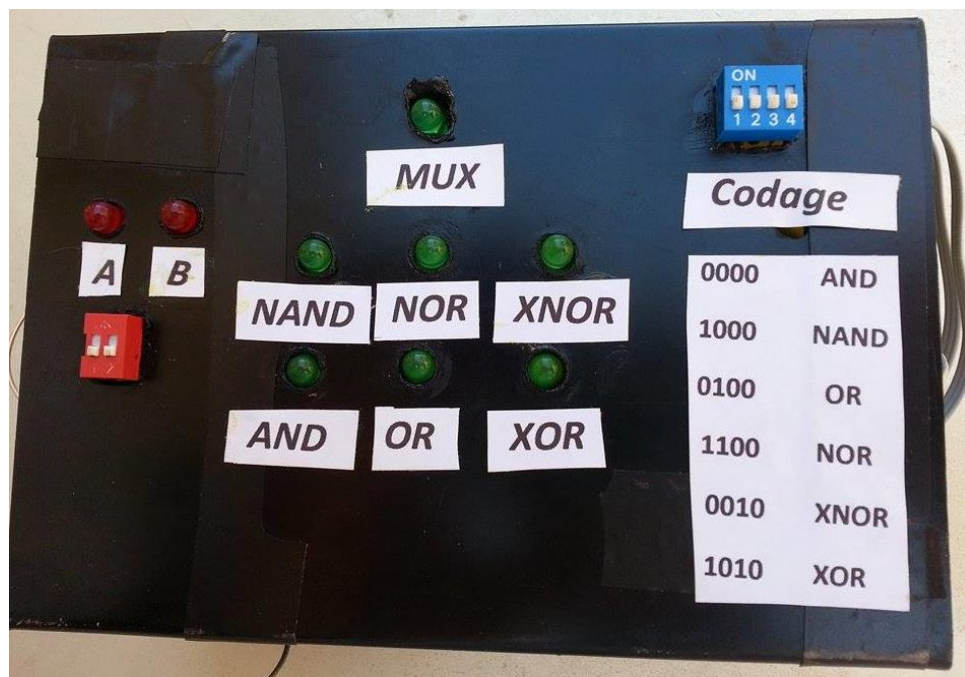
- Circuit de simulateur logique



- Circuit de visualisation



- Tous les circuits dans un boîtier fermé





CD4011B, CD4012B, CD4023B Types

CMOS NAND GATES

High-Voltage Types (20-Volt Rating)

- Quad 2 Input – CD4011B
- Dual 4 Input – CD4012B
- Triple 3 Input – CD4023B

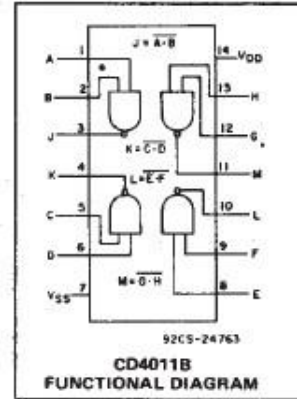
■ CD4011B, CD4012B, and CD4023B NAND gates provide the system designer with direct implementation of the NAND function and supplement the existing family of CMOS gates. All inputs and outputs are buffered.

The CD4011B, CD4012B, and CD4023B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic packages (E suffix), and in chip form (H suffix).

Features:

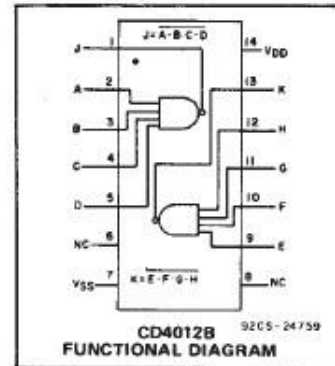
- Propagation delay time = 60 ns (typ.) at $C_L = 50$ pF, $V_{DD} = 10$ V
- Buffered inputs and outputs
- Standardized symmetrical output characteristics
- Maximum input current of $1 \mu A$ at 18 V over full package temperature range; 100 nA at 18 V and 25°C
- 100% tested for quiescent current at 20 V
- 5-V, 10-V, and 15-V parametric ratings
- Noise margin (over full package temperature range):
 - 1 V at $V_{DD} = 5$ V
 - 2 V at $V_{DD} = 10$ V
 - 2.5 V at $V_{DD} = 15$ V

■ Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of "B" Series CMOS Devices"



MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{DD})	-0.5V to +20V
Voltages referenced to V_{SS} Terminal)	
INPUT VOLTAGE RANGE, ALL INPUTS	-0.5V to $V_{DD} + 0.5V$
DC INPUT CURRENT, ANY ONE INPUT	± 10 mA
POWER DISSIPATION PER PACKAGE (P_D):	
For $T_A = -55^\circ C$ to $+100^\circ C$	500mW
For $T_A = +100^\circ C$ to $+125^\circ C$	Derate Linearly at 12mW/°C to 200mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR	
FOR $T_A =$ FULL PACKAGE-TEMPERATURE RANGE (All Package Types)	100mW
OPERATING-TEMPERATURE RANGE (T_A)	$-55^\circ C$ to $+125^\circ C$
STORAGE TEMPERATURE RANGE (T_{stg})	$-65^\circ C$ to $+150^\circ C$
LEAD TEMPERATURE (DURING SOLDERING):	
At distance 1/16 \pm 1/32 inch (1.59 \pm 0.79mm) from case for 10s max	$+265^\circ C$

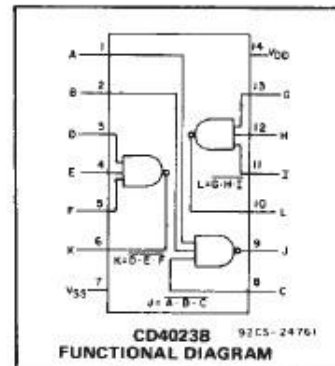
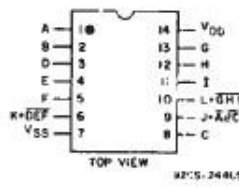
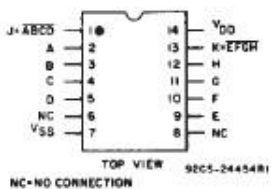
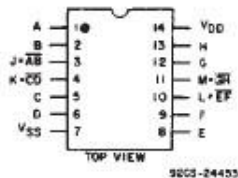


RECOMMENDED OPERATING CONDITIONS

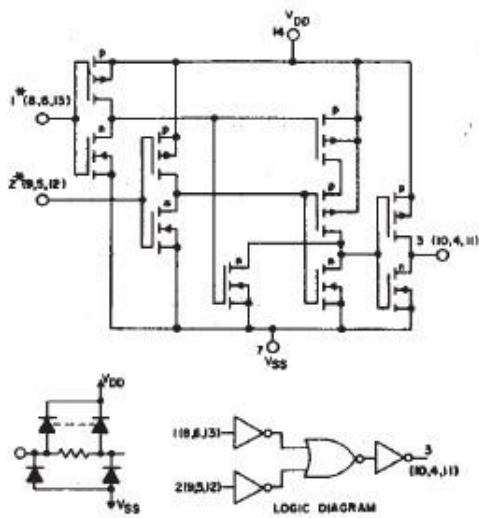
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For $T_A =$ Full Package Temperature Range)	3	18	V

TERMINAL ASSIGNMENTS



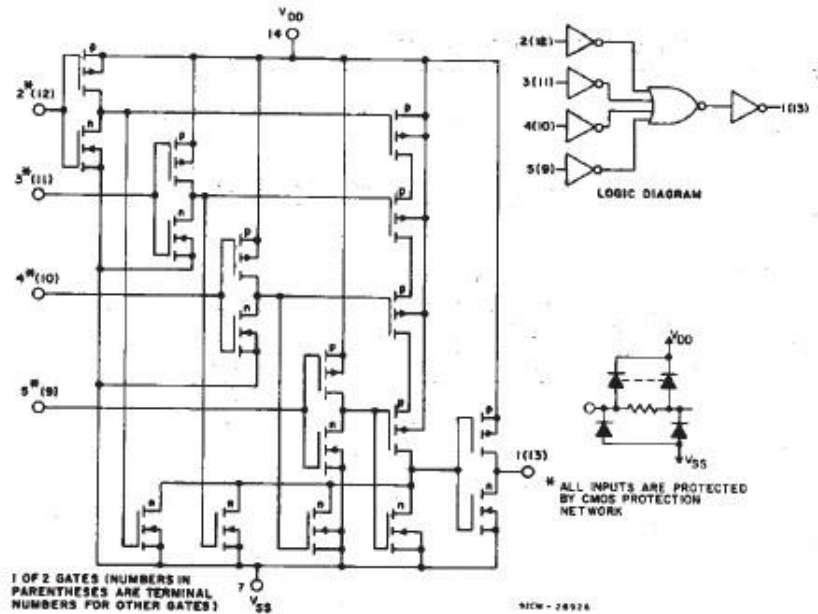
CD4011B, CD4012B, CD4023B Types



* ALL INPUTS ARE PROTECTED BY CMOS PROTECTION NETWORK

1 OF 4 GATES (NUMBERS IN PARENTHESES ARE TERMINAL NUMBERS FOR OTHER GATES)

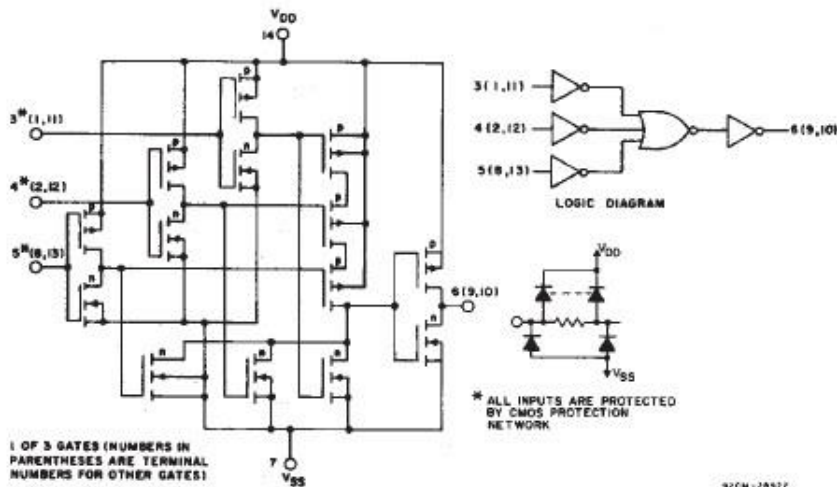
Fig. 7 - Schematic and logic diagrams for CD4011B.



1 OF 2 GATES (NUMBERS IN PARENTHESES ARE TERMINAL NUMBERS FOR OTHER GATES)

92CM-28926

Fig. 8 - Schematic and logic diagrams for CD4012B.



1 OF 3 GATES (NUMBERS IN PARENTHESES ARE TERMINAL NUMBERS FOR OTHER GATES)

* ALL INPUTS ARE PROTECTED BY CMOS PROTECTION NETWORK

Fig. 9 - Schematic and logic diagrams for CD4023B.

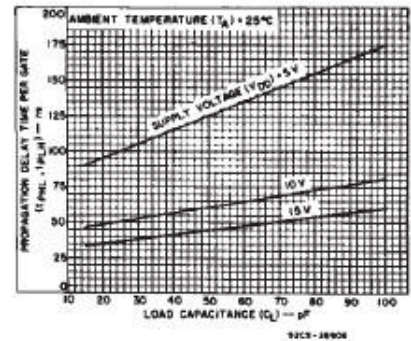


Fig. 10 - Typical propagation delay time per gate as a function of load capacitance.

DYNAMIC ELECTRICAL CHARACTERISTICS

At $T_A = 25^\circ\text{C}$; Input $t_r, t_f = 20\text{ ns}$, $C_L = 50\text{ pF}$, $R_L = 200\text{ k}\Omega$

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS	
		V_{DD} VOLTS	TYP.		MAX.
Propagation Delay Time, t_{PHL}, t_{PLH}		5	125	250	ns
		10	60	120	
		15	45	90	
Transition Time, t_{THL}, t_{TLH}		5	100	200	ns
		10	50	100	
		15	40	80	
Input Capacitance, C_{IN}	Any Input		5	7.5	pF

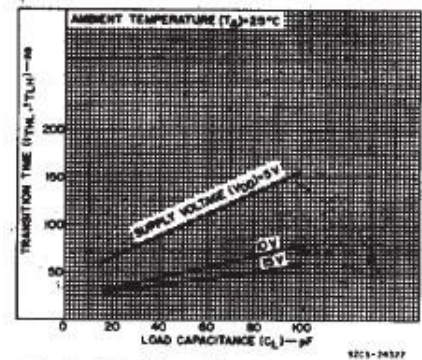


Fig. 11 - Typical transition time as a function of load capacitance.

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgement, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

CERTAIN APPLICATIONS USING SEMICONDUCTOR PRODUCTS MAY INVOLVE POTENTIAL RISKS OF DEATH, PERSONAL INJURY, OR SEVERE PROPERTY OR ENVIRONMENTAL DAMAGE ("CRITICAL APPLICATIONS"). TI SEMICONDUCTOR PRODUCTS ARE NOT DESIGNED, AUTHORIZED, OR WARRANTED TO BE SUITABLE FOR USE IN LIFE-SUPPORT DEVICES OR SYSTEMS OR OTHER CRITICAL APPLICATIONS. INCLUSION OF TI PRODUCTS IN SUCH APPLICATIONS IS UNDERSTOOD TO BE FULLY AT THE CUSTOMER'S RISK.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.



**CMOS Analog Multiplexers/Demultiplexers|
with Logic Level Conversion**

The CD4051B, CD4052B, and CD4053B analog multiplexers are digitally-controlled analog switches having low ON impedance and very low OFF leakage current. Control of analog signals up to 20V_{PP} can be achieved by digital signal amplitudes of 4.5V to 20V (if VDD-VSS = 5V, a VDD-VSS of up to 12V can be controlled; for VDD-VSS level differences above 12V, a VDD-VSS of at least 4.5V is required). For example, if VDD = +4.5V, VSS = 0V, and VEE = -12.5V, analog signals from -12.5V to +4.5V can be controlled by digital inputs of 0V to 5V. These multiplexers circuits dissipate extremely low quiescent power over the full VDD-VSS and VDD-VEE supply-voltage ranges, independent of the logic state of the control signals. When a logic "1" is present at the inhibit input terminal, all channels are off.

The CD4051B is a single 8-Channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The

three binary signals select 1 of 8 channels to be turned on, and connect one of the 8 inputs to the output.

The CD4052B is a differential 4-Channel multiplexer having two binary control inputs, A and B, and an inhibit input. The

two binary input signals select 1 of 4 pairs of channels to be turned on and connect the analog inputs to the outputs.

The CD4053B is a triple 2-Channel multiplexer having three separate digital control inputs, A, B, and C, and an inhibit input. Each control input selects one of a pair of channels

which are connected in a single-pole, double-throw configuration.

When these devices are used as demultiplexers, the "CHANNEL IN/OUT" terminals are the outputs and the

"COMMON OUT/IN" terminals are the inputs.

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE
CD4051B, CD4052B, CD4053B	-55 to 125	16 L4 CERAMIC DIP
CD4051B, CD4052B, CD4053B	-55 to 125	16 L4 PDIP
CD4051BQ, CD4052BQ, CD4053BQ	-55 to 125	16 L4 SOIC
CD4051BFW, CD4052BFW, CD4053BFW	-55 to 125	16 L4 TSSOP

Features

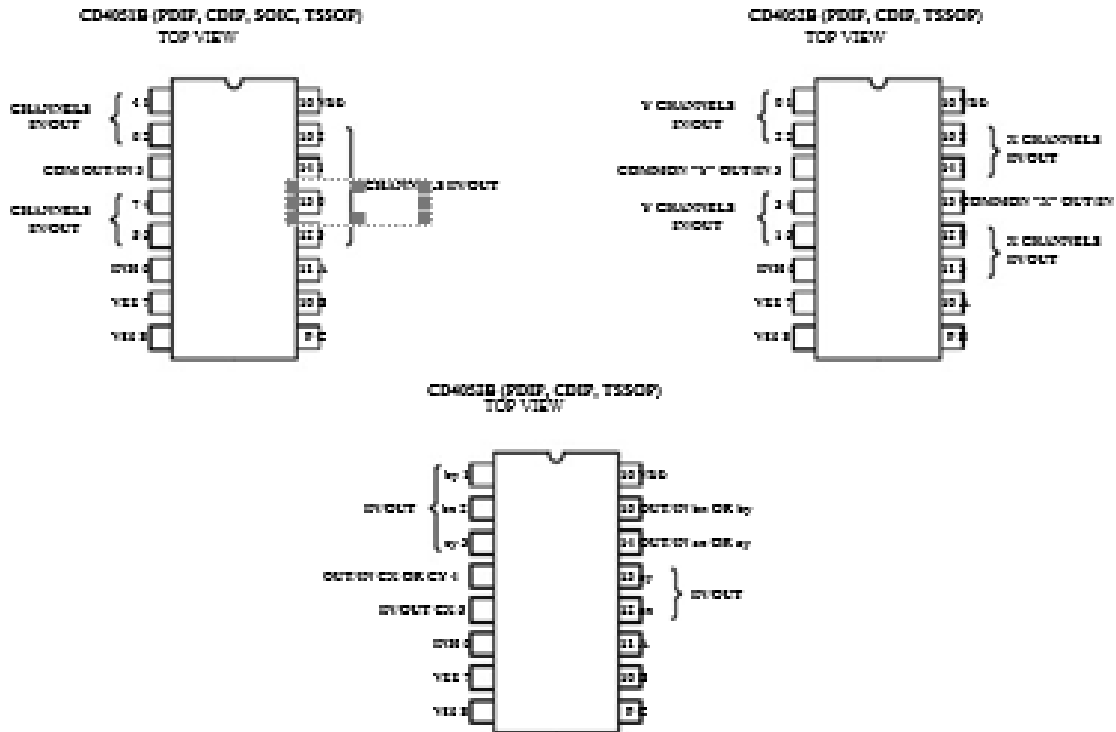
- Wide Range of Digital and Analog Signal Levels
 - Digital 5V to 20V
 - Analog 20V_{PP}
- Low ON Resistance, 125Ω (Typ) Over 15V_{PP} Signal Input Range for VDD-VEE = 15V
- High OFF Resistance, Channel Leakage of 400nA (Typ) at VDD-VEE = 15V
- Logic-Level Conversion for Digital Addressing Signals of 5V to 20V (VDD-VSS = 5V to 20V) to Switch Analog Signals to 20V_{PP} (VDD-VEE = 20V)
- Matched Switch Characteristics, rON = 5Ω (Typ) for VDD-VEE = 15V
- Very Low Quiescent Power Dissipation Under All Digital-Control Input and Supply Conditions, 0.2µW (Typ) at VDD-VSS = VDD-VEE = 10V
- Binary Address Decoding on Chip
- 5V, 10V and 15V Parametric Ratings
- 10% Tested for Quiescent Current at 20V
- Maximum Input Current of 1µA at 15V Over Full Package Temperature Range, 100nA at 15V and 25°C
- Break-Before-Make Switching Eliminates Channel Overlap

Applications

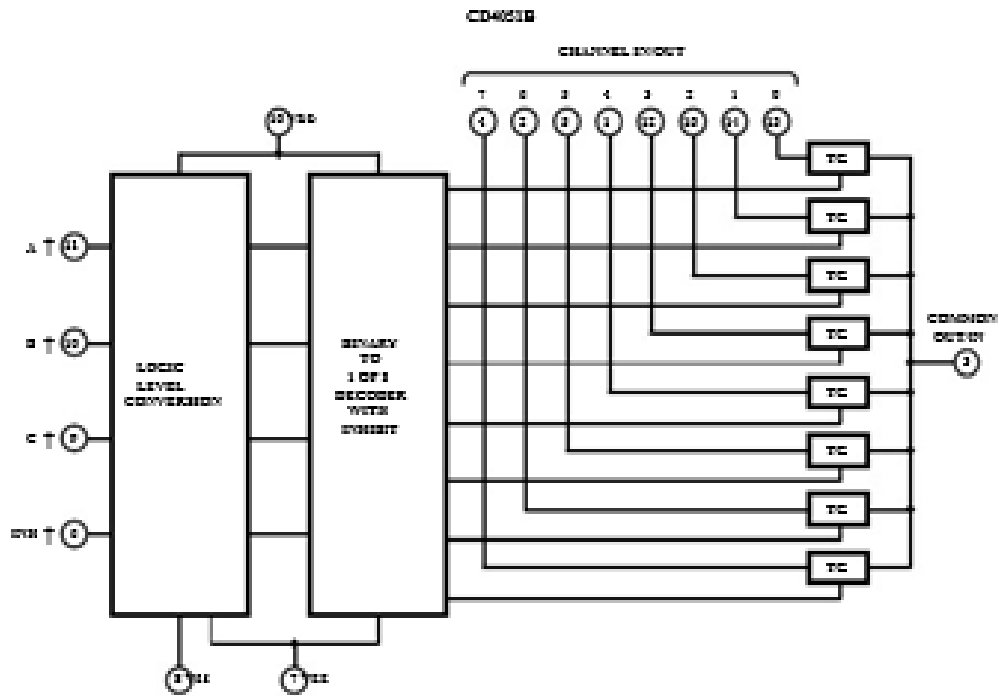
- Analog and Digital Multiplexing and Demultiplexing
- A/D and D/A Conversion
- Signal Gating

CD4051B, CD4052B, CD4053B

Pinouts



Functional Block Diagrams

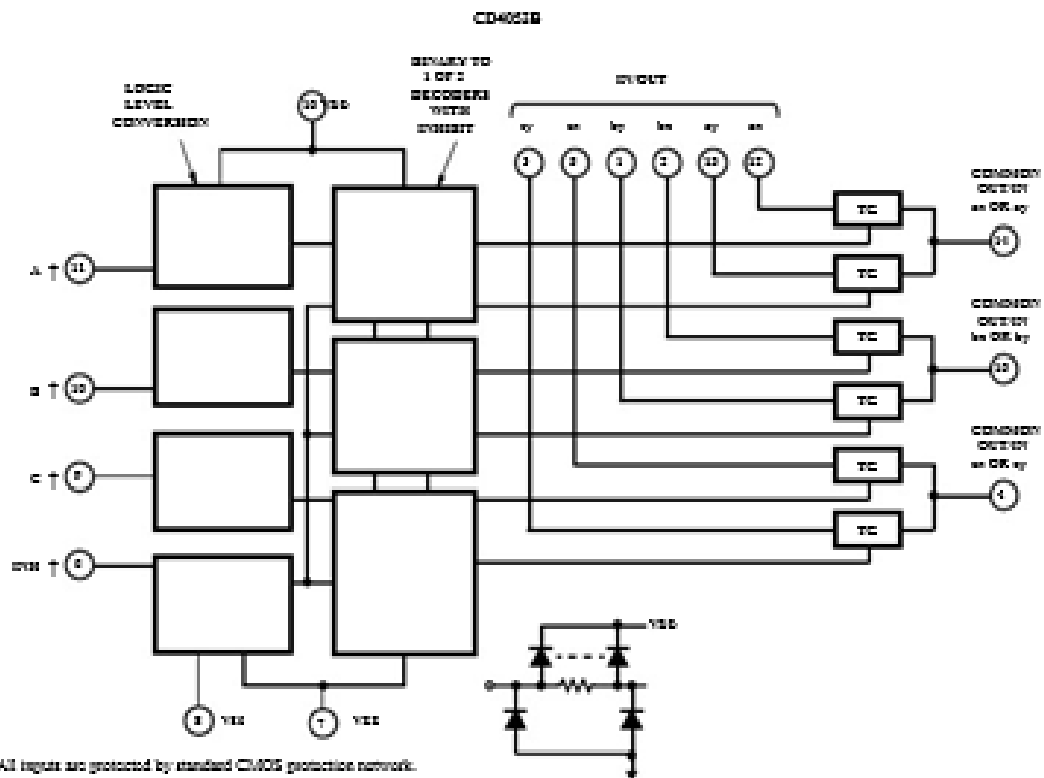
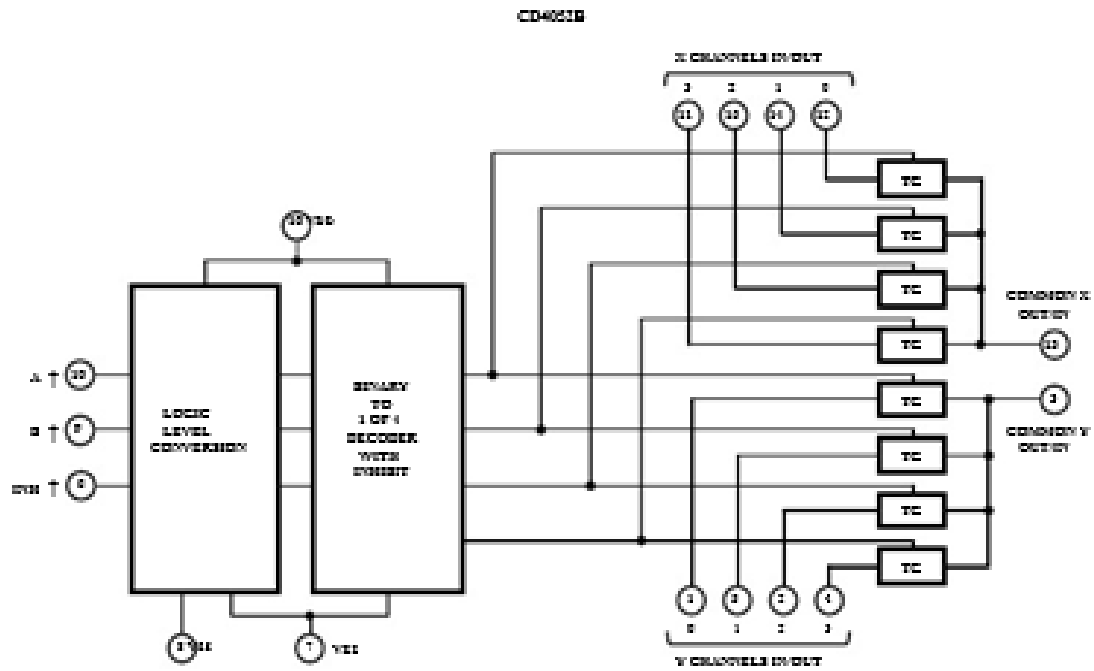


† All inputs are protected by standard CMOS protection network.

CD4051B, CD4052B, CD4053B

Functional Block Diagrams

(Continued)



CD4051B, CD4052B, CD4053B

TRUTH TABLES

INPUT STATES				"ON" CHANNEL(S)
INHIBIT	C	B	A	
CD4051B				
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	None
CD4052B				
INHIBIT	B		A	
0	0		0	0x, 0y
0	0		1	1x, 0y
0	1		0	0x, 2y
0	1		1	2x, 2y
1	X		X	None
CD4053B				
INHIBIT	A OR B OR C			
0	0			ax or bx or cx
0	1			ay or by or cy
1	X			None

X = Don't Care

CD4051B, CD4052B, CD4053B

Absolute Maximum Ratings

Supply Voltage (V_{+} to V_{-})	-0.5V to 20V
Voltage Referenced to V_{ns} Terminal	-0.5V to 20V
DC Input Voltage Range	-0.5V to V_{cc} +0.5V
DC Input Current, Any One Input	$\pm 10\mu A$

Operating Conditions

Temperature Range	-55°C to 125°C
-------------------	----------------

Thermal Information

Thermal Resistance (Typical, Note 1) ($\mu C/W$) ($\mu C/^{\circ}F$)	
E Package	6700A
F Package	11242
D Package	7200A
NS Package	6000A
PW Package	10000A
Minimum Junction Temperature (Ceramic Package)	-175°C
Minimum Junction Temperature (Plastic Package)	-150°C
Minimum Storage Temperature Range	-65°C to 155°C
Minimum Lead Temperature (Soldering 10s)	265°C
(SICC - Lead Tight Only)	


CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

- The package thermal impedance is calculated in accordance with JEDEC1.

Electrical Specifications

Common Conditions Here: If Whole Table is For the Full Temp. Range, $V_{ns} = V_{-} = 45^{\circ}C$, $A_V = +1$, $R_L = 100\Omega$, Unless Otherwise Specified (Note 2)

PARAMETER	CONDITIONS				LIMITS AT INDICATED TEMPERATURES (μC)							UNITS	
	V_{ns} (V)	V_{cc} (V)	V_{in} (V)	V_{out} (V)	-55	-40	25	115	25				
									MIN	TYP	MAX		
SIGNAL INPUTS (V_{in}) AND OUTPUTS (V_{out})													
Onsource Device Current, I_{cc} (Max)	-	-	-	5	5	5	150	150	-	0.04	5	mA	
	-	-	-	10	10	10	200	200	-	0.04	10	mA	
	-	-	-	15	20	20	600	600	-	0.04	20	mA	
	-	-	-	20	100	100	2000	2000	-	0.08	100	mA	
Drain to Source ON Resistance $r_{DS(on)}$ (Max) 0.5 V_{in} & V_{out}	-	0	0	5	800	850	1200	1200	-	470	1000	Ω	
	-	0	0	10	210	220	320	320	-	180	600	Ω	
	-	0	0	15	200	210	300	320	-	125	240	Ω	
Change in ON Resistance (Between Any Two Channels), $\Delta r_{DS(on)}$	-	0	0	5	-	-	-	-	-	15	-	Ω	
	-	0	0	10	-	-	-	-	-	10	-	Ω	
	-	0	0	15	-	-	-	-	-	5	-	Ω	
OFF Channel Leakage Current: Any Channel OFF (Max) or ALL Channels OFF (Common OUTPUT) (Max)	-	0	0	15	± 100 (Note 2)		± 1000 (Note 2)		-	± 0.01	± 100 (Note 2)	nA	
Capacitance: Input, C_{in}	-	-5	5-	5	-	-	-	-	-	5	-	pF	
					Output, C_{out}	-	-	-	-	-	30	-	pF
					CD4051	-	-	-	-	-	18	-	pF
					CD4052	-	-	-	-	-	9	-	pF
					CD4053	-	-	-	-	-	0.2	-	pF
Propagation Delay Time (Signal Input to Output)	V_{cc} 	$R_L = 100\Omega$, $C_L = 50pF$, $t_r = t_f = 20ns$	5	-	-	-	-	-	30	60	ns		
			10	-	-	-	-	-	15	30	ns		
			15	-	-	-	-	-	10	20	ns		

CD4051B, CD4052B, CD4053B

Electrical Specifications

Common Conditions Note: If Whole Table is For the Full Temp. Range, V_{supply} = 4.5V, A_v = +1, R_L = 100Ω, Unless Otherwise Specified (Continued) (Note 2)

PARAMETER	CONDITIONS				LIMITS AT INDICATED TEMPERATURES (°C)							UNITS		
	V _{in} (V)	V _{cc} (V)	V _{oa} (V)	V _{ob} (V)	-55	-40	25	125	25					
									MIN	TYP	MAX			
CONTROL (ADDRESS OR INHIBIT), V_c														
Input Low Voltage, V _{IL} , V _{IL} Min through 1kΩ, V _{IL} = V _{cc} through 1kΩ Input High Voltage, V _{IH} , V _{IH} Min	V _{cc} = V _{oa} , R _L = 10kΩ to V _{oa} , I _{oa} = 20μA, on All OFF Channels				5	1.5	1.5	1.5	1.5	-	-	1.5	V	
					10	2	2	2	2	-	-	2	V	
					15	4	4	4	4	-	-	4	V	
					5	2.5	2.5	2.5	2.5	2.5	-	-	2.5	V
					10	7	7	7	7	7	-	-	7	V
					15	11	11	11	11	11	-	-	11	V
Input Current, I _{cc} (Max)	V _{cc} = 0, 15			18	40.1	40.1	41	41	-	410±	401	mA		
Propagation Delay Time: Address-to-Signals, t _p = 20ns, CLT (Channel ON or CL = 50pF, OFF) See Figure 10, R _L = 10kΩ, 11, 14		0	0	5	-	-	-	-	-	450	720	ns		
				10	-	-	-	-	-	160	320	ns		
				15	-	-	-	-	-	120	240	ns		
				-5	5	-	-	-	-	222	450	ns		
Propagation Delay Time: Inhibit-to-Signal CLT t _p = 20ns, (Channel Turning ON) CL = 50pF, See Figure 11, R _L = 1kΩ		0	0	5	-	-	-	-	-	400	720	ns		
				10	-	-	-	-	-	160	320	ns		
				15	-	-	-	-	-	120	240	ns		
				-10	5	-	-	-	-	200	400	ns		
Propagation Delay Time: Inhibit-to-Signal CLT (Channel Turning OFF) See Figure 15	t _p , t _r = 20ns, CL = 50pF, R _L = 10kΩ	0	0	5	-	-	-	-	-	200	450	ns		
				10	-	-	-	-	-	90	210	ns		
				15	-	-	-	-	-	70	160	ns		
				-10	5	-	-	-	-	120	300	ns		
Input Capacitance, C _{in} (Any Address or Inhibit Input)				-	-	-	-	-	5	7.5	pF			

NOTE:

2. Determined by minimum feasible leakage measurement for automatic testing

Electrical Specifications

PARAMETER	TEST CONDITIONS			LIMITS	UNITS		
	V _{in} (V)	V _{cc} (V)	R _L (kΩ)				
Cutoff (-3dB) Frequency Channel ON (Sine Wave Input)	5 (Note 2)	10	1	V _{cc} at Common CLT/D ₁	CD4052	30	MHz
					CD4051	25	MHz
					CD4051	20	MHz
				V _{cc} at Any Channel	60	MHz	

CD4051B, CD4052B, CD4053B

Electrical Specifications

PARAMETER	TEST CONDITIONS			LIMITS		UNITS	
	V _{IN} (V)	V _{DD} (V)	R _S (kΩ)	Typ			
Total Harmonic Distortion, THD	2 (Note 2)	5	10		0.5	%	
	5 (Note 2)	10			0.2	%	
	5 (Note 2)	15	0.12		%		
	V _{DD} = V _{IN} , f _{IN} = 10kHz Sine Wave						%
-40dB Feedthrough Frequency (All Channels Off)	5 (Note 2)	10	1	V _{IN} at Common OUTPUT	CD4052	8	MHz
	V _{DD} = V _{IN} , V _{IN} = 40dB V _{IN} -20Log-----			V _{IN} at Any Channel	CD4052	10	MHz
					CD4051	12	MHz
-40dB Signal Crosstalk Frequency	5 (Note 2)	10	1	Between Any 2 Channels		5	MHz
	V _{DD} = V _{IN} , V _{IN} = 40dB V _{IN} -20Log-----			Between Sections, CD4052 Only	Measured on Common	6	MHz
				Between Any Two Sections, CD4052 Only	Measured on Any Channel	10	MHz
					In Pin 2, Out Pin 14 In Pin 14, Out Pin 14	2.5 6	MHz
Address-or-Inhibit-to-Signal Crosstalk	-	10	10 (Note 4)			65	mV/μsec
	V _{DD} = 0, V _{IN} = 0, f _{IN} = 20kHz, V _{CC} = V _{DD} - V _{IN} (Square Wave)					65	mV/μsec

NOTES

1. Positive-Peak voltage symmetrical about

$$\frac{V_{DD} - V_{CC}}{2}$$

2. Both ends of channel.

Typical Performance Curves

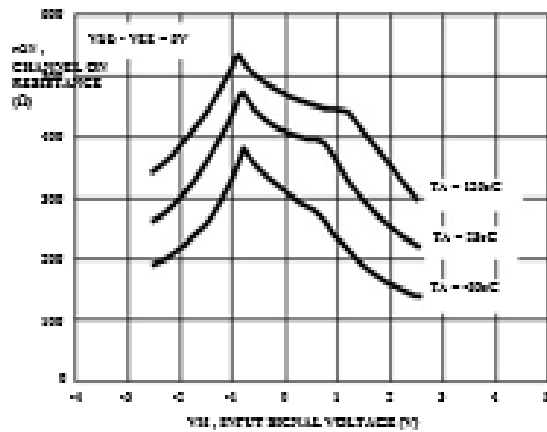


FIGURE 1. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

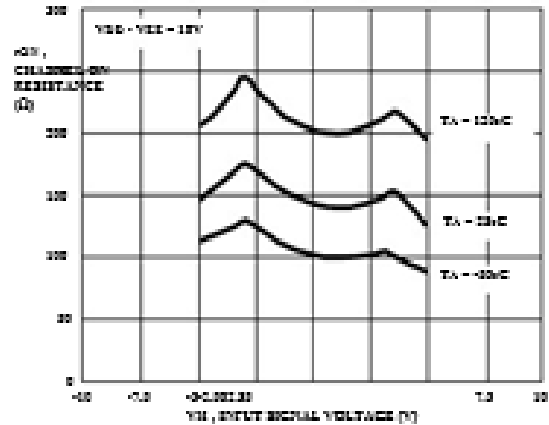


FIGURE 2. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

Typical Performance Curves (Continued)

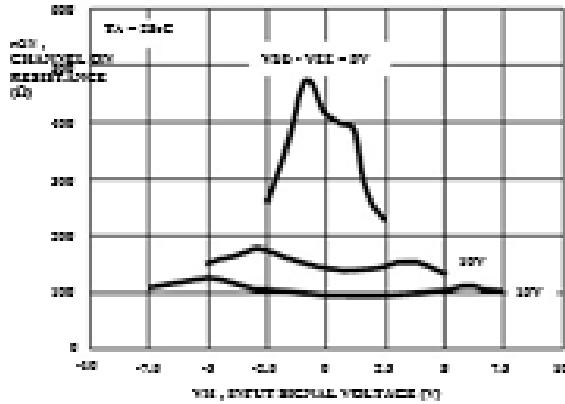


FIGURE 3. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

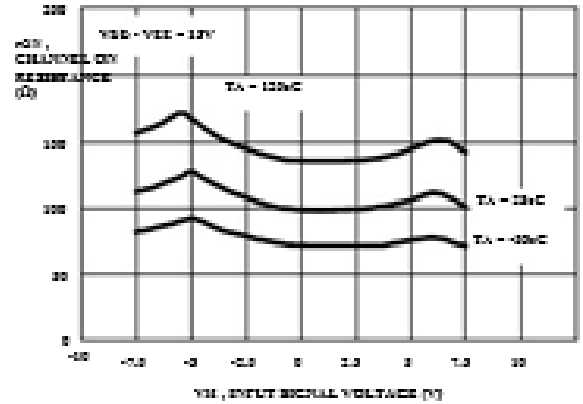


FIGURE 4. CHANNEL ON RESISTANCE vs INPUT SIGNAL VOLTAGE (ALL TYPES)

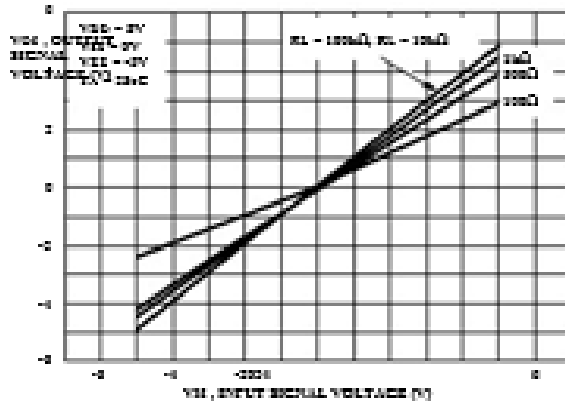


FIGURE 5. ON CHARACTERISTICS FOR 1 OF 8 CHANNELS (CD4052B)

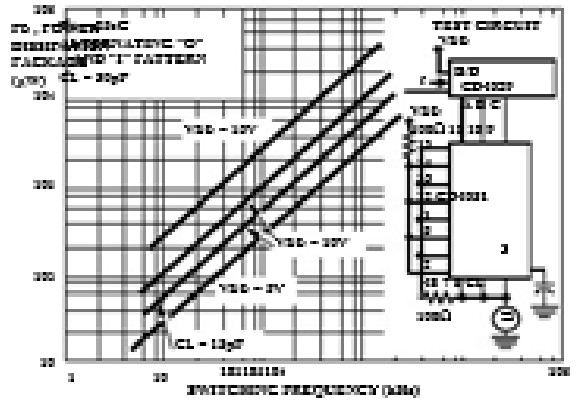


FIGURE 6. DYNAMIC POWER DISSIPATION vs SWITCHING FREQUENCY (CD4051B)

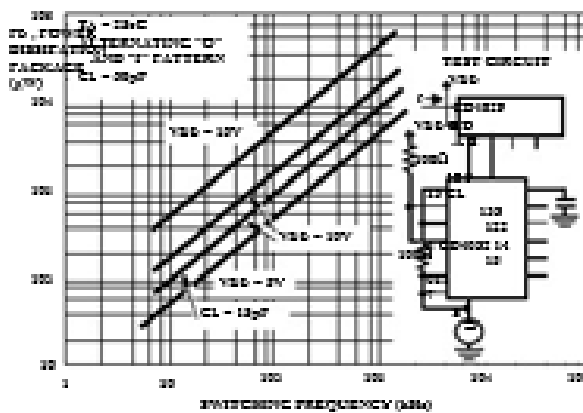


FIGURE 7. DYNAMIC POWER DISSIPATION vs SWITCHING FREQUENCY (CD4052B)

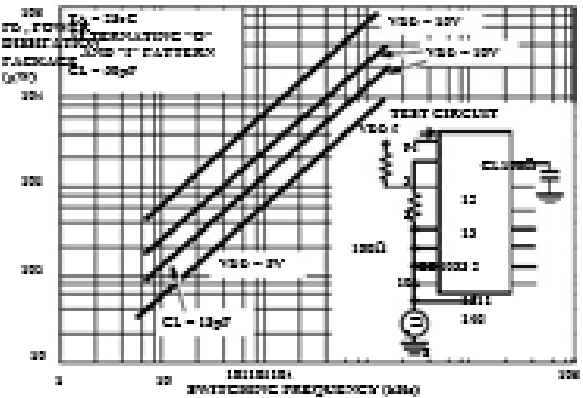
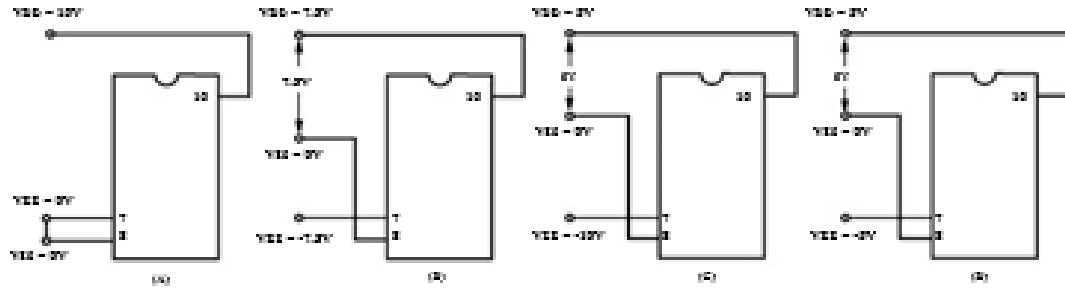


FIGURE 8. DYNAMIC POWER DISSIPATION vs SWITCHING FREQUENCY (CD4053B)

Test Circuits and Waveforms



NOTE: The ADDRESS (digital-control inputs) and INHIBIT logic levels are: "0" = V_{SS} and "1" = V_{DD} . The analog signal (through the TIC) may swing from V_{SS} to V_{DD} .

FIGURE 9. TYPICAL BIAS VOLTAGES

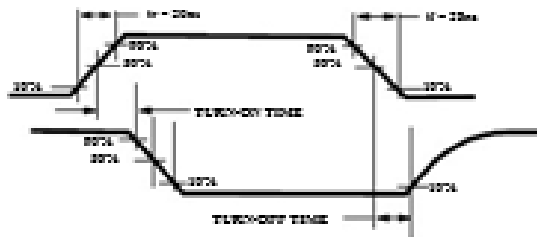


FIGURE 10. WAVEFORMS, CHANNEL BEING TURNED ON (Rt = 1kΩ)

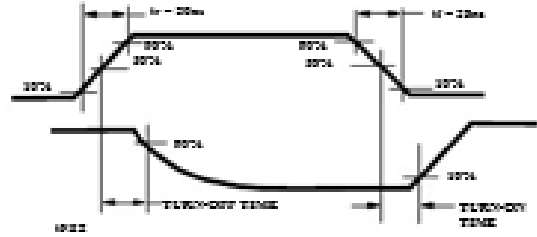


FIGURE 11. WAVEFORMS, CHANNEL BEING TURNED OFF (Rt = 1kΩ)

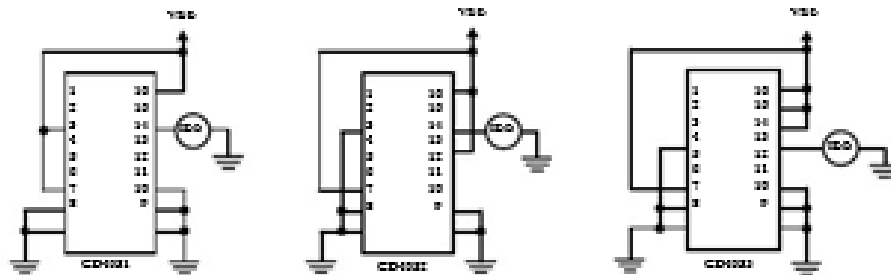


FIGURE 12. OFF CHANNEL LEAKAGE CURRENT - ANY CHANNEL OFF

Test Circuits and Waveforms (Continued)

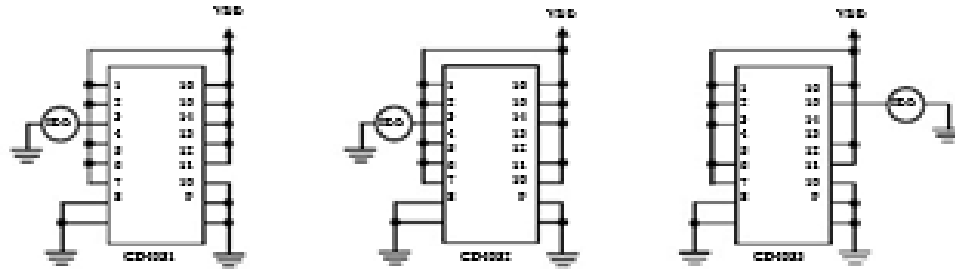


FIGURE 13. OFF CHANNEL LEAKAGE CURRENT - ALL CHANNELS OFF

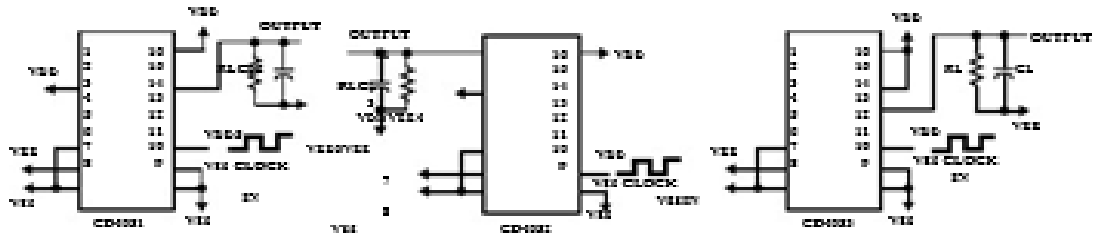


FIGURE 14. PROPAGATION DELAY - ADDRESS INPUT TO SIGNAL OUTPUT

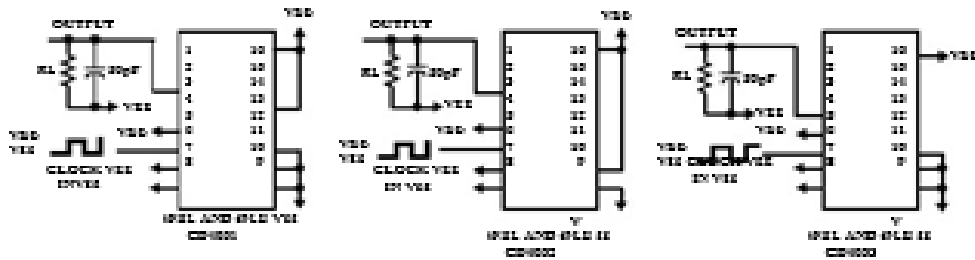


FIGURE 15. PROPAGATION DELAY - INHIBIT INPUT TO SIGNAL OUTPUT

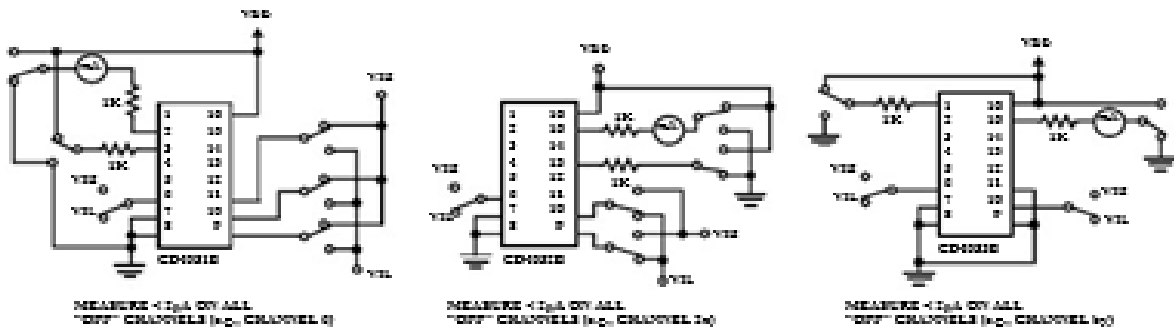


FIGURE 16. INPUT VOLTAGE TEST CIRCUITS (NOISE IMMUNITY)

Test Circuits and Waveforms (Continued)

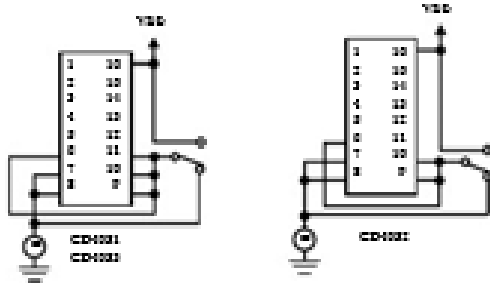


FIGURE 17. QUIESCENT DEVICE CURRENT

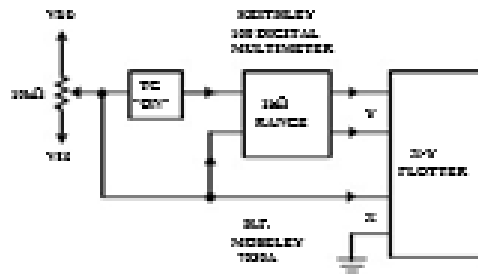


FIGURE 18. CHANNEL ON RESISTANCE MEASUREMENT CIRCUIT

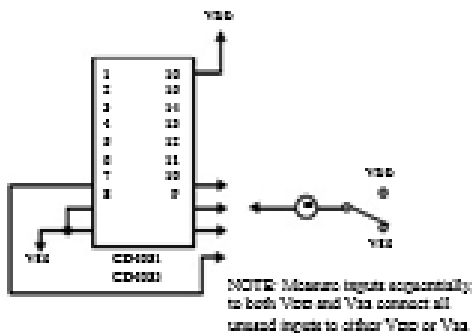


FIGURE 19. INPUT CURRENT

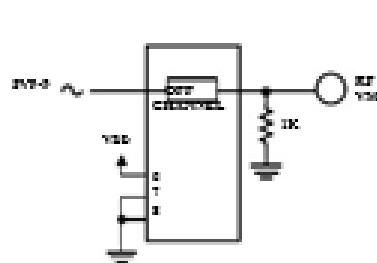
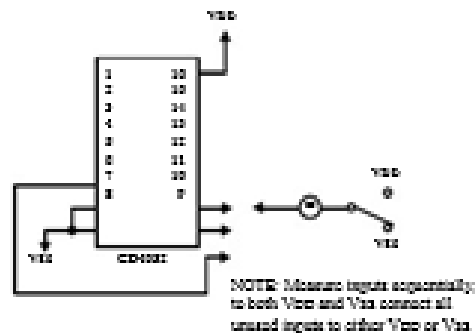


FIGURE 20. FEEDTHROUGH (ALL TYPES)

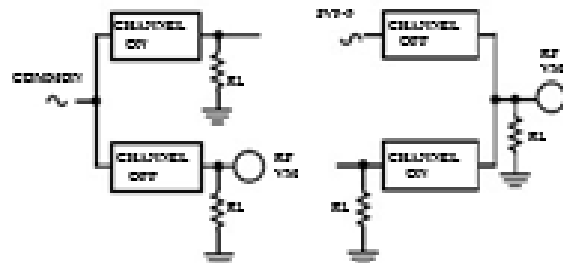


FIGURE 21. CROSSTALK BETWEEN ANY TWO CHANNELS (ALL TYPES)

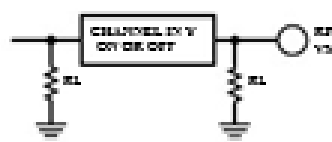
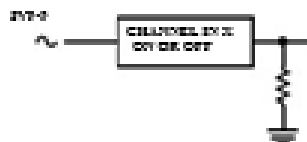


FIGURE 22. CROSSTALK BETWEEN DUALS OR TRIPLETS (CD4052B, CD4053B)

Test Circuits and Waveforms (Continued)

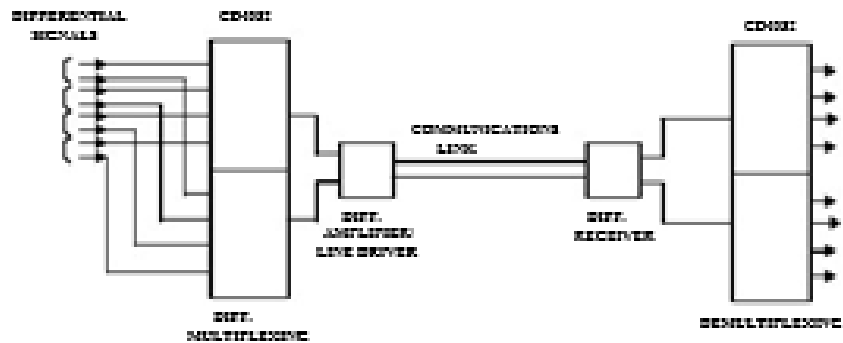


FIGURE 23. TYPICAL TIME-DIVISION APPLICATION OF THE CD4052B

Special Considerations

In applications where separate power sources are used to drive VDD and the signal inputs, the VDD current capability should exceed V_{DD}/R_L (R_L = effective external load). This provision avoids permanent current flow or clamp action on the VDD supply when power is applied or removed from the CD4051B, CD4052B or CD4053B.

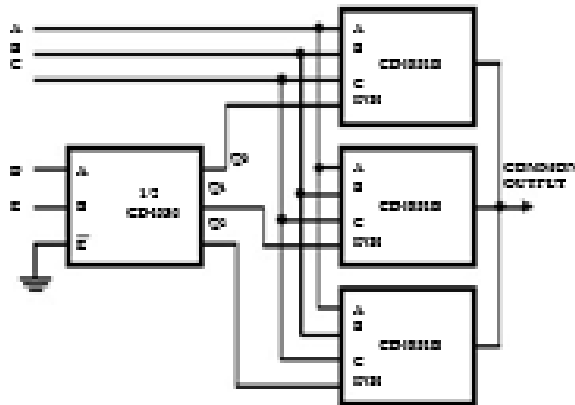


FIGURE 24. 14-TO-1 MUX ADDRESSING

IMPORTANT NOTICE

Texas Instruments and its subsidiaries (TI) reserve the right to make changes to their products or to discontinue any product or service without notice, and advise customers to obtain the latest version of relevant information to verify, before placing orders, that information being relied on is current and complete. All products are sold subject to the terms and conditions of sale supplied at the time of order acknowledgment, including those pertaining to warranty, patent infringement, and limitation of liability.

TI warrants performance of its semiconductor products to the specifications applicable at the time of sale in accordance with TI's standard warranty. Testing and other quality control techniques are utilized to the extent TI deems necessary to support this warranty. Specific testing of all parameters of each device is not necessarily performed, except those mandated by government requirements.

Customers are responsible for their applications using TI components.

In order to minimize risks associated with the customer's applications, adequate design and operating safeguards must be provided by the customer to minimize inherent or procedural hazards.

TI assumes no liability for applications assistance or customer product design. TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right of TI covering or relating to any combination, machine, or process in which such semiconductor products or services might be or are used. TI's publication of information regarding any third party's products or services does not constitute TI's approval, warranty or endorsement thereof.

Copyright © 2000, Texas Instruments Incorporated